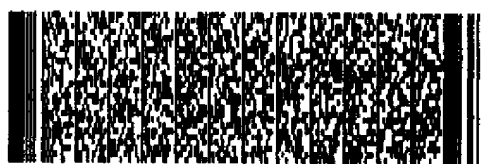


申請日期： 89.2.9	案號： 89102104
類別： H01L27/10	

(以上各欄由本局填註)

發明專利說明書 442955

一、 發明名稱	中 文	半導體記憶體裝置
	英 文	SEMICONDUCTOR MEMORY DEVICE
二、 發明人	姓 名 (中文)	1. 石田 實
	姓 名 (英文)	1. MINORU ISHIDA
	國 籍	1. 日本
	住、居所	1. 日本東京都品川區北品川六丁目七番35號
三、 申請人	姓 名 (名稱) (中文)	1. 日商新力股份有限公司
	姓 名 (名稱) (英文)	1. SONY CORPORATION
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本東京都品川區北品川六丁目七番35號
	代表人 姓 名 (中文)	1. 出井 伸之
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1999/02/10 特願平11-033418

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

1. 發明範圍

本發明係關於一種半導體記憶裝置，像是有6個電晶體的靜態隨機進出記憶體(SRAM)單元。

2. 相關技藝描述

一SRAM單元通常有一個門和兩個電晶體(字元電晶體)，電晶體的開關操作，是以施加在一字元線上的電壓來控制，所以連接於該門的兩個記憶體節點中的每一個和一位元線之間為通路或斷路。SRAM單元大致可分為兩種型態，名為一金屬氧化物半導體(MOS)電晶體負載型，和一高電阻負載型，區別是基於該門之負載元件的差異而定。MOS電晶體負載型的SRAM單元，由6個電晶體所組成，依據該負載電晶體的型態，分為兩種熟知的型態：一是P通道MOS電晶體(以下稱為pMOS)負載型，另一則是TFT(薄膜電晶體)負載型。

圖6顯示的是，根據相關技藝之pMOS負載型，一SRAM單元的架構圖樣之實例。圖6中顯示一SRAM單元提供了該電晶體的一閘極，但略去了單元內的或上方導線層的連接導線。

pMOS負載型的SRAM單元100，有兩個p型作用區101a和101b，以及兩個n型作用區102a和102b。在p型作用區101a和101b中，形成了一個如同驅動電晶體的n通道MOS電晶體(以下稱為nMOS)。在n型作用區102a和102b中，也形成了一個像是負載電晶體的p通道MOS電晶體(以下稱為pMOS)。

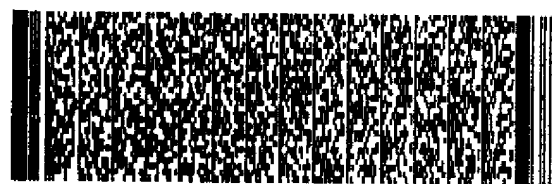


五、發明說明 (2)

p型作用區101a和101b，以及n型作用區102a和102b，圍繞著一元件以隔開LOCOS（矽材質的局部氧化）的，或例如：溝渠結構的絕緣區103。

相關技藝的SRAM單元100中，兩個p型作用區101a和101b是並連安排，如圖所示，一個在另一個的上方。每一個p型作用區101a和101b有一階梯106。p型作用區101a中，一驅動電晶體Qn1和一字元電晶體Qn3，分別在階梯106相反的兩邊形成，如三明治似的，階梯106夾於其中。p型作用區101b中，一驅動電晶體Qn2和一字元電晶體Qn4，分別形成於階梯106的相反兩邊，如三明治似的，階梯106夾於其中。一字元線(WL) 104a，其功能如同字元電晶體Qn3的一閘極，正交於p型作用區101a。一字元線(WL) 104b，其功能如同字元電晶體Qn4的一閘極，正交於p型作用區101b。另一方面，一共同閘極線105a (GL1)，其功能如同驅動電晶體Qn1的一閘極，為朝著圖6看的垂直方向，且正交於p型作用區101a。一共同閘極線105b (GL2)，為相同方向且正交於p型作用區101b。共同閘極線105a和105b，以及字元線104a和104b，都是由含有雜質的第一多晶矽層所製成的。

共同閘極線105a是正交於n型作用區102a，共同閘極線105b也是正交於n型作用區102b。因此，pMOS（負載電晶體Qp1和Qp2）形成於n型作用區102a和102b內，負載電晶體Qp1和驅動電晶體Qn1構成一第一反相器，負載電晶體Qp2和驅動電晶體Qn2構成一第二反相器。又第一反相器和第



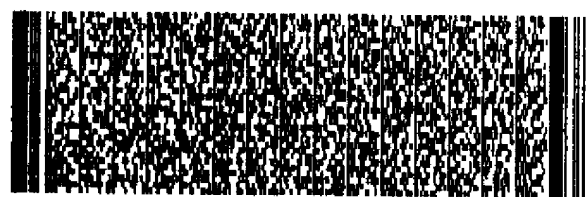
五、發明說明 (3)

二反相器構成了一個門。共同閘極線105a是在和字元線104b的同一條線上。共同閘極線105b是在和字元線104a的同一條線上。每一個p型作用區101a和101b，是經由一接觸點107，以電路連接到一位元線(圖中未示)，或 V_{cc} (共同電位)的供給線(圖中未示)。

就以上敘述相關技藝，6個電晶體架構之SRAM單元中，字元電晶體和驅動電晶體之間的關係，設定為 $DT.L=WT.L$ ，其中 $DT.L$ 代表驅動電晶體 Q_{n1} 和 Q_{n2} 的通道長度，以及 $WT.L$ 代表字元電晶體 Q_{n3} 和 Q_{n4} 的通道長度。明確地說， $DT.L=WT.L=0.18$ 微米(μm)，如同後面表1所示。另外，驅動電晶體 Q_{n1} 和 Q_{n2} 的通道寬度是以 $DT.W$ 代表，字元電晶體 Q_{n3} 和 Q_{n4} 的通道寬度以 $WT.W$ 代表。而 $DT.W$ 等於 0.64 微米， $WT.W$ 等於 0.49 微米。此處所使用的通道寬度，指的是在垂直於通道電流流動方向上所測得的一電晶體長度。

根據一般應用SRAM單元的情形，驅動電晶體 Q_{n1} 和 Q_{n2} 有相同的尺寸，(也就是通道長度和通道寬度)，如同字元電晶體 Q_{n3} 和 Q_{n4} 一樣，也就是 $DT.W/WT.W=DT.L/WT.L=1.0$ 。

然而，這種情形卻不是單元設計的目的，以確保單元操作的穩定度，像是靜態雜訊邊際(以下用SNM代表)。設計單元時，驅動電晶體 Q_{n1} 和 Q_{n2} 的通道寬度 $DT.W$ ，會比字元電晶體 Q_{n3} 和 Q_{n4} 的通道寬度要大些。換句話說，如此設計單元，相較於驅動電晶體 Q_{n1} 和 Q_{n2} ，使得字元電晶體 Q_{n3} 和 Q_{n4} 對通道電流有相當程度之較大的阻力，因此拉下電流而降低。為此目的，如圖6中所示，上述相關技藝的

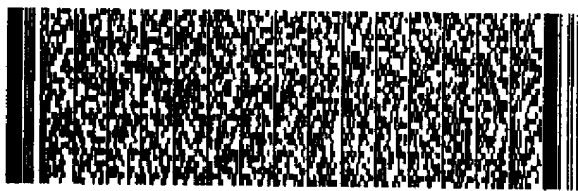
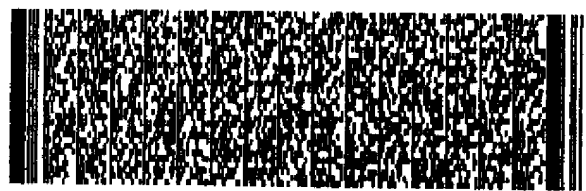


五、發明說明 (4)

SRAM單元100中，p型作用區101a和101b比的圖樣有階梯106，而導致驅動電晶體Qn1和Qn2的通道寬度，與字元電晶體Qn3和Qn4的通道寬度之間的差距。階梯106的高度，也就是DT.W和WT.W間的差距， $(DT.W - WT.W)$ ，等於0.15微米。

另一方面，為達到更高的整合性，這類的SRAM單元也引進了自動對準接觸點技術，或選擇性地，以相關於一第一多晶矽基礎層，(即字元線104a和104b，以及共同閘極線105a和105b)，精確的對準而形成接觸點的圖樣。如此降低了多晶矽層和接觸點107間的空間，以減小單元尺寸。

然而，一般來說，p型作用區101a和101b圖樣中階梯106的角落是弧形(弧形角落)，經由電阻圖樣製程而得，要完全精準地形成設計的尺寸是不可能的。如同上述，假使降低了多晶矽層和接觸點107中間的空隙，驅動電晶體Qn1或Qn2，與字元電晶體Qn3或Qn4之間的距離也就減小了。這使得階梯106和驅動電晶體Qn1、驅動電晶體Qn2、字元電晶體Qn3、或字元電晶體Qn4之間的距離縮小了。階梯106是位於驅動電晶體Qn1和字元電晶體Qn3之間，以及在驅動電晶體Qn2和字元電晶體Qn4之間。換句話說，驅動電晶體Qn1和Qn2，以及字元電晶體Qn3和Qn4，是形成在發生弧形角落內或其區域的附近。如圖6中，為點橫虛線所顯示的(弧形角落區域106a)。如此導致的問題是，相關技藝中，SRAM單元的驅動電晶體和字元電晶體，無法形成如設計尺寸一樣精準的通道寬度。



五、發明說明 (5)

為此原因，相關技藝的SRAM單元中，即使引進自動對準接觸技術，或相對於多晶矽基礎層，用更精確的對準方式來形成接觸點圖樣，而降低了多晶矽層和接觸點之間的空間，也需要增加驅動電晶體和字元電晶體間的空間，延伸至可以避免弧形角落區域的影響。如此就限制單元尺寸可以減小的程度。

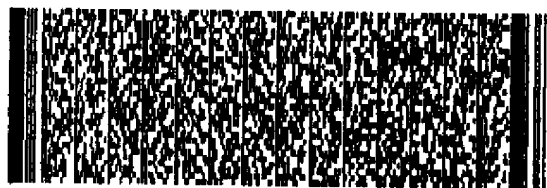
本發明正是從解決這個問題的觀點而製成的。本發明的目的為提供一種半導體記憶體裝置，可以阻止弧形角落的發生，以降低單元的大小，而達到更高的整合性。

根據本發明的一半導體記憶體裝置，包括一驅動電晶體和一字元電晶體，其中該驅動電晶體的一通道寬度DT.W，和該驅動電晶體的一通道長度DT.L，該字元電晶體的一通道寬度WT.W，與該字元電晶體的一通道長度WT.L之間的關係為

$$(DT.W/WT.W)/(WT.L/DT.L) < 1.2$$

此處所指的一通道寬度，是在垂直於通道電流流動方向上所測得的電晶體長度。

根據本發明的半導體記憶體裝置，該驅動電晶體的一通道寬度DT.W，和該驅動電晶體的一通道長度DT.L，該字元電晶體的一通道寬度WT.W，與該字元電晶體的一通道長度WT.L之間的關係，如前面陳述，使得DT.W/WT.W的比值較接近1，而WT.L/DT.L變得比1大。也就是，讓該字元電晶體的一通道長度WT.L比該驅動電晶體的一通道長度DT.L要大一點，來降低或消除作用區中圖樣的階梯。這樣就可以



五、發明說明 (6)

出電阻圖樣製程，以阻止弧形角落的發生。

本發明其他的或更進一步的目的、特性，和優點，將在下面的敘述中，更完整地呈現出來。

圖示簡述

圖1是根據本發明之一第一具體實施例，為說明一SRAM單元的圖樣佈局之平面視野圖。

圖2是根據本發明之一第二具體實施例，為說明一SRAM單元的圖樣佈局之平面視野圖。

圖3是根據本發明之一第三具體實施例，為說明一SRAM單元的圖樣佈局之平面視野圖。

圖4是pMOS負載型之一SRAM單元的一電路圖。

圖5是顯示 $(DT.W/LT.W)/(WT.L/DT.L)$ 和一階梯 $[DT.W - WT.W]$ 之間的關係特性圖。

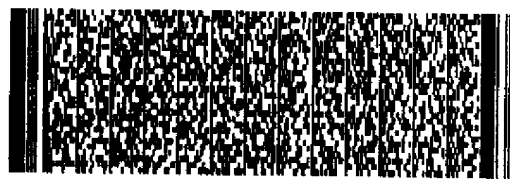
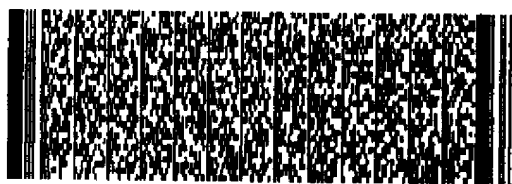
圖6是根據相關技藝，為說明一SRAM單元的圖樣佈局圖。

較佳具體實施例的詳細敘述

本發明的具體實施例，將參考所附圖示詳細敘述於後。

首先在敘述明確的具體實施例之前，將先參考圖4來描述pMOS負載型之一SRAM單元的電路架構。

pMOS負載型的SRAM單元，有一6個電晶體的架構，包括n通道MOS電晶體（以下稱為nMOS）Qn1和Qn2，p通道MOS電晶體（以下稱為pMOS）Qp1和Qp2。該nMOS Qn1和Qn2的功能如驅動電晶體，而該pMOS Qp1和Qp2的功能為負載電晶體。nMOS Qn1和Qn2如驅動電晶體的功能，以及pMOS Qp1和Qp2

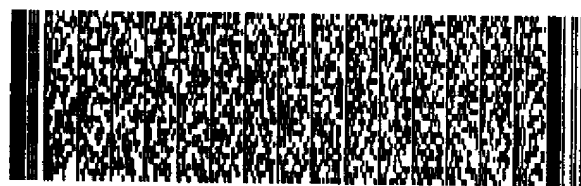


五、發明說明 (7)

如負載電晶體的功能，形成了兩個反相器(門)。而反相器的輸入端是彼此跨越的，即一反相器的一輸入端是連接到另一反相器的一輸出端，同時後者反相器的一輸入端連接到前者反相器的一輸出端。

nMOS Q_{n3} 和 Q_{n4} 是字元電晶體，基於加電壓至字元線WL1和WL2，以控制每一個反相器的連接點(記憶體節點ND1和ND2)，連接到位元線BL1和BL2。這類單元架構是普通的，連接的細節則在此省略。

pMOS負載型的SRAM單元中，一位元線BL1是維持在一高電位，經由字元線WL1和WL2，在字元電晶體 Q_{n3} 和 Q_{n4} 的閘極上，施加一事先決定的電壓。因此，兩個電晶體 Q_{n3} 和 Q_{n4} 轉至ON(通路)，將電荷聚集在記憶體節點ND1和ND2。驅動電晶體 Q_{n1} 和 Q_{n2} ，以及負載電晶體 Q_{p1} 和 Q_{p2} 是如此操作：當一記憶體節點是“H(高電位)”，另一記憶體節點為“L(低電位)”時，正是一個門的架構之特性。例如：當記憶體節點ND1是“H”，而記憶體節點ND2是“L”時，驅動電晶體 Q_{n2} 和負載電晶體 Q_{p1} 轉為ON(通路)，以及驅動電晶體 Q_{n1} 和負載電晶體 Q_{p2} 是OFF(斷路)。結果，記憶體節點ND1從一電壓源 V_{cc} 的一供給線接受電荷，而記憶體節點ND2繼續保持在接地電位。反過來，如果是在位元線BL1的電位是“L”時，將字元電晶體 Q_{n3} 轉至ON，而迫使記憶體節點ND1為“L”；或是如果在位元線BL2的電位是“H”時，將字元電晶體 Q_{n4} 轉至ON，而迫使記憶體節點ND2為“H”，那麼驅動電晶體 Q_{n1} 和 Q_{n2} ，以及負載電晶體 Q_{p1} 和 Q_{p2} 都反相



五、發明說明 (8)

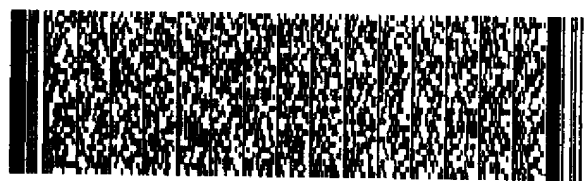
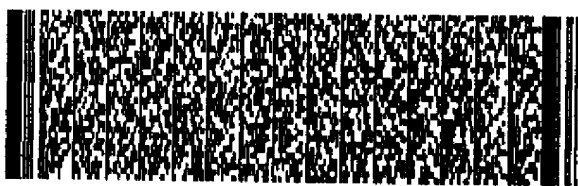
了，而且記憶體節點ND2，從電壓源Vcc的供給線接受電荷，而保持記憶體節點ND1在接地電位。如此方式以閃維持電荷，將電荷靜態地保持在記憶體節點ND1和ND2。"L"或"H"的電位，分別對應於數據的"0"或"1"，以致於數據即可儲存在單元內的6個電晶體中。

第一具體實施例

接著，根據本發明之一第一具體實施例，參考圖1來敘述，一有6個電晶體之SRAM單元的圖樣佈局。該SRAM單元10包括p型作用區11a和11b，為一第一導電型作用區，以及n型作用區12a和12b，為一第二導電型作用區。該n型作用區11a和11b，以及p型作用區12a和12b，都圍繞著一元件以隔離LOCOS的，或例如：溝渠結構的絕緣區13。

SRAM單元10中，p型作用區11a和11b以並連安排，如圖中所看到的，一個位於另一個之上。p型作用區11a中，一驅動電晶體Qn1和一字元電晶體Qn3，形成於其相反約兩邊。p型作用區11b中，一驅動電晶體Qn2和一字元電晶體Qn4，形成於其相反約兩邊。一字元線(WL) 14a的功能如字元電晶體Qn3的一開極，是正交於p型作用區11a。一字元線(WL) 14b的功能如字元電晶體Qn4的一開極，也正交於p型作用區11b。另一方面，一共同開極線15a (GL1)的功能為驅動電晶體Qn1的一開極，從圖1看去是安排在垂直的方向，並正交於p型作用區11a。另一共同開極線15b (GL2)也是安排在相同的方向，且正交於p型作用區11b。

共同開極線15a正交於n型作用區12a，而共同開極線15b



五、發明說明 (9)

也正交於n型作用區12b，因此pMOS（負載電晶體Qp1和Qp2）是在n型作用區12a和12b內形成。負載電晶體Qp1和驅動電晶體Qn1構成一第一反相器，而負載電晶體Qp2和驅動電晶體Qn2構成一第二反相器，第一反相器和第二反相器形成一個門。共同閘極線15a是在字元線14b的線上，又共同閘極線15b是在字元線14a的線上。共同閘極線15a和15b，以及字元線14a和14b，都是由含雜質的一第一多晶矽層製成的。

如上所述，SRAM單元10的基本架構，和相關技藝SRAM單元100（圖6）的架構，基本上是相同的，除了在p型作用區11a和11b的圖樣，消除階梯而建立了下列關係：

$$(DT.W_1/WT.W_1)/(WT.L_1/DT.L_1)=0.77 \quad \dots (1)$$

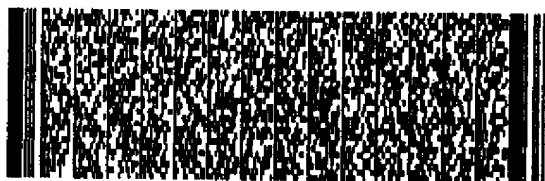
其中DT.W₁，代表驅動電晶體Qn1和Qn2的一通道寬度，DT.L₁，代表驅動電晶體Qn1和Qn2的一通道長度，而WT.W₁，代表字元電晶體Qn3和Qn4的一通道寬度，WT.L₁代表字元電晶體Qn3和Qn4的一通道長度。

根據本具體實施例，驅動電晶體的通道寬度DT.L₁，是等於字元電晶體的通道寬度WT.W₁（DT.L₁=WT.W₁）。然而，字元電晶體的通道長度WT.L₁/要比驅動電晶體的通道長度DT.L₁大一些（WT.L₁/DT.L₁>1）。正如從下列表1中（d）所見，每一電晶體的尺寸組合之一明確實例如下：

DT.W₁=WT.W₁=0.49微米，

WT.L₁=0.23微米，

DT.L₁=0.18微米。



五、發明說明 (10)

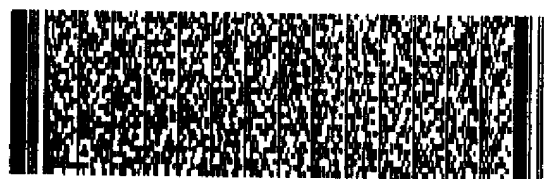
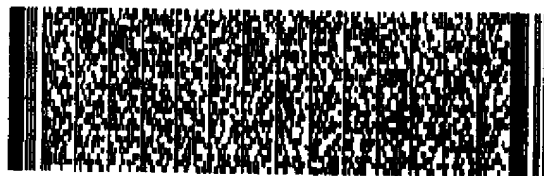
表 1

		DT.W (μm)	WT.W (μm)	DT.W/ WT.W	WTL (μm)	DT.L (μm)	WTL/ DT.L	(DT.W/WT.W) /(WTL/DT.L)	DT.W-WT.W (μm)
相關技藝	(a)	0.64	0.49	1.3	0.18	0.18	1	1.3	0.15
本發明	(b)	0.59	0.49	1.2	0.19	0.18	1.06	1.13	0.1
	(c)	0.54	0.49	1.1	0.21	0.18	1.18	0.93	0.05
	(d)	0.49	0.49	1	0.23	0.18	1.3	0.77	0

本具體實施例中，驅動電晶體 Q_{n1} 和 Q_{n2} 的通道寬度 $DT.W_1$ ，是等於字元電晶體 Q_{n3} 和 Q_{n4} 的通道寬度 $WT.W_1$ 。如此一來，就消除了 p 型作用區 $11a$ 和 $11b$ 中圖樣的階梯。另一方面，字元電晶體 Q_{n3} 和 Q_{n4} 的通道長度 $WT.L_1$ ，要比驅動電晶體 Q_{n1} 和 Q_{n2} 的通道長度 $DT.L_1$ 大些。將字元電晶體 Q_{n3} 和 Q_{n4} 的通道長度 $WT.L_1$ ，製成比驅動電晶體 Q_{n1} 和 Q_{n2} 的通道長度 $DT.L_1$ 大，而且相較於驅動電晶體 Q_{n1} 和 Q_{n2} ，字元電晶體 Q_{n3} 和 Q_{n4} 對通道電流有相當大的電阻，因此可以達到單元操作的穩定性，像是 SNM。既然， p 型作用區 $11a$ 和 $11b$ 沒有階梯形成， p 型作用區 $11a$ 和 $11b$ 在驅動電晶體 Q_{n1} 或 Q_{n2} ，以及字元電晶體 Q_{n3} 或 Q_{n4} 之間，就不會像傳統一樣，經由電阻圖樣製程，而發生弧形角落。

如果多晶矽層和接觸點間的空間減小了，誠如前面敘述的，引進自動對準接觸技術，或相較於多晶矽基礎層更精確的對準方法，形成了接觸點的圖樣，該空間即可以減至最小，而不必把弧形角落的影響列入考慮。本具體實施例中，單元的面積能夠減小，以完成更高的整合性，同時達到相當於相關技藝中 SRAM 單元的 SNM。

本具體實施例中，驅動電晶體 Q_{n1} 和 Q_{n2} 的通道寬度



五、發明說明 (11)

DT.W₁，製成和字元電晶體Qn3和Qn4的通道寬度WT.W₁一樣。因此，p型作用區11a和11b便沒有階梯。然而，本發明仍可適用於DT.L₁和WT.L₁不相等的情況，而形成了某種大小的階梯，只要弧形角落的影響，基本上是可以忽略的。一般來說，驅動電晶體的一通道寬度DT.W，和驅動電晶體的一通道長度DT.L，字元電晶體的一通道寬度WT.W，與字元電晶體的一通道長度WT.L之間的關係為：

$$(DT.W/WT.W)/(WT.L/DT.L) < 1.2 \quad \dots (2)$$

很明顯地，此情況中，字元電晶體的通道長度WT.L，製造成比驅動電晶體的通道長度DT.L要大，(WT.L/DT.L > 1)，如同本具體實施例中。

最好的情況下，上述的關係為：

$$(DT.W/WT.W)/(WT.L/DT.L) < 1.1 \quad \dots (3)$$

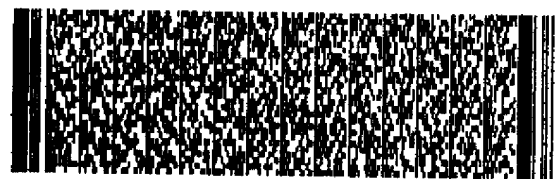
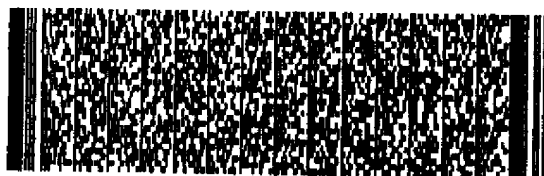
比較理想的情況為：

$$(DT.W/WT.W)/(WT.L/DT.L) < 1.0 \quad \dots (4)$$

甚至更理想的情況為：

$$(DT.W/WT.W)/(WT.L/DT.L) < 0.9. \quad \dots (5)$$

圖5顯示的是，上述尺寸比值(DT.W/WT.W)/(WT.L/DT.L)，和階梯[DT.W-WT.W]之間的關係。從圖中可清楚地看到，當尺寸比值(DT.W/WT.W)/(WT.L/DT.L)漸漸減小時，階梯[DT.W-WT.W]也逐漸減小。那麼，弧形角落的影響就降低了。如同表1中(b)和(d)的情形，為了要降低階梯[DT.W-WT.W]，也就是使得[DT.W-WT.W]越接近1.0，最好是字元電晶體的通道長度WT.L，要比驅動電晶體的通道長



五、發明說明 (12)

度 $DT.L$ 大一些 ($(WT.L/DT.L) > 1$)。

現在，說明敘述將進入其他的 $(DT.W/WT.W)/(WT.L/DT.L)$ 的實例，如第二及第三具體實施例。下面要敘述的這些實施例，其架構與圖1中顯示的SRAM單元10，基本上是十分相似的。除了驅動電晶體的通道長度，和驅動電晶體的通道寬度，字元電晶體的通道長度，與字元電晶體的通道寬度之間的關係不同。因此，所有圖示中使用了相似的參考符號，來代表和第一具體實施例中非常相像的功能之部份，而且細節的敘述在此略去。

第二具體實施例

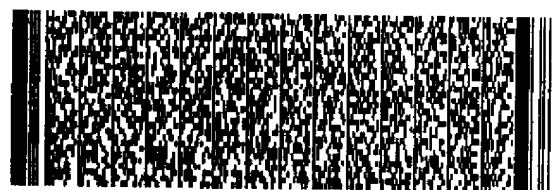
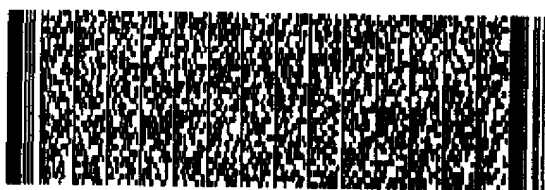
根據本具體實施例的SRAM單元20中，驅動電晶體 $Qn1$ 和 $Qn2$ 的通道寬度 $DT.W_2$ ，驅動電晶體 $Qn1$ 和 $Qn2$ 的通道長度 $DT.L_2$ ，字元電晶體 $Qn3$ 和 $Qn4$ 的通道寬度 $WT.W_2$ ，與字元電晶體 $Qn3$ 和 $Qn4$ 的通道長度 $WT.L_2$ 之間的關係為：

$$(DT.W_2/WT.W_2)/(WT.L_2/DT.L_2) = 0.93 \quad \dots (6)$$

很清楚地，在表1中看到的(c)， $DT.W_2 = 0.54$ 微米， $WT.W_2 = 0.49$ 微米， $WT.L = 0.21$ 微米， $DT.L = 0.18$ 微米。p型作用區11a和11b的圖樣有0.05微米的階梯16 $(DT.W_2 - WT.W_2)$ ，其尺寸為相關技藝的SRAM單元100中階梯約三分之一。字元電晶體 $Qn3$ 和 $Qn4$ 的通道長度 $WT.L_2$ ，比驅動電晶體 $Qn1$ 和 $Qn2$ 的通道長度 $DT.L_2$ 大，(是驅動電晶體 $Qn1$ 和 $Qn2$ 通道長度 $DT.L_2$ 的1.18倍)。

第三具體實施例

根據本具體實施例SRAM單元30中，驅動電晶體 $Qn1$ 和 $Qn2$



五、發明說明 (13)

的通道寬度 $DT.W_3$ ，驅動電晶體 $Qn1$ 和 $Qn2$ 的通道長度 $DT.L_3$ ，字元電晶體 $Qn3$ 和 $Qn4$ 的通道寬度 $WT.W_3$ ，與字元電晶體 $Qn3$ 和 $Qn4$ 的通道長度 $WT.L_3$ 之間的關係為：

$$(DT.W_3/WT.W_3)/(WT.L_3/DT.L_3)=1.13 \quad \dots (7)$$

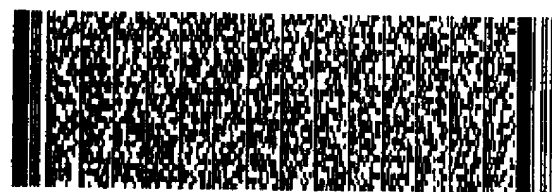
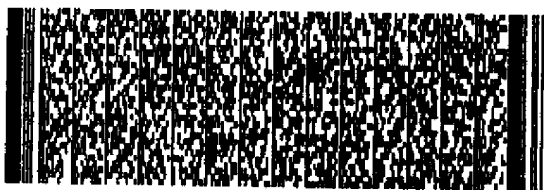
很清楚地，正如在表 1 中看到的 (b)， $DT.W_3=0.59$ 微米， $WT.W_3=0.49$ 微米， $WT.L_3=0.19$ 微米， $DT.L_3=0.18$ 微米。本具體實施例中，p 型作用區 11a 和 11b 的圖樣有 0.1 微米的階梯 16 ($DT.W_3-WT.W_3$)，其大小寫相關技藝 SRAM 單元 100 中階梯約三分之二。字元電晶體 $Qn3$ 和 $Qn4$ 的通道長度 $WT.L_3$ ，比驅動電晶體 $Qn1$ 和 $Qn2$ 的通道長度 $DT.L_3$ 大，(是驅動電晶體 $Qn1$ 和 $Qn2$ 通道長度 $DT.L_3$ 的 1.06 倍)。

第二具體實施例中 SRAM 單元 20，和第三具體實施例中 SRAM 單元 30 的效果，與第一具體實施例 SRAM 單元 10 的效果，基本上是相同的。使用 SRAM 單元 20 和 30，經由電阻圖樣製程，阻止弧形角落的發生。所以，得以降低單元的大小和提高整合性，同時達到相當於相關技藝中 SRAM 單元的 SNM。

如上所述，根據本發明的半導體記憶體裝置，驅動電晶體的通道寬度 $DT.W$ ，驅動電晶體的通道長度 $DT.L$ ，字元電晶體的通道寬度 $WT.W$ ，與字元電晶體的通道長度 $WT.L$ 之間的關係為：

$$(DT.W/WT.W)/(WT.L/DT.L) < 1.2。$$

因此，圖樣電阻的製程中，可以有效地阻止弧形角落的發生，而達到減小單元的尺寸，和較高的整合性。



五、發明說明 (14)

很明顯地，在上述揭示方法之技術的精神內，本發明的許多修正和變化方式都是可行的。所以，必須了解的是，在所附的申請專利範圍內，本發明均可以應用，而非依其特定敘述的方法。

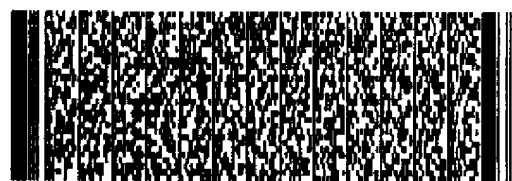


四、中文發明摘要 (發明之名稱：半導體記憶體裝置)

一種半導體記憶體裝置，藉由光阻圖樣化製程，可阻止弧形角落的發生，以降低單元尺寸和達到較高的整合性。驅動電晶體的一通道寬度DT.W，和驅動電晶體的一通道長度DT.L上，字元電晶體的一通道寬度WT.W，與字元電晶體的一通道長度WT.L之間的關係為 $(DT.W/WT.W) / (WT.L/DT.L) < 1.2$ 。該驅動電晶體的通道寬度DT.W等於該字元電晶體的通道寬度WT.W，以降低p型作用區之圖樣的階度。而該字元電晶體的通道長度WT.L要比該驅動電晶體的通道長度DT.L大，也就是 $(WT.L/DT.L) > 1$ 。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

A semiconductor memory device which can suppress the occurrence of corner rounding through the resist patterning process to achieve a reduction in cell size and higher integration. A relationship between a channel width DT.W of the drive transistor, a channel length DT.L of the drive transistor, a channel width WT.W of the word transistor and a channel length WT.L of the word transistor is given by: $(DT.W/WT.W)/(WT.L/DT.L) < 1.2$. The channel width DT.W of the drive



四、中文發明摘要 (發明之名稱：半導體記憶體裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

transistor is equal to the channel width $WT.W$ of the word transistor, to reduce steps in the patterns of p-type active regions. The channel length $WT.L$ of the word transistor is larger than the channel length $DT.L$ of the drive transistor, that is, $(WT.L/DT.L) > 1$.



六、申請專利範圍

1. 一種半導體記憶體裝置，包括許多的記憶體單元，每一個記憶體具有一驅動電晶體、一字元電晶體、和一導電型式的一作用區，在該作用區內，該驅動電晶體和該字元電晶體的位置彼此相鄰，其中該驅動電晶體的一通道寬度DT.W、該驅動電晶體的一通道長度DT.L、該字元電晶體的一通道寬度WT.W、和該字元電晶體的一通道長度WT.L之間的關係為 $(DT.W/WT.W)/(WT.L/DT.L) < 1.2$ 。

2. 如申請專利範圍第1項之半導體記憶體裝置，其中該關係為 $(DT.W/WT.W)/(WT.L/DT.L) < 1.1$ 。

3. 如申請專利範圍第1項之半導體記憶體裝置，其中該關係為 $(DT.W/WT.W)/(WT.L/DT.L) < 1.0$ 。

4. 如申請專利範圍第1項之半導體記憶體裝置，其中該關係為 $(DT.W/WT.W)/(WT.L/DT.L) < 0.9$ 。

5. 如申請專利範圍第1項之半導體記憶體裝置，其中 $(DT.W/WT.W) \geq 1.0$ ，同時， $(WT.L/DT.L) > 1.0$ 。



圖式

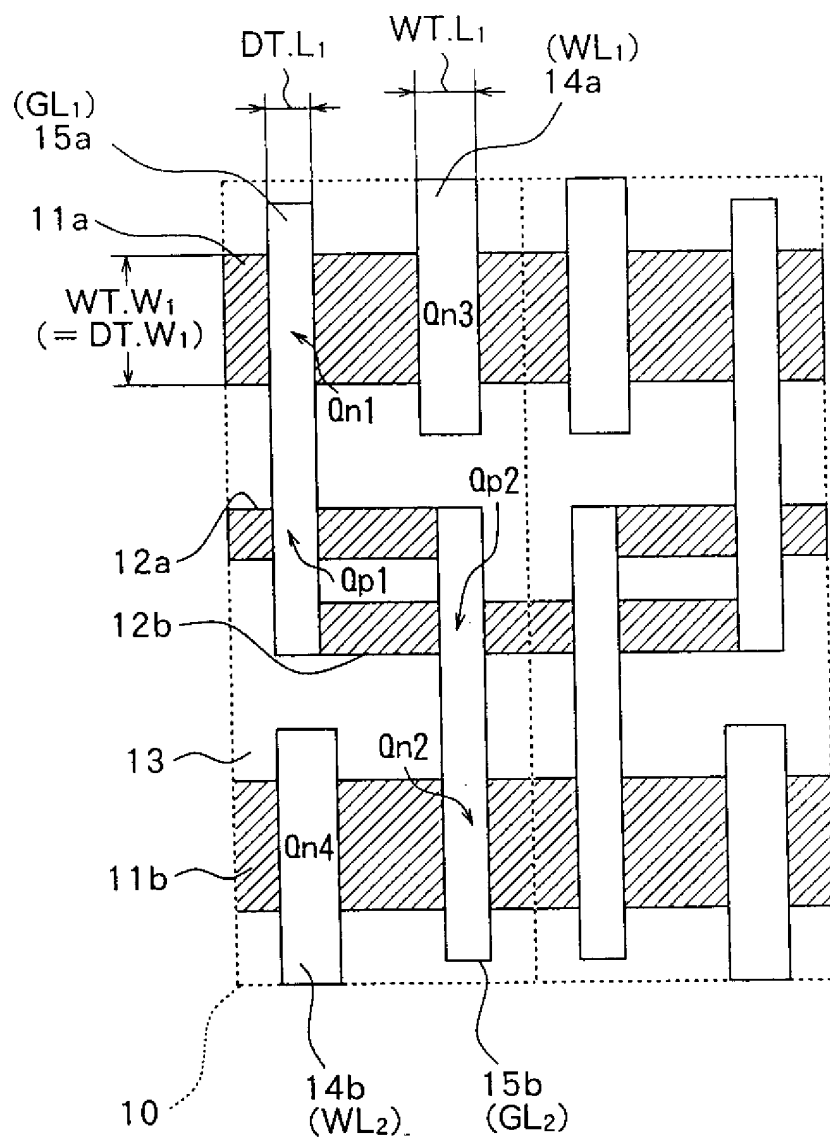


圖.1

圖式

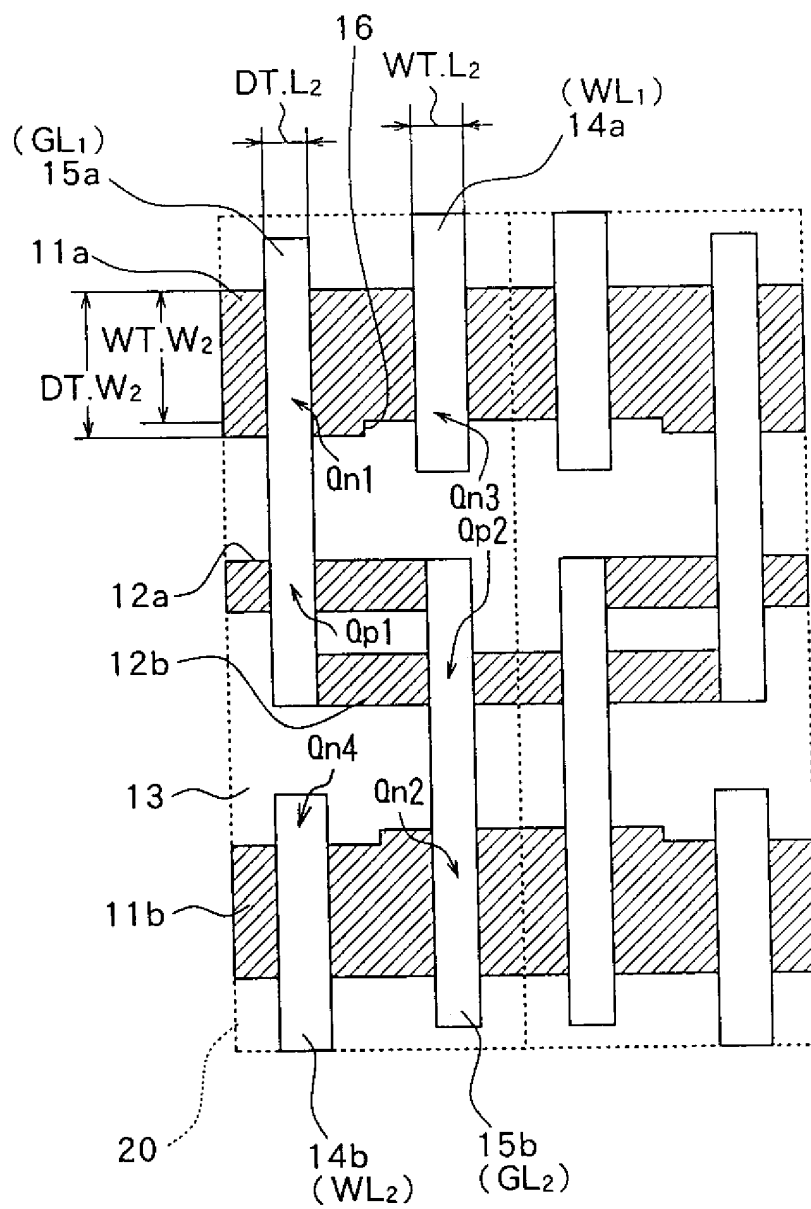


圖.2

圖式

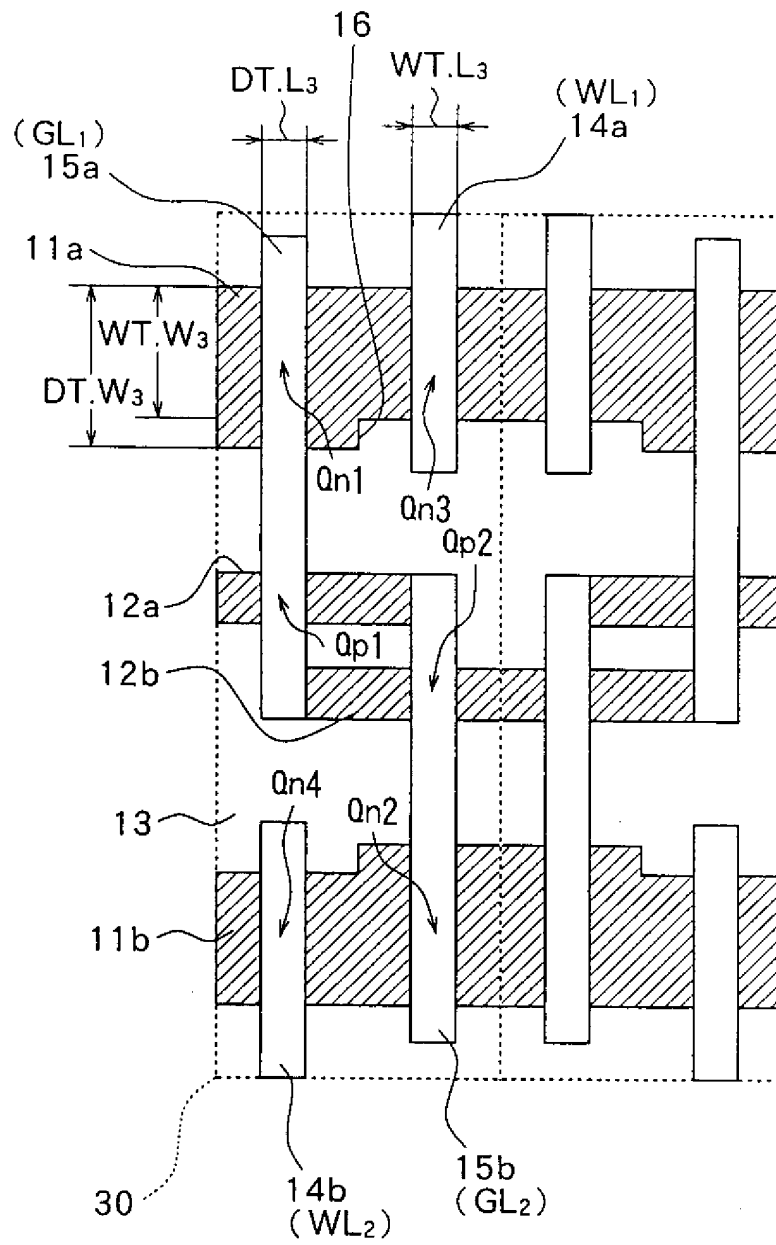


圖.3

圖式

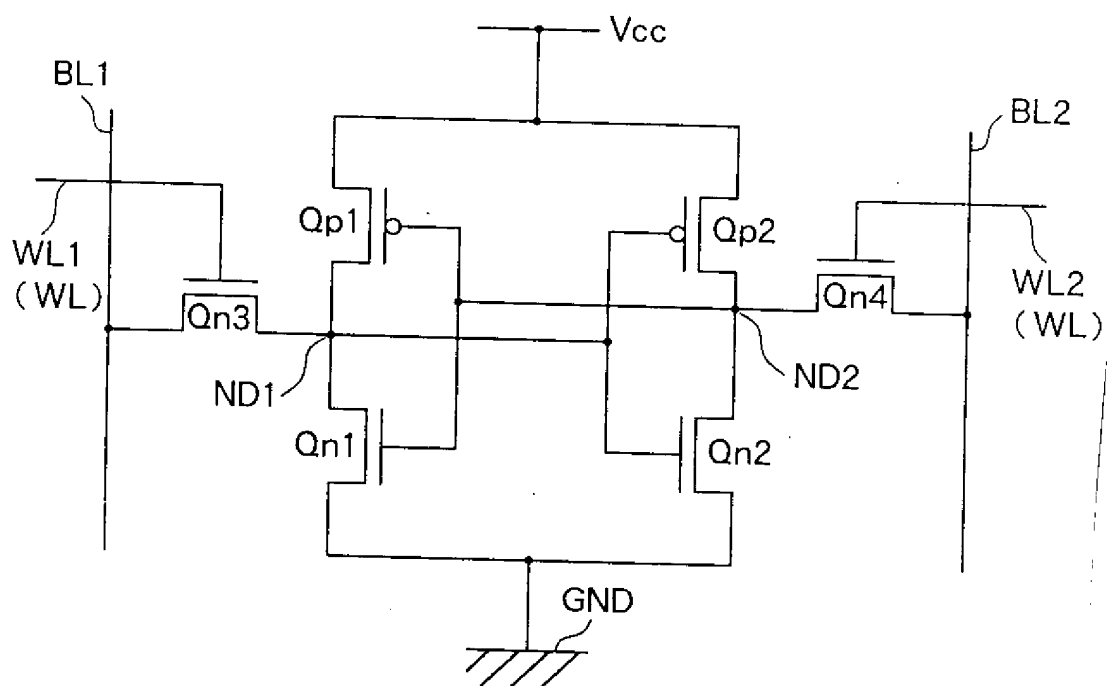


圖.4

圖式

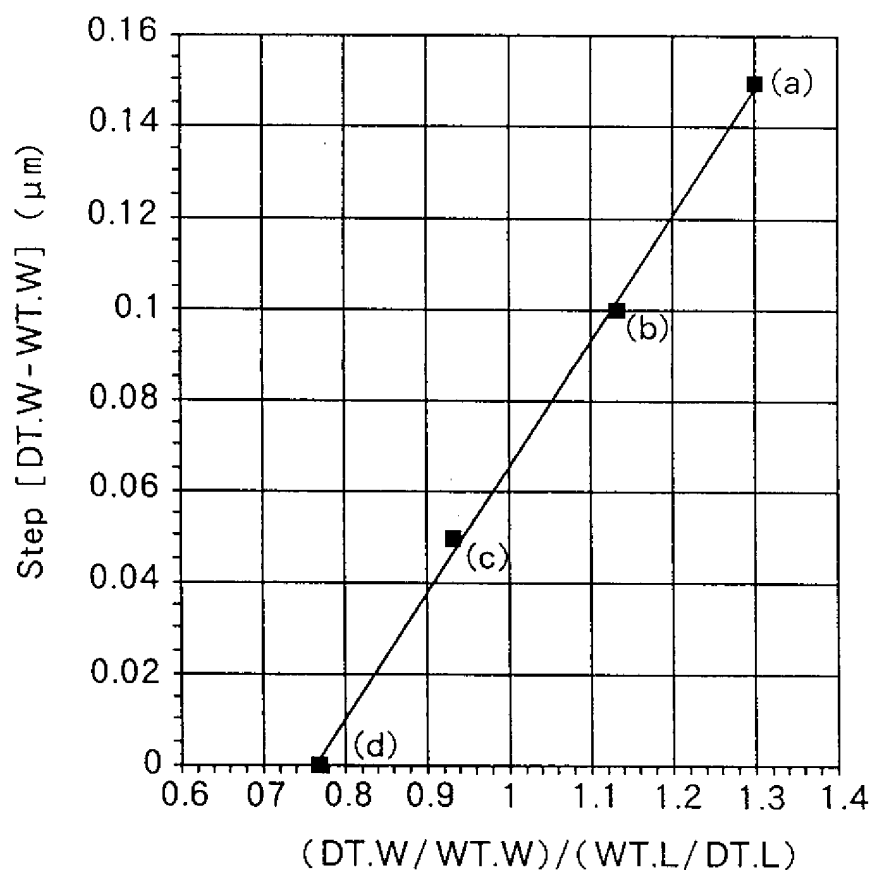


圖.5

圖式

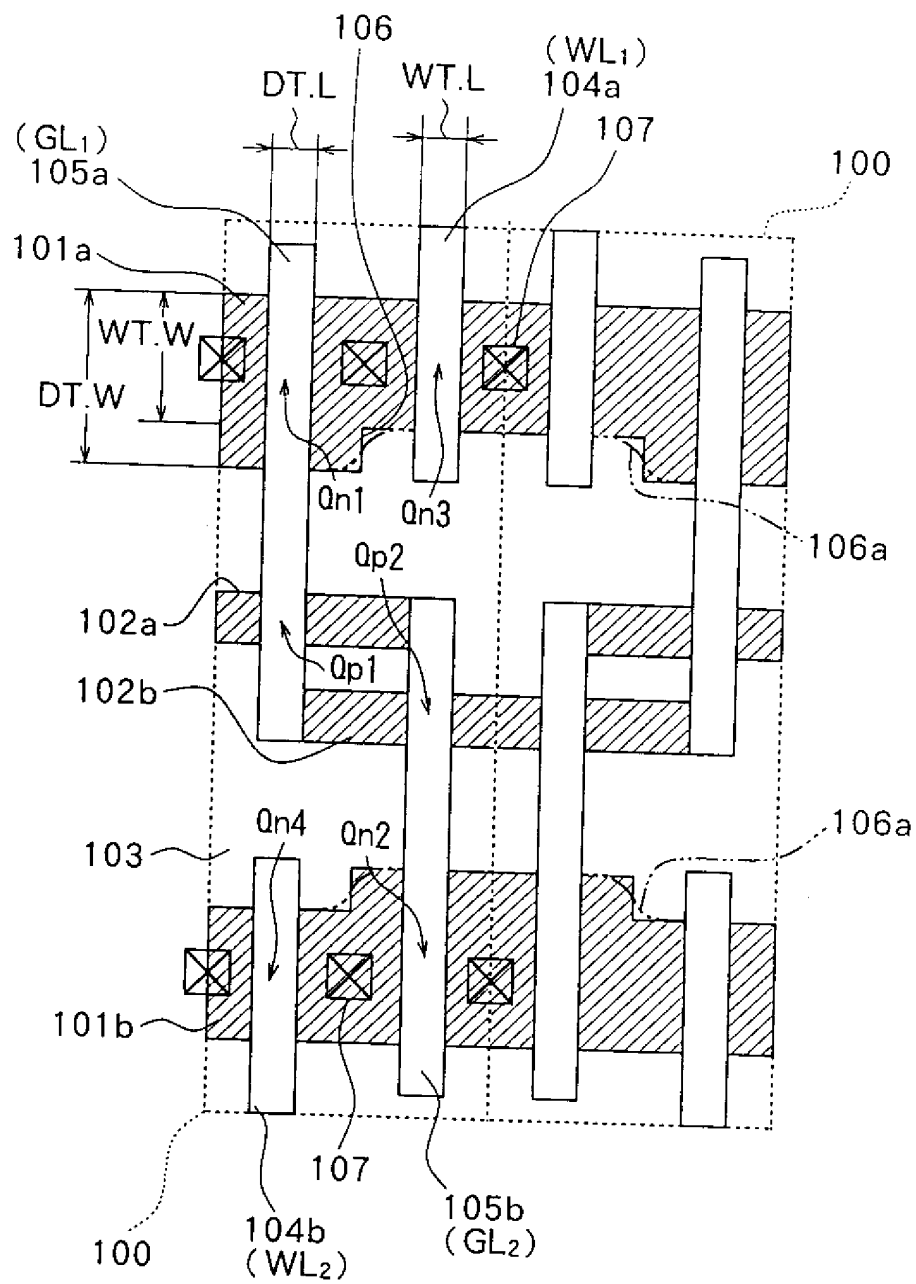


圖.6