

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95126596

※申請日期： 95.7.20

※IPC分類： H01L 23/488

一、發明名稱：(中文/英文)

晶粒承載器之製造方法

METHOD FOR MANUFACTURING A CHIP CARRIER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日月光半導體製造股份有限公司

ADVANCED SEMICONDUCTOR ENGINEERING INC.

代表人：(中文/英文)

張虔生/CHANG, CHIANGSENG

住居所或營業所地址：(中文/英文)

高雄市楠梓加工出口區經三路 26 號

26, CHIN 3RD RD., 811, NANTZE EXPORT PROCESSING ZONE,
KAOHSIUNG, TAIWAN, R.O.C.

國籍：(中文/英文)

中華民國 R.O.C.

三、發明人：(共 1 人)

姓名：(中文/英文)

1. 丁一權/ DING, YICHUAN

國籍：(中文/英文)

1. 中華民國 R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1.

2.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明

【發明所屬之技術領域】

本發明是有關於一種晶片封裝的製造方法，特別是有關於一種晶粒承載器(chip carrier)的製造方法。

【先前技術】

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢來設計。目前在半導體封裝製程中，晶粒承載器是經常使用的構裝元件，其主要是由多層線路圖案層以及多層介電層所交替疊合而成，由於其具有佈線細密、組裝緊湊以及性能良好等優點，使得晶粒承載器已經成為覆晶構裝用基板之主流。

晶粒承載器係用來作為單一或多晶片的承載基板，並且還可內嵌被動元件，例如電容器或誘導器，現已被廣泛應用於電信、電腦的電子元件之中。

晶粒承載器係由多層電子內連線結構所形成，內連線結構一般而言包括一基材、複數層導電層所形成之預定的電路圖。其中，各個導電層之間由絕緣材質相互隔離，並透過介層窗(vias)相互導通。

內連線結構的建構方式以及各項運用係為習知技術，其係在基材之上形成一下層導電層，以及在下層導電層之上形成一介電層。接著，在介電層之中形成一介層窗。再以一濺

鍍或沉積方式形成一上層導電層，經由介層窗導通上層導電層與下層導電層。基材一般可以是陶瓷、表面塗佈一層氧化矽之矽基材、或是一銅基材，而導電層材質較佳為銅。

然而，此時介層窗並未完全填滿(unfilled)，由於上層導電層不是一平坦表面，使得上層導電層的密度降低，也使得介層窗的散熱能力下降。另外，由於傳統之晶粒承載器之基材係具有一定厚度（約 $800\ \mu\text{m}$ ）的關係，使得在先進的細間距（fine pitch）封裝製程中，不僅佔空間，限制了封裝電路的設計靈活度，而且影響散熱效果。

因此，業界現今開發出一種無核心（coreless）基材的晶粒承載器，以解決具有一定基材厚度之晶粒承載器之細間距線路設計空間有所限制的問題，並且同時也解決線路結構厚度不均的問題。然而，由於此種晶粒承載器沒有核心基材的設計，會使得在製作此晶粒承載器時容易產生翹曲（warpage）情形，因而造成製程良率的下降與成本的提高。

【發明內容】

因此，非常需要一種改進之晶粒承載器的製造方法，來解決晶粒承載器容易產生翹曲的問題，以達到提升產品品質與製程良率的目的。

本發明之一方面係在於提供一種晶粒承載器的製造方法，藉由使用二相對貼合之基材來作為晶粒承載器之製造過程中之基材，並且在該二基材之表面上同時利用增層（build up）法來形成多層線路圖案層與介電層，如此可平衡基材二

邊所產生的應力影響，以解決晶粒承載器容易翹曲的問題。

根據本發明之一最佳實施例，此晶粒承載器的製造方法至少包含提供第一基材與第二基材，其中一黏著層設置於第一基材之底表面與第二基材之底表面之間，用以將第一基材與第二基材貼合固定；分別形成第一線路層與第二線路層於第一基材之頂表面與第二基材之頂表面之上；移除黏著層，以將第一基材與第二基材分開；以及進行一圖案化步驟，以在第一基材與第二基材上形成複數個接墊。

依照本發明之較佳實施例，上述之第一基材與第二基材的材質可例如是銅板。

依照本發明之較佳實施例，上述之黏著層可例如是雙面黏著膠帶。

應用上述晶粒承載器的製造方法，由於是藉由在二相對貼合之基材的表面上同時進行增層製程，如此二基材的表面上所各自形成的增層結構所產生的應力作用，將會互相平衡抵銷，因此可解決晶粒承載器容易翹曲的問題。此外，本發明之基材係可作為晶粒承載器的剛性支撐環（stiffener ring），由於基材的厚度夠厚，故也可減少晶粒承載器產生翹曲的情形。所以本發明與其它習知之晶粒承載器的製作流程相比，本發明所揭露之製造方法不僅可減少晶粒承載器容易翹曲的情形，解決產品良率下降的問題，而且一次製作過程可同時產出兩個晶粒承載器，故產品之生產作業的週期時間（cycle time）大幅減少，所以更可大幅降低製造的時間及成本。

【實施方式】

請參照第 1A 圖至第 1H 圖，係繪示本發明之一較佳實施例之晶粒承載器的製作流程剖面示意圖。首先，如第 1A 圖所繪示，提供第一基材 100 與第二基材 110，其中一黏著層 120 係設置於第一基材 100 之底表面 102 與第二基材 110 之底表面 112 之間，用以將第一基材 100 與第二基材 110 貼合固定。在本實施例中，此第一基材 100 與第二基材 110 係為金屬，例如是銅板，然不限於此，其他金屬材質（例如鐵）的基材也可以使用。另外，此黏著層 120 係可為雙面黏著膠帶，然不限於此，其他的黏著材或接著劑也可以使用。值得一提的是，第一基材 100 與第二基材 110 的厚度大約為 $500\ \mu\text{m}$ ，由於其厚度夠厚，故可作為晶粒承載器的剛性支撐環（stiffener ring），以防止在後續的增層（build up）製程中所可能引發的翹曲。接著，如第 1B 圖所繪示，在第一基材 100 之頂表面 101 與第二基材 110 之頂表面 111 上分別形成第一介電層 130 與第二介電層 132。在本實施例中，此第一介電層 130 與第二介電層 132 係利用環氧樹脂（epoxy resin）作為介電材，並藉由液態樹脂印刷法或是乾膜壓合法來形成，然不限於此，此第一介電層 130 與第二介電層 132 的材質係可為一高分子聚合物，例如聚亞醯胺（polyimide）或聚醯胺（polyamide）。另外，還可利用壓合用介質，例如染浸樹脂之玻璃纖維布材料（prepreg）或染浸樹脂之聚醯胺短纖蓆材（aramid fiber），以壓合（Laminate）

的方式來形成第一介電層 130 與第二介電層 132。然後，如第 1C 圖所繪示，在第一介電層 130 上形成複數個第一介層窗 130a，使一部分之第一基材 100 暴露出來，並且在第二介電層 132 上形成複數個第二介層窗 132a，使一部分之第二基材 110 暴露出來。在本實施例中，係使用雷射鑽孔的方式來形成第一介層窗 130a 與第二介層窗 132a，然不限於此，以機械鑽孔或微影蝕刻的圖案化製程也可以使用。然後，如第 1D 圖所繪示，分別形成第一晶種層 (Seeding layer) 140 與第二晶種層 142 於第一基材 100 之頂表面 101 與第二基材 110 之頂表面 111 之上，之後，利用此第一晶種層 140 與第二晶種層 142 來進行全板電鍍，以形成第一電鍍層 140a 與第二電鍍層 142a 於第一晶種層 140 與第二晶種層 142 之上，其中第一晶種層 140 與第一電鍍層 140a 係形成第一導電層 150，第二晶種層 142 與第二電鍍層 142a 係形成第二導電層 152。值得一提的是，此第一導電層 150 與第二導電層 152 係完全填滿第一介層窗 130a 與第二介層窗 132a。在本實施例中，此第一晶種層 140 與第一電鍍層 140a 的材質係為銅，且形成第一晶種層 140 的方法係採用濺鍍法，然不限於此，其他的導電物質以及其他的沉積方法，例如化學氣相沉積法或無電解電鍍法也可以使用。另外，此第一導電層 150 與第二導電層 152 也可以直接使用銅箔壓合的方式來形成，不需要額外形成第一晶種層 140 與第二晶種層 142，因此本發明並不限定第一導電層 150 與第二導電層 152 的形成方法。接著，

如第 1E 圖所繪示，進行第一線路成型步驟，以將此第一導電層 150 與第二導電層 152 圖案化以分別形成複數個第一線路圖案 150a 與複數個第二線路圖案 152a 於第一基材 100 與第二基材 110 之上。在本實施例中，此第一線路成型步驟之圖案化製程係包含有上乾膜、曝光顯影、蝕刻以及去乾膜等步驟。然後，再次重複第 1B 圖至第 1E 圖之步驟，以依序於第一介電層 130 之上形成第三介電層 160、第三晶種層 170、第三電鍍層 180 與第五介電層 190，於第二介電層 132 之上形成第四介電層 162、第四晶種層 172、第四電鍍層 182 與第六介電層 192，如第 1F 圖所繪示。可以理解的是，隨著重複的次數越多，可在第一基材 100 與第二基材 110 之上堆疊更多的線路圖案層與介電層，此種多層電路板的製造方法係為增層 (build up) 法。因此，在本發明中，並不限於本實施例中所提到之增層次數所形成之層數與結構。另外，在本實施例中，係可將第一介電層 130、第一晶種層 140、第一電鍍層 140a、第三介電層 160、第三晶種層 170、第三電鍍層 180 與第五介電層 190 視為一第一線路層 200，同理，第二介電層 132、第二晶種層 142、第二電鍍層 142a、第四介電層 162、第四晶種層 172、第四電鍍層 182 與第六介電層 192 視為一第二線路層 202。此外，在最外層的第五介電層 190 與第六介電層 192 上，係分別形成複數個第五介層窗 190a 與第六介層窗 192a，以露出部分的第三電鍍層 180 與第四電鍍層 182，可以理解的是，此第三電鍍層 180 與第四

電鍍層 182 係已圖案化形成複數個線路圖案，以作為後續錫球（未繪示）焊接的接墊。接著，如第 1G 圖所繪示，移除設置於第一基材 100 之底表面 102 與第二基材 110 之底表面 112 之間的黏著層 120，以分開第一基材 100 與第二基材 110。然後，如第 1H 圖所繪示，以第一基材 100 為例，進行一圖案化步驟，以在該第一基材 100 上形成複數個接墊 100a。在本實施例中，此圖案化步驟至少包含先進行一半蝕刻（Half-etching）步驟，以薄化第一基材 100 的厚度，並且接著進行一選擇性蝕刻步驟，以在第一基材 100 上形成複數個接墊 100a，如此即完成晶粒承載器的製作，其中接墊 100a 係用以與晶粒（未繪示）電性連接。同樣地，第二基材 110 也要進行此包含有半蝕刻與選擇性蝕刻之蝕刻步驟，藉以完成晶粒承載器的製作。另一種選擇是，如第 1I 圖所繪示，以第一基材 100 為例，不進行半蝕刻步驟來薄化第一基材 100 的厚度，直接進行一選擇性蝕刻步驟，以在第一基材 100 上形成複數個接墊 100a，可以理解的是，此選擇性蝕刻步驟係先針對第一基材 100 上欲形成接墊 100a 的區域先進行第一次選擇性蝕刻以薄化其厚度，接著再針對已薄化之區域進行第二次選擇性蝕刻，以形成複數個接墊 100a，如此即完成另一種晶粒承載器的製作。值得一提的是，本發明之晶粒承載器的製作方法可一次同時產出二個晶粒承載器，對製程產能而言可提昇一倍的產量。另外，本發明之晶粒承載器的製作方法還可減少翹曲問題的產生。

簡言之，本發明之晶粒承載器的製造方法，其特徵在於藉由在二相對貼合之基材的表面上同時進行增層製程，如此

一來，在二基材之表面上所各自形成的增層結構所產生的應力作用，將會彼此互相平衡抵銷，因此可實質解決晶粒承載器容易翹曲的問題。此外，本發明之基材還可作為晶粒承載器在製造過程中的剛性支撐環，以防止在後續增層製程中可能引發的翹曲情形。所以本發明與其它習知之晶粒承載器的製作流程相比，本發明所揭露之製造方法不僅可減少晶粒承載器容易翹曲的情形，解決產品良率下降的問題，而且產品之生產作業的週期時間更大幅地減少，故可大幅降低製造的時間及成本。

由上述本發明較佳實施例可知，應用本發明之晶粒承載器的製造方法，其優點在於除了可減少晶粒承載器容易翹曲的情形外，同時還可減少產品生產作業的週期時間。因此本發明之晶粒承載器的製造方法不僅解決了習知技術之晶粒承載器容易翹曲的問題，更能大幅提高產品的產能及製程良率，並且降低製造的時間和成本。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1A 圖至第 1I 圖係繪示本發明之一較佳實施例之晶

粒承載器的製作流程剖面示意圖。

【主要元件符號說明】

100：第一基材	100a：接墊
101：頂表面	102：底表面
111：頂表面	112：底表面
110：第二基材	120：黏著層
130：第一介電層	132：第二介電層
130a：第一介層窗	132a：第二介層窗
140：第一晶種層	140a：第一電鍍層
142：第二晶種層	142a：第二電鍍層
150：第一導電層	
150a：第一線路圖案	152：第二導電層
152a：第二線路圖案	160：第三介電層
162：第四介電層	170：第三晶種層
172：第四晶種層	180：第三電鍍層
182：第四電鍍層	190：第五介電層
190a：第五介層窗	
192：第六介電層	192a：第六介層窗
200：第一線路層	202：第二線路層

五、中文發明摘要

晶粒承載器之製造方法

一種晶粒承載器的製造方法。在此方法中，首先提供第一基材與第二基材，其中一黏著層設置於第一基材與第二基材之間，用以將第一基材與第二基材貼合固定。之後，利用增層法分別在第一基材與第二基材上形成複數層介電層與線路圖案層。接著，移除黏著層，以分開第一基材與第二基材。然後，進行蝕刻步驟，以在第一基材與第二基材上形成複數個接墊。

六、英文發明摘要

METHOD FOR MANUFACTURING A CHIP CARRIER

A method for manufacturing a chip carrier is disclosed. In the method, a first substrate and a second substrate are supplied first, herein a adhesive layer is disposed between the first substrate and the second substrate to fix the first substrate and the second substrate together. Thereafter, a plurality of dielectric layers and circuit pattern layers are formed on the first substrate and the second substrate by a build-up method. Next, the adhesive layer is removed to separate the first substrate and the second substrate. An etching step is then performed to form a plurality of pads on the first substrate and the second substrate.

十、申請專利範圍

1. 一種晶粒承載器之製造方法，至少包含：

提供一第一基材與一第二基材，其中一黏著層設置於該第一基材之底表面與該第二基材之底表面之間，用以將該第一基材與該第二基材貼合固定；

分別形成一第一線路層與一第二線路層於該第一基材之頂表面與該第二基材之頂表面之上；以及

移除該黏著層，以將該第一基材與該第二基材分開。

2. 如申請專利範圍第 1 項所述之晶粒承載器之製造方法，其中更至少包含：

進行一圖案化步驟，以在該第一基材與該第二基材上形成複數個接墊。

3. 如申請專利範圍第 2 項所述之晶粒承載器之製造方法，其中該圖案化步驟至少包含：

進行一半蝕刻（Half-etching）步驟，以薄化該第一基材與該第二基材；以及

進行一選擇性蝕刻步驟，以在該第一基材與該第二基材上形成該些接墊。

4. 如申請專利範圍第 1 項所述之晶粒承載器之製造方法，其中該形成該第一線路層與該第二線路層的步驟中至少

包含：

分別形成一第一介電層與一第二介電層於該第一基材之頂表面與該第二基材之頂表面之上，其中該第一介電層具有至少一第一介層窗以暴露出部分該第一基材，該第二介電層具有至少一第二介層窗以暴露出部分該第二基材；

分別形成一第一導電層與一第二導電層於該第一介電層與該第二介電層之上，其中該第一導電層係完全填滿該第一介層窗，該第二導電層係完全填滿該第二介層窗；

進行一第一線路成型步驟，分別將該第一導電層與該第二導電層圖案化以形成複數個第一線路圖案以及複數個第二線路圖案於該第一介電層與該第二介電層之上；分別形成一第三介電層與一第四介電層於該第一介電層與該第二介電層之上，其中該第三介電層具有至少一第三介層窗以暴露出部分該些第一線路圖案，該第四介電層具有至少一第四介層窗以暴露出部分該些第二線路圖案；分別形成一第三導電層與一第四導電層於該第三介電層與該第四介電層之上，其中該第三導電層係完全填滿該第三介層窗，該第四導電層係完全填滿該第四介層窗；以及

進行一第二線路成型步驟，分別將該第三導電層與該第四導電層圖案化以形成複數個第三線路圖案與複數個第四線路圖案於該第三介電層與該第四介電層之上。

5. 如申請專利範圍第 4 項所述之晶粒承載器之製造方法，其中該形成該第一導電層與該第二導電層的步驟中至少

包含：

同時分別形成一第一晶種層與一第二晶種層於該第一介電層與該第二介電層之上；以及

電鍍該第一晶種層與該第二晶種層，以形成該第一導電層與該第二導電層。

6. 如申請專利範圍第 5 項所述之晶粒承載器之製造方法，其中該第一晶種層與該第二晶種層的材質係為銅。

7. 如申請專利範圍第 5 項所述之晶粒承載器之製造方法，其中該形成該第一晶種層與該第二晶種層的方法係為濺鍍法、化學氣相沉積法或無電解電鍍法。

8. 如申請專利範圍第 4 項所述之晶粒承載器之製造方法，其中該形成該第一導電層與該第二導電層的方法係為壓合法。

9. 如申請專利範圍第 1 項所述之晶粒承載器之製造方法，其中該第一基材與該第二基材係為金屬。

10. 如申請專利範圍第 1 項所述之晶粒承載器之製造方法，其中該第一基材與該第二基材係為銅板。

11. 如申請專利範圍第 1 項所述之晶粒承載器之製造方

法，其中該黏著層係為雙面黏著膠帶。

12. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該形成第一介電層與該第二介電層的方法係為液態樹脂印刷法。

13. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該形成第一介電層與該第二介電層的方法係為乾膜壓合法。

14. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介電層與該第二介電層的材質係為環氧樹脂 (epoxy resin)。

15. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介電層與該第二介電層的材質係為聚醯胺 (polyamide)。

16. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介電層與該第二介電層的材質係為聚乙醯胺 (polyimide)。

17. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該形成第一介電層與該第二介電層的方法係為壓合

(Laminate) 法。

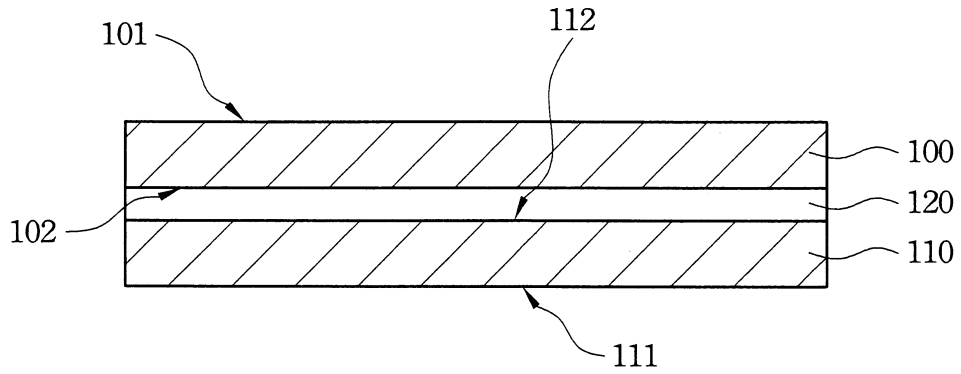
18. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介電層與該第二介電層的材質係為染浸樹脂之玻璃纖維布材料 (prepreg)。

19. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介電層與該第二介電層的材質係為染浸樹脂之聚醯胺短纖蓆材 (aramid fiber)。

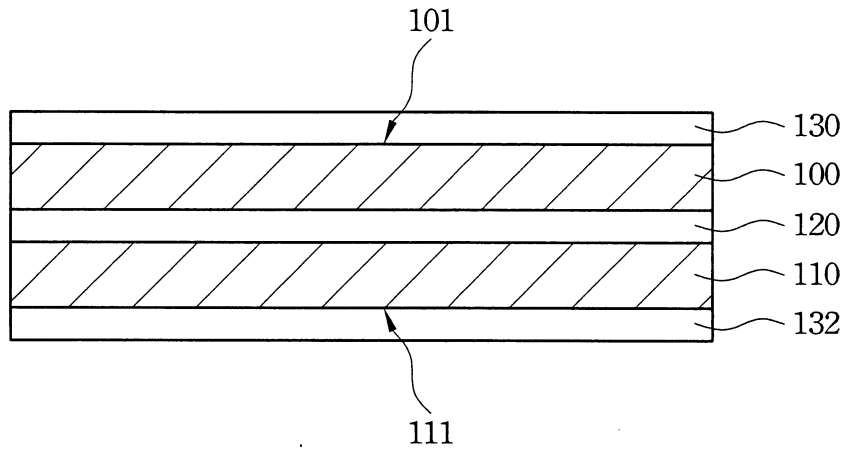
20. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介層窗與該第二介層窗係以雷射鑽孔法形成。

21. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一介層窗與該第二介層窗係以機械鑽孔法形成。

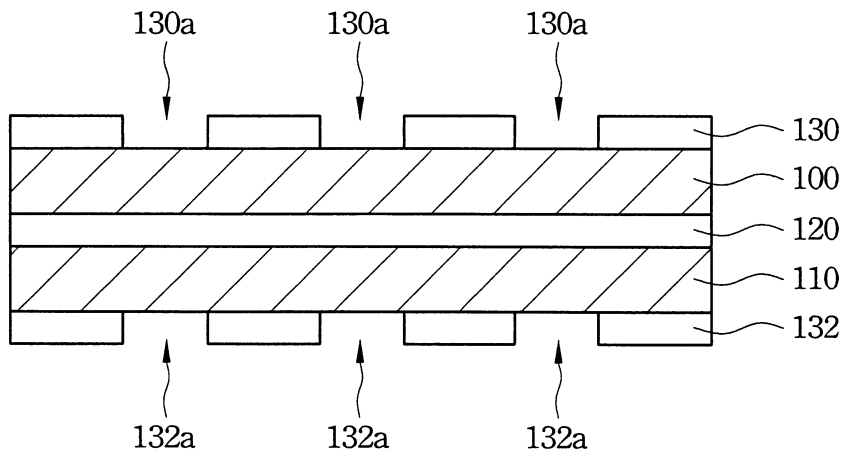
22. 如申請專利範圍第4項所述之晶粒承載器之製造方法，其中該第一導電層與該第二導電層的材質係為銅。



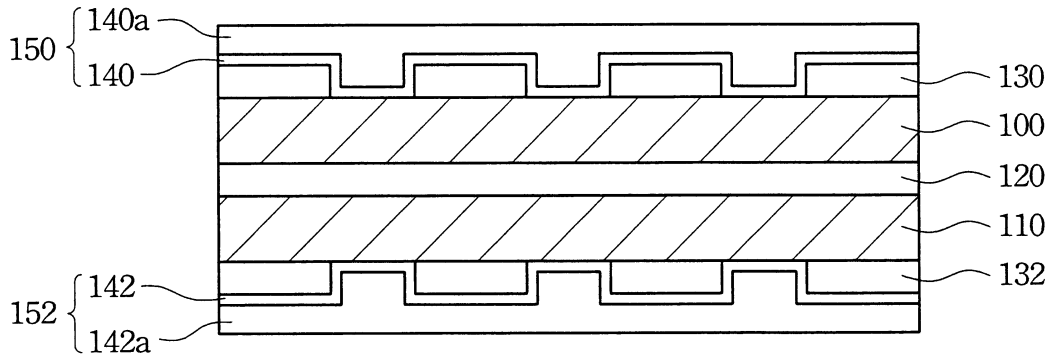
第 1A 圖



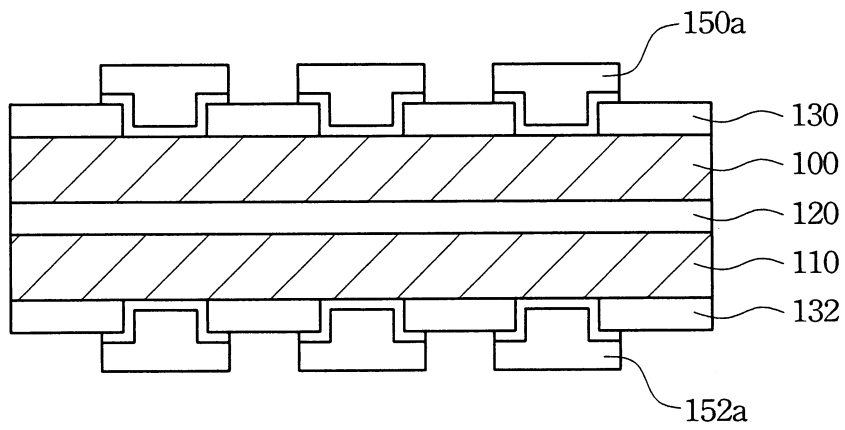
第 1B 圖



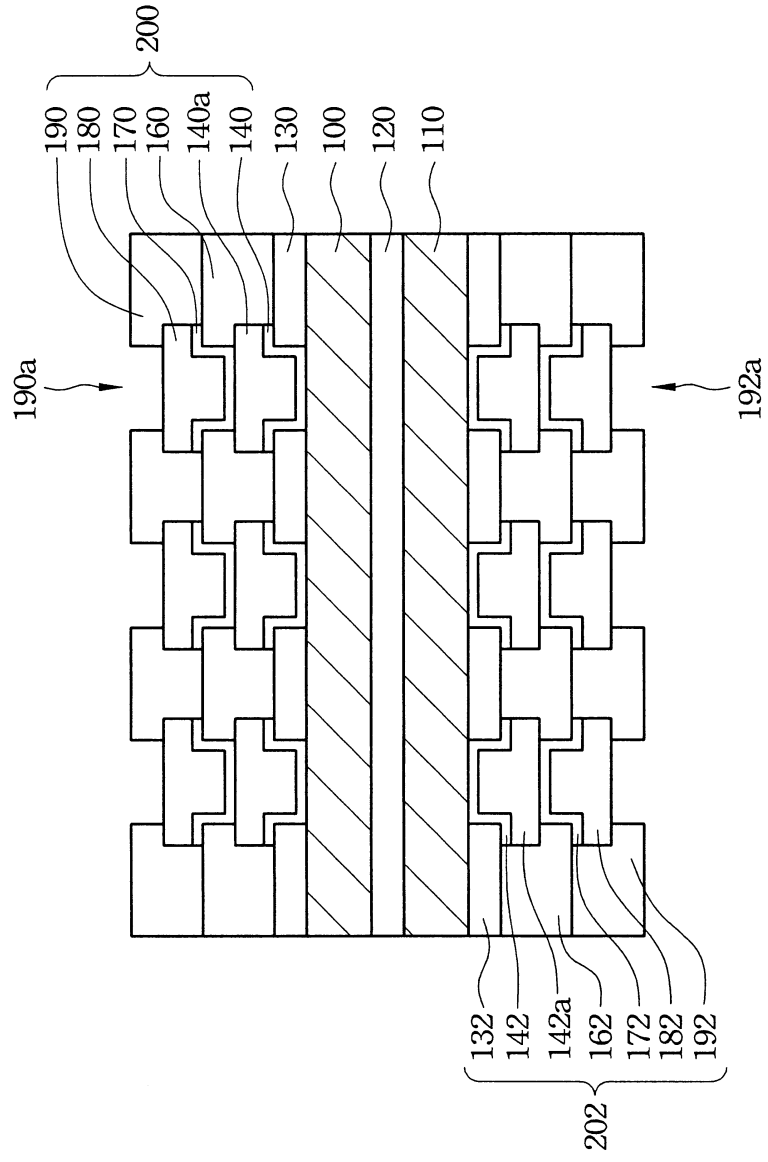
第 1C 圖



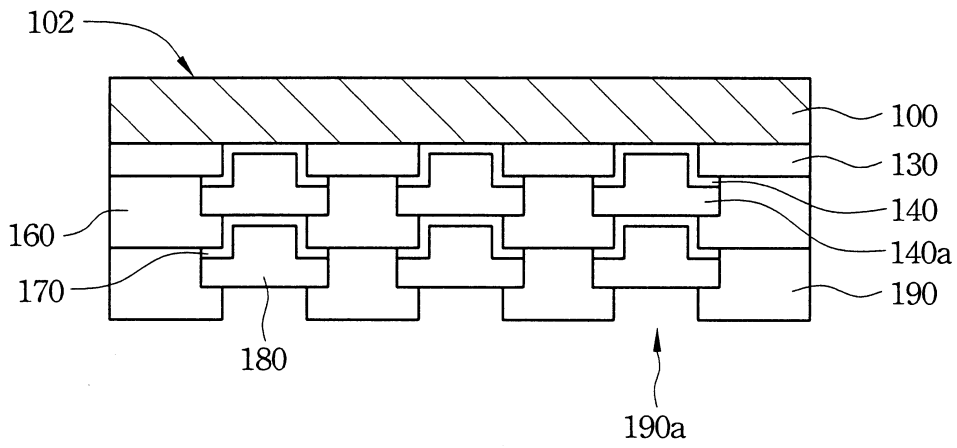
第 1D 圖



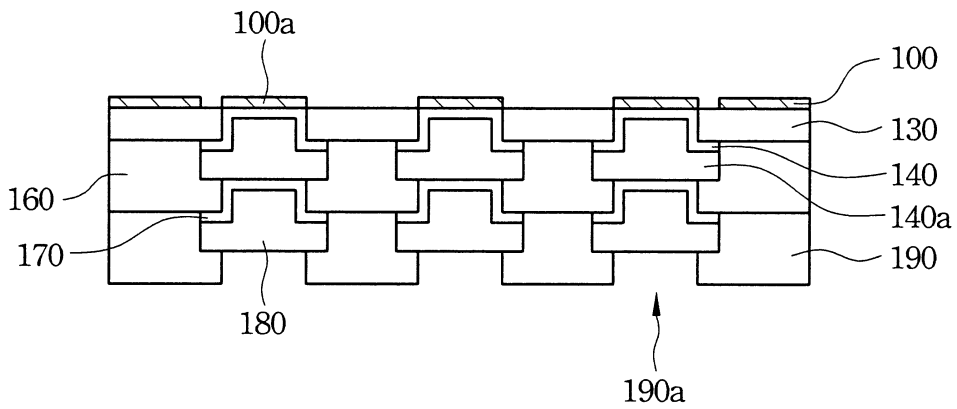
第 1E 圖



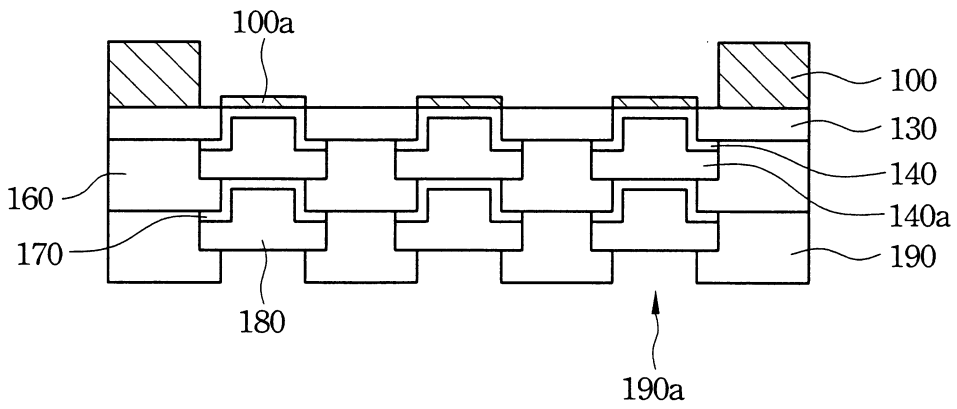
第1F圖



第 1G 圖



第 1H 圖



第 1I 圖

七、(一)、本案指定代表圖為：第 1F 圖

(二)、本代表圖之元件代表符號簡單說明：

- | | |
|------------|------------|
| 100：第一基材 | 110：第二基材 |
| 120：黏著層 | 130：第一介電層 |
| 132：第二介電層 | 140：第一晶種層 |
| 142：第二晶種層 | 140a：第一電鍍層 |
| 142a：第二電鍍層 | 160：第三介電層 |
| 162：第四介電層 | 170：第三晶種層 |
| 172：第四晶種層 | |
| 180：第三電鍍層 | |
| 182：第四電鍍層 | 190：第五介電層 |
| 190a：第五介層窗 | 192：第六介電層 |
| 192a：第六介層窗 | |
| 200：第一線路層 | |
| 202：第二線路層 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：