I721409

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I721409 B**

(45)公告日： 中華民國 110 (2021) 年 03 月 11 日

(21)申請案號：108115169　(22)申請日： 中華民國 103 (2014) 年 12 月 11 日

(51)Int. Cl.：　*H01L29/772 (2006.01)*　*H01L29/78 (2006.01)*

(30)優先權：2013/12/19　日本　2013-262873

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；下村明久 SHIMOMURA, AKIHISA (JP)；佐藤裕平 SATO, YUHEI (JP)；山根靖正 YAMANE, YASUMASA (JP)；山元良高 YAMAMOTO, YOSHITAKA (JP)；須沢英臣 SUZAWA, HIDEOMI (JP)；田中哲弘 TANAKA, TETSUHIRO (JP)；岡崎豊 OKAZAKI, YUTAKA (JP)；奥野直樹 OKUNO, NAOKI (JP)；石山貴久 ISHIYAMA, TAKAHISA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW　201303981A1　TW　201342491A

TW　201342618A

審查人員：趙芝婷

申請專利範圍項數：8 項　圖式數：53　共 186 頁

(54)名稱

半導體裝置

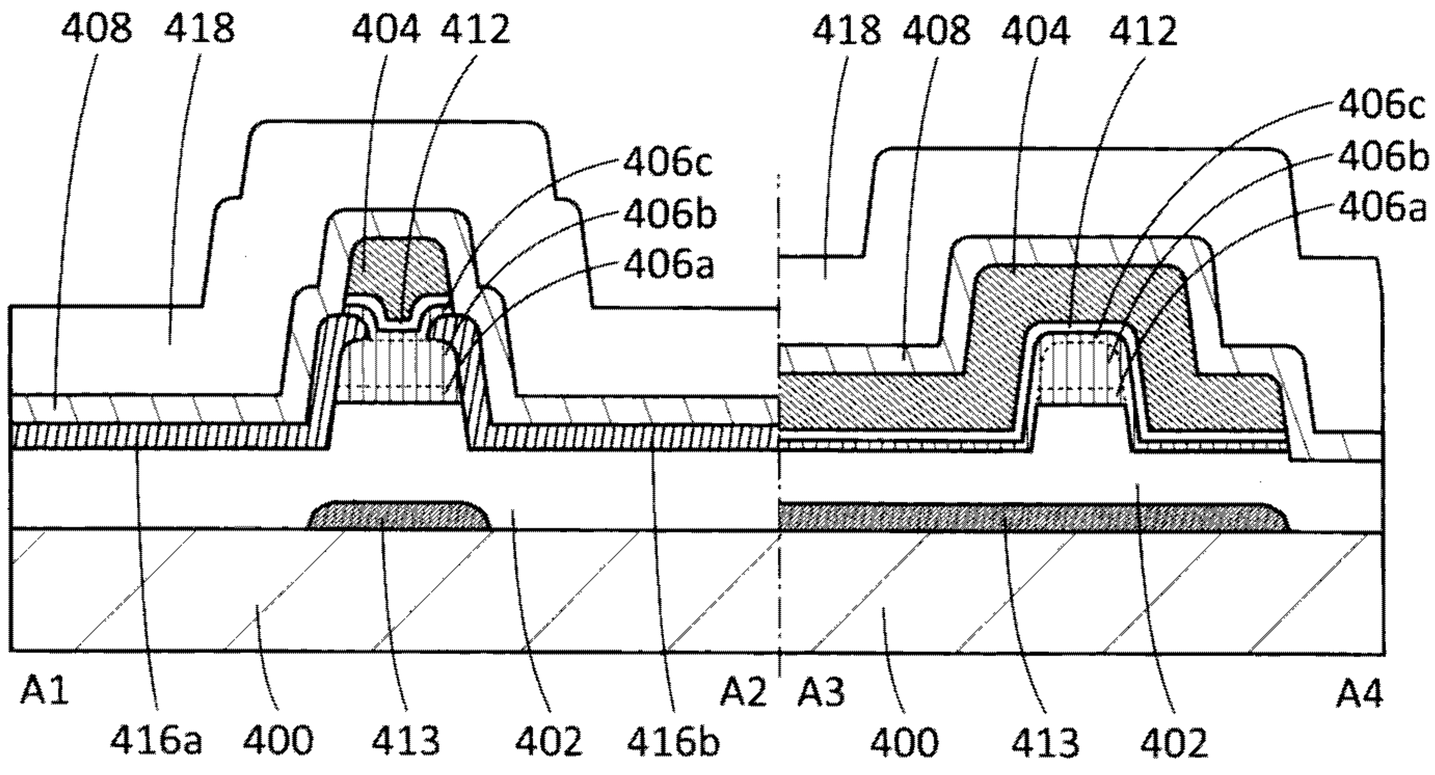
(57)摘要

本發明提供一種導通(開啟)時的電流大的電晶體。本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導電體；與第一氧化物半導體的側面、第二氧化物半導體的頂面及側面、第一導電體的頂面及第二導電體的頂面接觸的第三氧化物半導體；第三氧化物半導體上的第二絕緣體；隔著第二絕緣體及第三氧化物半導體面對第二氧化物半導體的頂面及側面的第三導電體，其中，第一氧化物半導體的氧透過性高於第三氧化物半導體。

To provide a transistor having a high on-state current. A semiconductor device includes a first insulator containing excess oxygen, a first oxide semiconductor over the first insulator, a second oxide semiconductor over the first oxide semiconductor, a first conductor and a second conductor which are over the second oxide semiconductor and are separated from each other, a third oxide semiconductor in contact with side surfaces of the first oxide semiconductor, a top surface and side surfaces of the second oxide semiconductor, a top surface of the first conductor, and a top surface of the second conductor, a second insulator over the third oxide semiconductor, and a third conductor facing a top surface and side surfaces of the second oxide semiconductor with the second insulator and the third oxide semiconductor therebetween. The first oxide semiconductor has a higher oxygen-transmitting property than the third oxide semiconductor.

指定代表圖：

圖 1B



符號簡單說明：

400・・・基板

402・・・絕緣體

404・・・導電體

406a・・・半導體

406b・・・半導體

406c・・・半導體

408・・・絕緣體

412・・・絕緣體

413・・・導電體

416a・・・導電體

416b・・・導電體

418・・・絕緣體

A1-A4・・・點劃線

I721409

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明提供一種導通（開啟）時的電流大的電晶體。本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導電體；與第一氧化物半導體的側面、第二氧化物半導體的頂面及側面、第一導電體的頂面及第二導電體的頂面接觸的第三氧化物半導體；第三氧化物半導體上的第二絕緣體；隔著第二絕緣體及第三氧化物半導體面對第二氧化物半導體的頂面及側面的第三導電體，其中，第一氧化物半導體的氧透過性高於第三氧化物半導體。

【英文】

To provide a transistor having a high on-state current. A semiconductor device includes a first insulator containing excess oxygen, a first oxide semiconductor over the first insulator, a second oxide semiconductor over the first oxide semiconductor, a first conductor and a second conductor which are over the second oxide semiconductor and are separated from each other, a third oxide semiconductor in contact with side surfaces of the first oxide semiconductor, a top surface and side surfaces of the second oxide semiconductor, a top surface of the first conductor, and a top surface of the second conductor, a second insulator over the third oxide semiconductor, and a third conductor facing a top surface and side surfaces of the second oxide semiconductor with the second insulator and the third oxide semiconductor therebetween. The first oxide semiconductor has a higher oxygen-transmitting property than the third oxide semiconductor.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

400：基板

402：絕緣體

404：導電體

406a：半導體

406b：半導體

406c：半導體

408：絕緣體

412：絕緣體

413：導電體

416a：導電體

416b：導電體

418：絕緣體

A1-A4：點劃線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。例如，本發明的一個方式尤其係關於一種半導體、半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器。另外，係關於一種半導體、半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器的製造方法。或者，係關於一種半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器的驅動方法。

[0002] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0003] 使用在具有絕緣表面的基板上的半導體來形

成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路或顯示裝置等的半導體裝置。作為可以應用於電晶體的半導體，已知的是矽層。

[0004] 作為用於電晶體的半導體的矽層，根據用途分別使用非晶矽層或多晶矽層。例如，當應用於構成大型的顯示裝置的電晶體時，較佳為使用已確立了大面積基板上的成膜技術的非晶矽層。另一方面，當應用於構成一體地形成有驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以製造具有高場效移動率的電晶體的多晶矽層。作為多晶矽層的形成方法，已知藉由對非晶矽層進行高溫下的加熱處理或雷射處理來形成的方法。

[0005] 另外，近年來，氧化物半導體受到關注。氧化物半導體膜可以利用濺射法等形成，所以可以用於構成大型的顯示裝置的電晶體的半導體。另外，使用氧化物半導體的電晶體具有高場效移動率，所以可以實現一體地形成有驅動電路的高功能的顯示裝置。另外，因為可以改良使用非晶矽層的電晶體的生產設備的一部分而利用，所以還具有可以抑制設備投資的優點。

[0006] 作為對使用氧化物半導體的電晶體賦予穩定的電特性的方法，已公開有對與氧化物半導體接觸的絕緣體摻雜氧的技術（參照專利文獻 1）。藉由利用專利文獻 1 所公開的技術，可以降低氧化物半導體中的氧缺陷。其結果，可以降低使用氧化物半導體的電晶體的電特性的偏差，從而可以提高可靠性。

[0007] 已知使用氧化物半導體膜的電晶體的洩漏電流在非導通狀態下極小。例如，公開了一種應用了使用氧化物半導體膜的電晶體的洩漏特性的低功耗的 CPU 等（參照專利文獻 2）。

[0008] 此外，還公開了藉由使用由半導體膜而成的活性層構成勢阱可以得到具有高場效移動率的電晶體（參照專利文獻 3）。

[0009]

[專利文獻 1] 日本專利申請公開第 2011-243974 號公報

[專利文獻 2] 日本專利申請公開第 2012-257187 號公報

[專利文獻 3] 日本專利申請公開第 2012-59860 號公報

【發明內容】

[0010] 本發明的一個方式的目的之一是提供一種導通（開啟）時的電流（通態電流：on-state current）大的電晶體。或者，本發明的一個方式的目的之一是提供一種非導通（關閉）時的電流小的電晶體。或者，本發明的一個方式的目的之一是提供一種電特性穩定的電晶體。或者，本發明的一個方式的目的之一是提供一種包括上述電晶體的半導體裝置。或者，本發明的一個方式的目的之一是提供一種耐久性高的半導體裝置。或者，本發明的一個方式的目的之一是提供一種新穎的半導體裝置。

[0011] 注意，對上述目的的描述並不妨礙其他目的存在。注意，本發明的一個方式並不需要實現所有上述目

的。除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

[0012] （1）本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導電體；第二氧化物半導體、第一導電體及第二導電體上的第二絕緣體；隔著第二絕緣體面對第二氧化物半導體的第三導電體，其中，第一氧化物半導體具有使氧透過的性質。

[0013] （2）本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導電體；與第一氧化物半導體的側面、第二氧化物半導體的頂面及側面、第一導電體的頂面及第二導電體的頂面接觸的第三氧化物半導體；第三氧化物半導體上的第二絕緣體；隔著第二絕緣體及第三氧化物半導體面對第二氧化物半導體的頂面及側面的第三導電體，其中，第一氧化物半導體的氧透過性高於第三氧化物半導體。

[0014] （3）本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導

電體；與第一氧化物半導體的側面、第二氧化物半導體的頂面及側面、第一導電體的頂面及第二導電體的頂面接觸的第三氧化物半導體；第三氧化物半導體上的第二絕緣體；隔著第二絕緣體及第三氧化物半導體面對第二氧化物半導體的頂面及側面的第三導電體，其中，第一氧化物半導體的密度低於第三氧化物半導體。

[0015] （4）本發明的一個方式是一種半導體裝置，包括包含過剩氧的第一絕緣體；第一絕緣體上的第一氧化物半導體；第一氧化物半導體上的第二氧化物半導體；在第二氧化物半導體上間隔開地配置的第一導電體及第二導電體；與第一氧化物半導體的側面、第二氧化物半導體的頂面及側面、第一導電體的頂面及第二導電體的頂面接觸的第三氧化物半導體；第三氧化物半導體上的第二絕緣體；隔著第二絕緣體及第三氧化物半導體面對第二氧化物半導體的頂面及側面的第三導電體，其中，第一氧化物半導體的結晶性低於第三氧化物半導體。

[0016] （5）本發明的一個方式是一種（1）至（4）之中任一個所述的半導體裝置，其中包括至少覆蓋第一絕緣體、第一氧化物半導體及第二氧化物半導體的第三絕緣體，並且第三絕緣體具有阻擋氧的功能。

[0017] （6）本發明的一個方式是一種（1）至（4）之中任一個所述的半導體裝置，其中包括至少覆蓋第一絕緣體、第一氧化物半導體及第二氧化物半導體的第三絕緣體，並且第三絕緣體具有阻擋氫的功能。

[0018] （7）本發明的一個方式是一種（1）至（6）之中任一個所述的半導體裝置，其中第一氧化物半導體的電子親和力小於第二氧化物半導體。

[0019] （8）本發明的一個方式是一種（2）至（7）之中任一個所述的半導體裝置，其中第三氧化物半導體的電子親和力小於第二氧化物半導體。

[0020] （9）本發明的一個方式是一種（1）至（8）之中任一個所述的半導體裝置，其中第一氧化物半導體的能隙大於第二氧化物半導體。

[0021] （10）本發明的一個方式是一種（2）至（9）之中任一個所述的半導體裝置，其中第三氧化物半導體的能隙大於第二氧化物半導體。

[0022] （11）本發明的一個方式是一種（1）至（10）之中任一個所述的半導體裝置，其中第一絕緣體是氧化矽層或氧氮化矽層。

[0023] （12）本發明的一個方式是一種（2）至（11）之中任一個所述的半導體裝置，其中第三氧化物半導體具有阻擋氧的功能。

[0024] （13）本發明的一個方式是一種（1）至（12）之中任一個所述的半導體裝置，其中第二絕緣體包括藉由二次離子質譜分析法測出的氫濃度低於 $1\times10^{19}atoms/cm^3$ 的區域。

[0025] （14）本發明的一個方式是一種（2）至（13）之中任一個所述的半導體裝置，其中在俯視第三氧

化物半導體、第二絕緣體與第三導電體時其端部形狀是同樣的。

[0026] （15）本發明的一個方式是一種（1）至（14）之中任一個所述的半導體裝置，其中第二氧化物半導體包含過剩氧。

[0027] （16）本發明的一個方式是一種（1）至（15）之中任一個所述的半導體裝置，其中在第三絕緣體上包括第四絕緣體，並且第四絕緣體包括藉由二次離子質譜分析法測出的氫濃度比第二氧化物半導體所具有的區域高的區域。

[0028] 注意，在根據本發明的一個方式的半導體裝置中，也可以將氧化物半導體替換為其他半導體。

[0029] 能夠提供一種導通（開啟）時的電流大的電晶體。或者，能夠提供一種非導通（關閉）時的電流小的電晶體。或者，能夠提供一種電特性穩定的電晶體。或者，能夠提供一種包括上述電晶體的半導體裝置。或者，能夠提供一種耐久性高的半導體裝置。或者，能夠提供一種新穎的半導體裝置。

[0030] 注意，對上述效果的描述並不妨礙其他效果存在。另外，本發明的一個方式並不需要具有所有上述效果。此外，除上述效果外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

【圖式簡單說明】

[0031]

在圖式中：

圖 1A 和圖 1B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 2 是示出根據本發明的一個方式的電晶體的剖面的透視圖；

圖 3A 和圖 3B 是說明根據本發明的一個方式的電晶體的一部分的能帶圖以及導通時的電流路徑的圖；

圖 4A 至圖 4C 是說明根據本發明的一個方式的電晶體為導通狀態時的電子流動的圖；

圖 5A 和圖 5B 是示出根據本發明的一個方式的電晶體的剖面圖；

圖 6A 和圖 6B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 7A 和圖 7B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 8A 和圖 8B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 9A 和圖 9B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 10A 和圖 10B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 11A 和圖 11B 是示出根據本發明的一個方式的電

晶體的俯視圖及剖面圖；

圖 12A 和圖 12B 是示出根據本發明的一個方式的電晶體的製造方法的剖面圖；

圖 13A 至圖 13C2 是示出根據本發明的一個方式的電晶體的製造方法的剖面圖；

圖 14A 和圖 14B 是示出根據本發明的一個方式的電晶體的製造方法的剖面圖；

圖 15A 和圖 15B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 16A 和圖 16B 是示出根據本發明的一個方式的電晶體的剖面圖；

圖 17A 和圖 17B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 18A 和圖 18B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 19A 和圖 19B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 20A 和圖 20B 是示出根據本發明的一個方式的電晶體的剖面圖；

圖 21A 和圖 21B 是示出根據本發明的一個方式的半導體裝置的剖面圖；

圖 22A 和圖 22B 是示出根據本發明的一個方式的半導體裝置的電路圖；

圖 23A 和圖 23B 是示出根據本發明的一個方式的記

憶體裝置的電路圖；

圖 24 是示出根據本發明的一個方式的 RF 標籤的塊圖；

圖 25A 至圖 25F 是示出根據本發明的一個方式的 RF 標籤的使用實例的圖；

圖 26 是示出根據本發明的一個方式的 CPU 的塊圖；

圖 27 是根據本發明的一個方式的記憶元件的電路圖；

圖 28A 至圖 28C 是根據本發明的一個方式的顯示裝置的俯視圖及電路圖；

圖 29 是說明根據本發明的一個方式的顯示模組的圖；

圖 30A 至圖 30F 是示出根據本發明的一個方式的電子裝置的圖；

圖 31A 至圖 31D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 32A 至圖 32D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 33A 至圖 33C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 34 是說明 In-Ga-Zn 氧化物中的氧的移動路徑的圖；

圖 35A 至圖 35C 是示出成膜時的基板溫度與頂面粗糙度的關係的圖；

圖 36A 至圖 36C 是示出成膜時的氧氣體比率與頂面粗糙度的關係的圖；

圖 37 是示出成膜時的基板溫度及氧氣體比率與 XRD 光譜的關係的圖；

圖 38 是示出成膜時的氧氣體比率與 CAAC 化率的關係的圖；

圖 39 是示出成膜時的基板溫度及氧氣體比率與 XRD 光譜的關係的圖；

圖 40 是示出成膜時的基板溫度及氧氣體比率與起因於 CAAC 的 XRD 強度的關係的圖；

圖 41 是示出成膜時的基板溫度及氧氣體比率與膜密度的關係的圖；

圖 42 是示出膜密度與起因於 CAAC 的 XRD 強度的關係的圖；

圖 43 是示出藉由 SIMS 得到的 ^{18}O 的擴散的分析結果的圖；

圖 44 是示出藉由 SIMS 得到的 ^{18}O 的擴散的分析結果的圖；

圖 45 是說明從 SIMS 的分析結果分析出 ^{18}O 的擴散長度的方法的圖；

圖 46 是示出膜密度與擴散長度的關係的圖；

圖 47 是示出電晶體的電特性的圖；

圖 48 是示出電晶體的電特性的圖；

圖 49 是示出電晶體的電特性的圖；

圖 50 是示出電晶體的電特性的圖；

圖 51A 和圖 51B 是示出電晶體的電特性的圖；

圖 52A 和圖 52B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 53 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖。

【實施方式】

[0032] 將參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同部分的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。

[0033] 注意，在圖式中，有時為了清楚瞭解而誇大尺寸、膜（層）的厚度或區域。

[0034] 另外，電壓大多指某個電位與標準電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓換稱為電位。

[0035] 另外，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。

此外，本說明書等中所記載的序數詞與用於特定本發明的一個方式的序數詞有時不一致。

[0036] 注意，例如當導電性充分低時，有時即使表示為“半導體”也具有“絕緣體”的特性。此外，“半導體”和“絕緣體”的境界模糊，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0037] 另外，例如當導電性充分高時，有時即使表示為“半導體”也具有“導電體”的特性。此外，“半導體”和“導電體”的境界模糊，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“導電體”。同樣地，有時可以將本說明書所記載的“導電體”換稱為“半導體”。

[0038] 注意，半導體的雜質例如是指構成半導體的主要成分之外的物質。例如，濃度為低於 0.1atomic%的元素是雜質。有時由於包含雜質而例如導致在半導體中形成DOS（Density of State：態密度），載子移動率降低或結晶性降低等。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第一族元素、第二族元素、第十四族元素、第十五族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（包含在水中）、鋰、鈉、矽、硼、磷、碳、氮等。在氧化物半導體中，有時例如由於氫等雜質的混入導致氧缺陷的產生。此外，在半導體是矽時，作為改

變半導體特性的雜質，例如有氧、除氫之外的第一族元素、第二族元素、第十三族元素、第十五族元素等。

[0039] 注意，雖然在下面所示的實施方式中說明半導體為氧化物半導體的情況，但不侷限於此。例如，作為半導體，也可以使用具有多晶結構、單晶結構等的矽、鍺等。或者，也可以使用應變矽等具有應變的半導體。或者，作為半導體，也可以使用可用於高電子移動率電晶體(HEMT：High Electron Mobility Transistor)的砷化鎵、砷化鋁鎵、砷化銦鎵、氮化鎵、磷化銦、矽鍺等。藉由使用這種半導體，能夠實現適應於高速工作的電晶體。

[0040] 另外，在本說明書中，在記載為“A 具有濃度 B 的區域”時，例如包括：A 的某區域整體在深度方向上的濃度為 B 的情況；A 的某區域在深度方向上的濃度的平均值為 B 的情況；A 的某區域在深度方向上的濃度的中值為 B 的情況；A 的某區域在深度方向上的濃度的最大值為 B 的情況；A 的某區域在深度方向上的濃度的最小值為 B 的情況；A 的某區域在深度方向上的濃度的結束值為 B 的情況；以及 A 中的在測量上能夠得到可能是個準確的值的區域的濃度為 B 的情況等。

[0041] 此外，在本說明書中，在記載為“A 具有大小 B、長度 B、厚度 B、寬度 B 或距離 B 的區域”時，例如包括：A 的某區域整體的大小、長度、厚度、寬度或距離為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的平均值為 B 的情況；A 的某區域的大小、長度、厚度、

寬度或距離的中值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最大值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最小值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的結束值為 B 的情況；以及 A 中的在測量上能夠得到可能是個準確的值的區域的大小、長度、厚度、寬度或距離為 B 的情況等。

[0042]

〈電晶體的結構〉

下面，說明根據本發明的一個方式的電晶體的結構。

[0043]

〈電晶體結構 1〉

圖 1A 及圖 1B 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 1A 是俯視圖，圖 1B 是對應於圖 1A 所示的點劃線 A1-A2 以及點劃線 A3-A4 的剖面圖。另外，在圖 1A 的俯視圖中，為了明確起見，省略構成要素的一部分。

[0044] 此外，圖 2 是示出圖 1A 和圖 1B 所示的電晶體的 A1-A2 間的剖面的透視圖。在圖 2 中，為了明確起見，省略構成要素的一部分。

[0045] 圖 1A 及圖 1B 所示的電晶體包括：基板 400 上的導電體（導電層）413；基板 400 及導電體 413 上的具有凸部的絕緣體（絕緣層）402；絕緣體 402 的凸部上的半導體（半導體層）406a；半導體 406a 上的半導體

406b；與半導體 406b 的頂面及側面接觸且間隔開地配置的導電體 416a 及導電體 416b；半導體 406b、導電體 416a 及導電體 416b 上的半導體 406c；半導體 406c 上的絕緣體 412；絕緣體 412 上的導電體 404；導電體 416a、導電體 416b 及導電體 404 上的絕緣體 408；以及絕緣體 408 上的絕緣體 418。

[0046] 另外，半導體 406c 在 A3-A4 間的剖面上至少與半導體 406b 的頂面及側面接觸。此外，導電體 404 在 A3-A4 間的剖面上隔著半導體 406c 及絕緣體 412 面對半導體 406b 的頂面及側面。另外，導電體 413 隔著絕緣體 402 面對半導體 406b 的底面。此外，絕緣體 402 也可以不具有凸部。另外，也可以不設置半導體 406c、絕緣體 408 或絕緣體 418。

[0047] 注意，將半導體 406b 用作電晶體的通道形成區域。另外，將導電體 404 用作電晶體的第一閘極電極（也稱為前閘極電極）。此外，將導電體 413 用作電晶體的第二閘極電極（也稱為背閘極電極）。另外，將導電體 416a 及導電體 416b 用作電晶體的源極電極及汲極電極。此外，將絕緣體 408 用作阻擋層。絕緣體 408 例如具有阻擋氧或/及氫的功能。或者，例如，絕緣體 408 的阻擋氧或/及氫的能力強於半導體 406a 或/及半導體 406c。

[0048] 另外，絕緣體 402 是包含過剩氧的絕緣體。

[0049] 例如，包含過剩氧的絕緣體是具有藉由加熱處理釋放氧的功能的絕緣體。例如，包含過剩氧的氧化矽

層是能夠藉由加熱處理等釋放氧的氧化矽層。因此，絕緣體 402 是其中氧能夠移動的絕緣體。換言之，絕緣體 402 是具有氧透過性的絕緣體，即可。例如，絕緣體 402 是其氧透過性高於半導體 406a 的絕緣體，即可。

[0050] 包含過剩氧的絕緣體有時具有降低半導體 406b 中的氧缺陷的功能。氧缺陷在半導體 406b 中形成 DOS 而成為電洞陷阱等。另外，當氫進入氧缺陷部時，有時生成作為載子的電子。因此，藉由降低半導體 406b 中的氧缺陷，電晶體可以具有穩定的電特性。

[0051] 在此，藉由加熱處理釋放氧的絕緣體有時在熱脫附譜（TDS：Thermal Desorption Spectroscopy）分析中，在表面溫度為 100℃以上且 700℃以下或者 100℃以上且 500℃以下的範圍內釋放 1×10^{18}atoms/cm^3 以上、1×10^{19}atoms/cm^3 以上或 1×10^{20}atoms/cm^3 以上的氧（換算為氧原子）。

[0052] 下面說明利用 TDS 分析來測量氧釋放量的方法。

[0053] 對測量樣本進行 TDS 分析時的氣體的總釋放量與釋放氣體的離子強度的積分值成正比。並且，藉由對該測量樣本與標準樣本進行比較，可以計算出氣體的總釋放量。

[0054] 例如，根據作為標準樣本的含有指定密度的氫的矽基板的 TDS 分析結果以及測量樣本的 TDS 分析結果，可以藉由下面所示的算式求出測量樣本中的氧分子的

釋放量（N_{O2}）。這裡，假設為藉由 TDS 分析而得到的質荷比 32 的氣體都來源於氧分子。雖然 CH_3OH 的質荷比為 32，但因為 CH_3OH 存在的可能性較低，所以在這裡不考慮。此外，包含作為氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子也在自然界的存在比率極低，所以不考慮。

[0055]

[算式 22]

$$N_{O2} = N_{H2}/S_{H2} \times S_{O2} \times \alpha$$

[0056] N_{H2} 是以密度換算從標準樣本脫離的氫分子的值。S_{H2} 是對標準樣本進行 TDS 分析而得到的離子強度的積分值。在此，將標準樣本的基準值設定為 N_{H2}/S_{H2}。S_{O2} 是對測量樣本進行 TDS 分析而得到的離子強度的積分值。α是在 TDS 分析中影響到離子強度的係數。關於上面所示的算式的詳細內容，可以參照日本專利申請公開第平 6-275697 公報。注意，上述氧的釋放量是使用由日本電子科學公司（ESCO Ltd.）製造的熱脫附裝置 EMD-WA1000S/W，並以包含 $1\times10^{16}atoms/cm^2$ 的氫原子的矽基板為標準樣本而測量的。

[0057] 此外，在 TDS 分析中，氧的一部分作為氧原子被檢測出。氧分子與氧原子的比例可以從氧分子的電離率算出。另外，因為上述α包括氧分子的電離率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

[0058] 注意，N_{O2} 是氧分子的釋放量。換算為氧原子

時的釋放量是氧分子的釋放量的 2 倍。

[0059] 或者，藉由加熱處理釋放氧的絕緣體有時包含過氧化自由基。明確而言，起因於過氧化自由基的自旋密度為 $5\times10^{17}spins/cm^3$ 以上。另外，包含過氧化自由基的絕緣體有時在 ESR 中在 g 值為 2.01 近旁時具有非對稱的信號。

[0060] 或者，包含過剩氧的絕緣體也可以是氧過剩的氧化矽（SiO_X（X>2））。在氧過剩的氧化矽（SiO_X（X>2））中，每單位體積中含有的氧原子數多於矽原子數的 2 倍。每單位體積的矽原子數及氧原子數為藉由拉塞福背散射光譜學法（RBS:Rutherford Backscattering Spectrometry）測定的值。

[0061] 如圖 1B 所示，半導體 406b 的側面與導電體 416a 及導電體 416b 接觸。此外，可以由導電體 404 的電場電圍繞半導體 406b（將由導電體的電場電圍繞半導體的電晶體結構稱為 surrounded channel（s-channel）結構）。因此，有時在半導體 406b 的整體（bulk）形成通道。在 s-channel 結構中，可以使大電流流過在電晶體的源極與汲極間，由此可以提高導通時的電流。

[0062] 由於可以得到高通態電流，因此 s-channel 結構可以說是適合於微型化了的電晶體的結構。包括微型化了的電晶體的半導體裝置可以具有高集成度及高密度。例如，電晶體具有其通道長度較佳為 40nm 以下，更佳為 30nm 以下，進一步佳為 20nm 以下的區域，並且電晶體具

有其通道寬度較佳為 40nm 以下，更佳為 30nm 以下，進一步佳為 20nm 以下的區域。

[0063] 注意，例如，通道長度是指在電晶體的俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。即，一個電晶體的通道長度有時不成為唯一的值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0064] 例如，通道寬度是指在俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。另外，在一個電晶體中，通道寬度在所有區域中不一定為相同。換言之，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0065] 另外，根據電晶體的結構，有時實際上形成有通道的區域中的通道寬度（下面稱為實效的通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）。例如，在具有立體結構的電晶體中，有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的

通道寬度，所以不能忽略其影響。例如，在具有微型且立體結構的電晶體中，有時形成在半導體側面中的通道區域的比例大於形成在半導體頂面中的通道區域的比例。在此情況下，實際上形成有通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0066] 在具有立體結構的電晶體中，有時難以藉由實測來估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要一個假設，即已知半導體的形狀。因此，當半導體的形狀不確定時，難以正確地測定實效的通道寬度。

[0067] 於是，在本說明書中，有時在電晶體的俯視圖中將作為半導體與閘極電極重疊的區域中的源極與汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對該影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0068] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度計算。在此情況下，該求得的值有時不同於使用實效的通道寬度計算來求得的值。

[0069] 另外，也可以對導電體 413 施加比源極電極低的電壓或比源極電極高的電壓而使電晶體的臨界電壓向正方向或負方向變動。例如，藉由使電晶體的臨界電壓向正方向變動，有時即便閘極電壓為 0V 也能夠實現電晶體成為非導通狀態（關閉狀態）的常關閉（normally-off）。注意，施加到導電體 413 的電壓既可為可變，又可為恆定。在施加到導電體 413 的電壓為可變的情況下，也可以使控制電壓的電路與導電體 413 電連接。

[0070] 下面，說明可用於半導體 406a、半導體 406b 及半導體 406c 等的氧化物半導體的結構。注意，在本說明書中，六方晶系包括三方晶系和菱方晶系。在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此，也包括該角度為-5°以上且 5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的狀態。此外，“垂直”是指兩條直線的角度為 80°以上且 100°以下的狀態。因此，也包括該角度為 85°以上且 95°以下的狀態。另外，“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0071]

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0072] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c

軸配向結晶氧化物半導體）、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0073] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

[0074]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。注意，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0075] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0076] 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視場影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0077] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 31A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度

TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0078] 圖 31B 示出將圖 31A 中的區域（1）放大的 Cs 校正高解析度 TEM 影像。由圖 31B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0079] 如圖 31B 所示，CAAC-OS 具有特有的原子排列。圖 31C 是以輔助線示出特有的原子排列的圖。由圖 31B 和圖 31C 可知，一個顆粒的尺寸為 1nm 以上且 3nm 以下左右，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。

[0080] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構（參照圖 31D）。在圖 31C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 31D 所示的區域 5161。

[0081] 圖 32A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 32B、圖 32C 和圖 32D 分別示出將圖 32A 中的區

域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 32B、圖 32C 和圖 32D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0082] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 33A 所示，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0083] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0084] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ軸）旋轉樣本的條件下進行分析（φ掃描），也如圖 33B 所示的那

樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定為 56°附近來進行φ掃描時，如圖 33C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0085] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 52A 所示的繞射圖案（也稱為選區透過電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 52B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 52B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 52B 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 52B 中的第二環起因於（110）面等。

[0086] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺陷等。因此，可以將 CAAC-OS 稱為雜質濃度低的氧化物半導體或者氧缺陷少的氧化物半導體。

[0087] 包含於氧化物半導體的雜質有時會成為載子

陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0088] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0089] 缺陷態密度低（氧缺陷少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成為高純度本質或實質上高純度本質的氧化物半導體。因此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成為常開啟）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用CAAC-OS的電晶體電特性變動小且可靠性高。

[0090] 雜質及氧缺陷少的 CAAC-OA 是載子密度低的氧化物半導體。明確而言，載子密度可以為低於 $8\times10^{11}/cm^3$，較佳為低於 $1\times10^{11}/cm^3$，更佳為低於 $1\times$

$10^{10}/cm^3$ 且 $1\times10^{-9}/cm^3$ 以上。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。即，CAAC-OS 可以說是具有穩定的特性的氧化物半導體。

[0091] 由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0092]

〈微晶氧化物半導體〉

接著說明微晶氧化物半導體。

[0093] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0094] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）

中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0095] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0096] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0097]

〈非晶氧化物半導體〉

接著，說明非晶氧化物半導體。

[0098] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0099] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0100] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0101] 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，例如不能將 CAAC-OS 和 nc-OS 稱為非晶氧化物半導體或完全的非晶氧化物半導體。

[0102]

〈amorphous-like 氧化物半導體〉

注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0103] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0104] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0105] 作為進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0106] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0107] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔

為 0.28nm 以上且 0.30nm 以下的部分作為 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0108] 圖 53 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 53 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 53 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 53 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0109] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0110] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧

化物半導體。

[0111] 例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 $5.9g/cm^3$ 以上且小於 $6.3g/cm^3$。

[0112] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0113] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0114] 以上是可用於半導體 406a、半導體 406b 及半導體 406c 等的氧化物半導體的結構。

[0115] 接下來，說明可用於半導體 406a、半導體 406b 及半導體 406c 等的半導體的其他構成要素。

[0116] 半導體 406b 例如是包含銦的氧化物半導體。

例如，在半導體 406b 包含銦時，其載子移動率（電子移動率）得到提高。此外，半導體 406b 較佳為包含元素 M。元素 M 較佳為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、釔、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體 406b 較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0117] 注意，半導體 406b 不侷限於包含銦的氧化物半導體。半導體 406b 例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0118] 作為半導體 406b，也可以使用能隙大的氧化物。半導體 406b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0119] 例如，半導體 406a 及半導體 406c 是由構成半導體 406b 的氧之外的元素中的一種以上或兩種以上構成的氧化物半導體。因為半導體 406a 及半導體 406c 由構成半導體 406b 的氧之外的元素中的一種以上或兩種以上構成，所以不容易在半導體 406a 與半導體 406b 的介面以及半導體 406b 與半導體 406c 的介面處形成介面能階。

[0120] 半導體 406a、半導體 406b 及半導體 406c 較

佳為至少包含銦。另外，在半導體 406a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為低於 50atomic%，M 為大於 50atomic%，更佳的是：In 為低於 25atomic%，M 為大於 75atomic%。此外，在半導體 406b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic% 時，較佳的是：In 為大於 25atomic%，M 為低於 75atomic%，更佳的是：In 為大於 34atomic%，M 為低於 66atomic%。此外，在半導體 406c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為低於 50atomic%，M 為大於 50atomic%，更佳的是：In 為低於 25atomic%，M 為大於 75atomic%。另外，半導體 406c 也可以使用與半導體 406a 相同的種類的氧化物。

[0121] 作為半導體 406b 使用其電子親和力大於半導體 406a 及半導體 406c 的氧化物。例如，作為半導體 406b 使用如下氧化物，該氧化物的電子親和力比半導體 406a 及半導體 406c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0122] 注意，銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，半導體 406c 較佳為包含銦鎵氧化物。鎵原子的比率[Ga/（In+Ga）]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0123] 此時，若施加閘極電壓，則在半導體 406a、半導體 406b 和半導體 406c 當中的電子親和力大的半導體 406b 中形成有通道。

[0124] 圖 3A 示出對應於圖 2 所示的點劃線 E1-E2 的能帶圖。圖 3A 示出真空能階（記為“vacuum level”）、各層的導帶底的能量（記為“Ec”）以及價帶頂（記為“Ev”）。

[0125] 在此，有時在半導體 406a 與半導體 406b 之間具有半導體 406a 和半導體 406b 的混合區域。另外，有時在半導體 406b 與半導體 406c 之間具有半導體 406b 和半導體 406c 的混合區域。混合區域的介面態密度較低。因此，在半導體 406a、半導體 406b 和半導體 406c 的疊層體的能帶圖中，各層之間的介面及介面附近的能量連續地變化（也稱為連續接合）。

[0126] 此時，電子不是在半導體 406a 及半導體 406c 中而主要在半導體 406b 中移動（參照圖 3B）。如上所述，藉由降低半導體 406a 與半導體 406b 的介面處的介面態密度、半導體 406b 與半導體 406c 的介面處的介面態密度，在半導體 406b 中妨礙電子移動的情況減少，從而可以提高電晶體的通態電流。

[0127] 越減少妨礙電子移動的原因，越能夠提高電晶體的通態電流。例如，在沒有妨礙電子移動的原因的情況下，估計為如圖 4A 所示那樣電子高效率地移動。例如，如圖 4B 所示那樣在物理性凹凸較大的情況下也會發

生電子移動的妨礙。

[0128] 因此，為了提高電晶體的通態電流，例如，半導體 406b 的頂面或底面（被形成面，在此為半導體 406a）的 1μm×1μm 的範圍內的均方根（RMS：Root-Mean-Square）粗糙度為低於 1nm，較佳為低於 0.6nm，更佳為低於 0.5nm，進一步佳為低於 0.4nm，即可。另外，其 1μm×1μm 的範圍內的平均表面粗糙度（也稱為 Ra）為低於 1nm，較佳為低於 0.6nm，更佳為低於 0.5nm，進一步佳為低於 0.4nm，即可。其 1μm×1μm 的範圍內的最大高低差（也稱為 P-V）為低於 10nm，較佳為低於 9nm，更佳為低於 8nm，進一步佳為低於 7nm。RMS 粗糙度、Ra 以及 P-V 可以藉由使用由精工電子奈米科技（SII Nano Technology）有限公司製造的掃描探針顯微鏡 SPA-500 等測定。

[0129] 或者，例如，如圖 4C 所示那樣在形成有通道的區域中的缺陷態密度高的情況下也會發生電子移動的妨礙。

[0130] 例如，在半導體 406b 具有氧缺陷（也記為“Vo”）的情況下，有時因為氫進入該氧缺陷部而形成施體能階。下面，有時將氫進入該氧缺陷部的狀態記為“VoH”。由於 VoH 使電子散射，所以會成為降低電晶體的通態電流的原因。另外，氧缺陷部會在氫進入的情況比氧進入的情況下更加穩定。因此，藉由降低半導體 406b 中的氧缺陷，有時能夠提高電晶體的通態電流。

[0131] 為了減少半導體 406b 的氧缺陷，例如採用將包含於絕緣體 402 中的過剩氧經過半導體 406a 遷移到半導體 406b 的方法等。此時，半導體 406a 較佳為具有氧透過性的層（使氧經過或透過的層）。

[0132] 氧藉由加熱處理等從絕緣體 402 釋放而被引入到半導體 406a 中。另外，氧有時游離地存在於半導體 406a 中的原子之間或與氧等鍵合而存在。半導體 406a 的密度越低，即原子之間的間隙越多，氧透過性越高。此外，例如，在半導體 406a 具有層狀的結晶結構且氧不容易穿過層而遷移的情況下，半導體 406a 較佳為具有適當低的結晶性的層。

[0133] 下面，對半導體 406a 為 In-Ga-Zn 氧化物時的結晶性與氧透過性的關係進行說明。

[0134] 藉由計算來求得 In-Ga-Zn 氧化物的結晶中的起因於過剩氧（氧）遷移的能障。在計算中，使用根據密度泛函理論的平面波基第一原理計算軟體 VASP（Vienna ab-initio simulation package）。注意，作為泛函數，使用 GGA-PBE。另外，將平面波截止能量設定為 400eV。此外，藉由 PAW（Projector Augmented Wave：投影綴加波）法將內殼層電子的效果反映在計算結果中。

[0135] 在此，在圖 34 所示的 In-Ga-Zn 氧化物的結晶中，計算出過剩氧（氧）在遷移路徑 1、遷移路徑 2、遷移路徑 3 和遷移路徑 4 之中哪個路徑比較容易遷移。

[0136] 另外，遷移路徑 1 是鍵合於與三個銦原子以

及一個鋅原子鍵合的氧的過剩氧（氧）鍵合到相鄰的與三個銦原子以及一個鋅原子鍵合的氧的路徑。此外，遷移路徑 2 是鍵合於與三個銦原子以及一個鎵原子鍵合的氧的過剩氧（氧）穿過包含銦及氧的層而鍵合到相鄰的與三個銦原子以及一個鋅原子鍵合的氧的路徑。另外，遷移路徑 3 是鍵合於與兩個鎵原子以及一個鋅原子鍵合的氧的過剩氧（氧）鍵合到相鄰的與兩個鋅原子以及一個鎵原子鍵合的氧的路徑。此外，遷移路徑 4 是鍵合於與兩個鎵原子以及一個鋅原子鍵合的氧的過剩氧（氧）穿過包含鎵、鋅及氧的層而鍵合到相鄰的與三個銦原子以及一個鎵原子鍵合的氧的路徑。

[0137] 在將超越每單位時間的擴散的能障 Ea 的頻率作為擴散頻率 R 時，R 可以以下面所示的算式來表示。

[0138]

$$R = \nu \cdot \exp[-E_a/(k_B T)]$$

[0139] 另外，v 表示擴散原子的熱振動數，k_B 表示波茲曼常數，T 表示絕對溫度。以表 1 表示對 v 施加 10^{13}[1/sec]作為德拜頻率時的 350℃及 450℃下的擴散頻率 R。

[0140]

[表 1]

	能障 [eV]	擴散頻率 R[1/sec] 350℃	450℃
遷移路徑 1	0.50	9.0×10^{8}	3.3×10^{9}
遷移路徑 2	1.97	1.2×10^{-3}	1.9×10^{-1}
遷移路徑 3	0.53	5.2×10^{8}	2.0×10^{9}
遷移路徑 4	0.56	3.0×10^{8}	1.3×10^{9}

[0141] 如表 1 所示，橫穿包含銦及氧的層的遷移路徑 2 的能障比其他遷移路徑高。這示出在 In-Ga-Zn 氧化物的結晶中，過剩氧（氧）不容易在 c 軸方向上遷移。即，在如 CAAC-OS 等，結晶具有 c 軸配向性且 c 軸朝向大致垂直於被形成面或頂面的方向的情況下，過剩氧（氧）不容易在大致垂直於被形成面或頂面的方向上遷移。

[0142] 如上所述，半導體 406a 較佳為具有其允許使過剩氧（氧）透過的結晶性，以使從絕緣體 402 釋放的過剩氧（氧）到達半導體 406b。例如，在半導體 406a 為 CAAC-OS 的情況下，若使整個層 CAAC 化，則不能使過剩氧（氧）透過，所以其一部分較佳為具有間隙。例如，可以將半導體 406a 的 CAAC 化率設定為低於 100%，較佳為低於 98%，更佳為低於 95%，進一步佳為低於 90%。注意，為了降低半導體 406a 與半導體 406b 的介面處的介面態密度，將半導體 406a 的 CAAC 化率設定為 10%以上，較佳為 20%以上，更佳為 50%以上，進一步佳為 70%以

上，即可。

[0143] 注意，當電晶體具有 s-channel 結構時，在整個半導體 406b 中形成有通道。因此，半導體 406b 的厚度越大，通道區域越大。即，半導體 406b 越厚，越能夠提高電晶體的通態電流。例如，半導體 406b 具有其厚度為 20nm 以上，較佳為 40nm 以上，更佳為 60nm 以上，進一步佳為 100nm 以上的區域即可。注意，半導體裝置的生產率有時會下降，因此，例如，半導體 406b 具有其厚度為 300nm 以下，較佳為 200nm 以下，更佳為 150nm 以下的區域即可。

[0144] 此外，為了提高電晶體的通態電流，半導體 406c 的厚度越小越佳。例如，半導體 406c 具有其厚度為低於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，半導體 406c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體 406b 中的功能。因此，半導體 406c 較佳為具有一定程度的厚度。例如，半導體 406c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從絕緣體 402 等釋放的氧向外擴散，半導體 406c 較佳為具有阻擋氧的性質。

[0145] 此外，為了提高可靠性，較佳為使半導體 406a 變厚並使半導體 406c 變薄。例如，半導體 406a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步佳為 60nm 以上的區域即可。藉由將半

導體 406a 形成為厚，可以拉開從相鄰的絕緣體和半導體 406a 的介面到形成有通道的半導體 406b 的距離。注意，因為半導體裝置的生產率可能會下降，所以半導體 406a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0146] 例如在半導體 406b 與半導體 406a 之間具有藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的矽濃度為低於 1×10^{19}atoms/cm^3，較佳為低於 5×10^{18}atoms/cm^3，更佳為低於 2×10^{18}atoms/cm^3 的區域。此外，在半導體 406b 與半導體 406c 之間具有藉由 SIMS 得到的矽濃度為低於 1×10^{19}atoms/cm^3，較佳為低於 5×10^{18}atoms/cm^3，更佳為低於 2×10^{18}atoms/cm^3 的區域。

[0147] 此外，為了降低半導體 406b 的氫濃度，較佳為降低半導體 406a 及半導體 406c 的氫濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氫濃度為 2×10^{20}atoms/cm^3 以下，較佳為 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{19}atoms/cm^3 以下，進一步佳為 5×10^{18}atoms/cm^3 以下的區域。此外，為了降低半導體 406b 的氮濃度，較佳為降低半導體 406a 及半導體 406c 的氮濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氮濃度為低於 5×10^{19}atoms/cm^3，較佳為 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{18}atoms/cm^3 以下，進一步佳為 5×10^{17}atoms/cm^3 以下的區域。

[0148] 上述三層結構是一個例子。例如，也可以採用沒有半導體 406a 或半導體 406c 的兩層結構。或者，也可以採用在半導體 406a 上或下、或者在半導體 406c 上或下設置作為半導體 406a、半導體 406b 和半導體 406c 例示的半導體中的任何一個半導體的四層結構。或者，也可以採用在半導體 406a 上、半導體 406a 下、半導體 406c 上、半導體 406c 下中的任何兩個以上的位置設置作為半導體 406a、半導體 406b 和半導體 406c 例示的半導體中的任何一個半導體的 n 層結構（n 為 5 以上的整數）。

[0149] 導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）。

[0150] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）與半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）接觸。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）與半導體 406b 等半導體的至少一部分（或全部）接觸。

[0151] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）與半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）電連接。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）與半導體 406b 等半導體的至少一部分（或全部）電連接。

[0152] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的附近。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的至少一部分（或全部）的附近。

[0153] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的橫方向上。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的至少一部分（或全部）的橫方向上。

[0154] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的斜上方。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的至少一部分（或全部）的斜上方。

[0155] 或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的上方。或者，導電體 416a（或/及導電體 416b）的至少一部分（或全部）設置在半導體 406b 等半導體的至少一部分（或全部）的上方。

[0156] 作為基板 400 例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、安定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。例如，作為半導體基板，可以舉出單獨使用矽或鍺等構成的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon on Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬的氮化物的基板、包含金屬的氧化物的基板等。再者，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為在基板上被設置的元件，可以舉出電容元件、電阻元件、切換元件、發光元件、記憶元件等。

[0157] 此外，作為基板 400 也可以使用撓性基板。另外，作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在不具有撓性的基板上形成電晶體之後，剝離電晶體而將該電晶體轉置到撓性基板的基板 400 上。在此情況下，較佳為在不具有撓性的基板與電晶體之間設置剝離層。此外，作為基板 400，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 400 也可以具有伸縮性。此

外，基板 400 可以具有在停止彎曲或拉伸時恢復為原來的形狀的性質。或者，也可以具有不恢復為原來的形狀的性質。基板 400 例如具有其厚度為 5μm 以上且 700μm 以下，較佳為 10μm 以上且 500μm 以下，更佳為 15μm 以上且 300μm 以下的區域。藉由將基板 400 形成為薄，可以實現半導體裝置的輕量化。另外，藉由將基板 400 形成得薄，即便在使用玻璃等的情況下也有時會具有伸縮性或在停止彎曲或拉伸時恢復為原來的形狀的性質。因此，可以緩和因掉落等而基板 400 上的半導體裝置受到的衝擊等。即，能夠提供一種耐久性高的半導體裝置。

[0158] 作為撓性基板的基板 400，例如可以使用金屬、合金、樹脂、玻璃或其纖維等。撓性基板的基板 400 的線性膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。作為撓性基板的基板 400，例如使用線性膨脹係數為 1×10^{-3}/K 以下、5×10^{-5}/K 以下或 1×10^{-5}/K 以下的材質即可。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。尤其是芳族聚醯胺的線性膨脹係數較低，因此作為撓性基板的基板 400 較佳為使用芳族聚醯胺。

[0159] 作為導電體 413，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體形成單層或疊層。例如，也可以使用包含上述元素的合金或化合物，還可以使用包含鋁的導電體、包含銅

及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0160] 作為絕緣體 402，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、鈰、鉿或鉭的絕緣體形成單層或疊層。另外，絕緣體 402 也可以包含氮氧化矽、氮化矽等包含氮的絕緣體。

[0161] 絕緣體 402 也可以具有防止雜質從基板 400 擴散的功能。另外，在半導體 406b 為氧化物半導體的情況下，絕緣體 402 可以具有向半導體 406b 供應氧的功能。

[0162] 作為導電體 416a 及導電體 416b，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釩、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體形成單層或疊層。例如，也可以使用包含上述元素的合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0163] 作為絕緣體 412，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、鈰或鉭的絕緣體形成單層或疊層。

[0164] 作為導電體 404，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釩、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上

的導電體形成單層或疊層。例如，也可以使用包含上述元素的合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0165] 作為絕緣體 408，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鉿或鉭的絕緣體形成單層或疊層。絕緣體 408 較佳為使用包含氧化鋁、氮氧化矽、氮化矽、氧化鎵、氧化釩、氧化鋯、氧化鑭、氧化釹、氧化鉿或氧化鉭的絕緣體形成單層或疊層。

[0166] 作為絕緣體 418，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鉿或鉭的絕緣體形成單層或疊層。絕緣體 418 較佳為使用包含氧化矽或氧氮化矽的絕緣體形成單層或疊層。

[0167] 注意，雖然在圖 1A 和圖 1B 中示出了作為電晶體的第一閘極電極的導電體 404 不與作為第二閘極電極的導電體 413 電連接的例子，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 5A 所示，也可以採用導電體 404 與導電體 413 接觸的結構。藉由採用這種結構，導電體 404 和導電體 413 被供應相同的電位，因此可以提高電晶體的開關特性。或者，如圖 5B 所示，也可以不具有導電體 413。

[0168] 另外，圖 6A 是電晶體的俯視圖的一個例子。

圖 6B 示出對應於圖 6A 的點劃線 B1-B2 及點劃線 B3-B4 的剖面圖的一個例子。另外，在圖 6A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0169] 另外，圖 7A 是電晶體的俯視圖的一個例子。圖 7B 示出對應於圖 7A 的點劃線 C1-C2 及點劃線 C3-C4 的剖面圖的一個例子。另外，在圖 7A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0170] 另外，圖 8A 是電晶體的俯視圖的一個例子。圖 8B 示出對應於圖 8A 的點劃線 D1-D2 及點劃線 D3-D4 的剖面圖的一個例子。另外，在圖 8A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0171] 注意，雖然在圖 1A 和圖 1B 中示出了在作為俯視圖的圖 1A 中半導體 406c、絕緣體 412 及導電體 404 具有相同的形狀，換言之，在作為剖面圖的圖 1B 中上述三者的端部不突出的例子，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 6A 的俯視圖及圖 6B 的剖面圖所示，也可以在電晶體的整個表面上設置半導體 406c 及絕緣體 412。或者，如圖 7A 的俯視圖所示，也可以以覆蓋電晶體的通道形成區域及其周圍的區域的方式設置半導體 406c，並且以覆蓋該半導體 406c 的方式在電晶體的整個表面上設置絕緣體 412。另外，在圖 7B 的剖面圖中，半導體 406c 具有端部比導電體 404 突出的區域。或者，如圖 8A 的俯視圖所示，也可以以覆蓋電晶體的通道形成區域及其周圍的區域的方式設置半導體 406c

及絕緣體 412。此外，在圖 8B 的剖面圖中，半導體 406c 及絕緣體 412 分別具有端部比導電體 404 突出的區域。

[0172] 藉由使電晶體具有圖 6A 及圖 6B、圖 7A 及圖 7B 或者圖 8A 及圖 8B 所示的結構，有時可以降低經過半導體 406c 或絕緣體 412 的表面等的洩漏電流。即，可以降低電晶體的關態電流（off-state current）。另外，因為在絕緣體 412 及半導體 406c 的蝕刻中，不需要作為遮罩使用導電體 404，所以導電體 404 不會暴露於電漿。因此，不容易產生天線效果所引起的電晶體的靜電損壞，從而能夠以高產品率製造半導體裝置。另外，由於半導體裝置的設計彈性得到提高，所以該電晶體適用於具有複雜結構的 LSI（Large Scale Integration：大型積體電路）或 VLSI（Very Large Scale Integration：超大型積體電路）等積體電路。

[0173] 另外，圖 9A 是電晶體的俯視圖的一個例子。圖 9B 示出對應於圖 9A 的點劃線 F1-F2 及點劃線 F3-F4 的剖面圖的一個例子。另外，在圖 9A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0174] 雖然在圖 1A 和圖 1B 等中示出了設置有用作源極電極及汲極電極的導電體 416a 及導電體 416b 與用作閘極電極的導電體 404 重疊的區域的結構，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 9A 和圖 9B 所示，也可以不設置導電體 416a 及導電體 416b 與導電體 404 重疊的區域。藉由採用這種結構，能

夠提供一種寄生電容小的電晶體。因此，實現開關特性良好且雜訊小的電晶體。

[0175] 另外，藉由使導電體 416a 及導電體 416b 不與導電體 404 重疊，導電體 416a 與導電體 416b 之間的電阻有時會增高。此時，電晶體的通態電流有時會變小，所以較佳為儘量降低該電阻。例如，使導電體 416a（導電體 416b）與導電體 404 之間的距離變小即可。例如，將導電體 416a（導電體 416b）與導電體 404 之間的距離設定為 0μm 以上且 1μm 以下，較佳為 0μm 以上且 0.5μm 以下，更佳為 0μm 以上且 0.2μm 以下，進一步佳為 0μm 以上且 0.1μm 以下。

[0176] 或者，在位於導電體 416a（導電體 416b）與導電體 404 之間的半導體 406b 或/及半導體 406a 中設置低電阻區域 423a（低電阻區域 423b）即可。另外，低電阻區域 423a 及低電阻區域 423b 分別例如具有其載子密度比半導體 406b 或/及半導體 406a 的其他區域高的區域。或者，低電阻區域 423a 及低電阻區域 423b 分別具有其雜質濃度比半導體 406b 或/及半導體 406a 的其他區域高的區域。或者，低電阻區域 423a 及低電阻區域 423b 分別具有其載子移動率比半導體 406b 或/及半導體 406a 的其他區域高的區域。低電阻區域 423a 及低電阻區域 423b 例如可以藉由將導電體 404、導電體 416a、導電體 416b 等用作遮罩並對半導體 406b 或/及半導體 406a 添加雜質來形成。

[0177] 另外，也可以使導電體 416a（導電體 416b）與導電體 404 之間的距離變小且在位於導電體 416a（導電體 416b）與導電體 404 之間的半導體 406b 或/及半導體 406a 中設置低電阻區域 423a（低電阻區域 423b）。

[0178] 另外，圖 10A 是電晶體的俯視圖的一個例子。圖 10B 示出對應於圖 10A 的點劃線 G1-G2 及點劃線 G3-G4 的剖面圖的一個例子。另外，在圖 10A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0179] 雖然在圖 1A 和圖 1B 等中示出了用作源極電極及汲極電極的導電體 416a 及導電體 416b 與半導體 406b 的頂面及側面、絕緣體 402 的頂面等接觸的例子，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 10A 和圖 10B 所示，也可以採用導電體 416a 及導電體 416b 僅與半導體 406b 的頂面接觸的結構。

[0180] 另外，如圖 10B 所示，也可以在絕緣體 418 上具有絕緣體 428。絕緣體 428 較佳為其頂面為平坦的絕緣體。另外，作為絕緣體 428，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體形成單層或疊層。另外，絕緣體 428 也可以包含氮氧化矽、氮化矽等包含氮的絕緣體。為了使絕緣體 428 的頂面平坦化，也可以藉由利用化學機械拋光（CMP：Chemical Mechanical Polishing）法等進行平坦化處理。

[0181] 或者，可以將樹脂用於絕緣體 428。例如，可

以使用包含聚醯亞胺、聚醯胺、丙烯酸樹脂、矽酮等的樹脂。藉由使用樹脂，有時不需要對絕緣體 428 的頂面進行平坦化處理。另外，因為藉由使用樹脂可以在短時間內形成較厚的膜，所以能夠提高生產率。

[0182] 另外，如圖 10A 及圖 10B 所示，也可以在絕緣體 428 上具有導電體 424a 及導電體 424b。例如，導電體 424a 及導電體 424b 例如具有佈線的功能。此外，絕緣體 428 具有開口部，並可以藉由該開口部使導電體 416a 與導電體 424a 電連接。另外，絕緣體 428 具有其他開口部，並可以藉由該開口部使導電體 416b 與導電體 424b 電連接。此時，也可以在各開口部內分別具有導電體 426a 及導電體 426b。

[0183] 作為導電體 424a 及導電體 424b，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體形成單層或疊層。例如，也可以使用包含上述元素的合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0184] 在圖 10A 和圖 10B 所示的電晶體中，導電體 416a 及導電體 416b 不與半導體 406b 的側面接觸。因此，從用作第一閘極電極的導電體 404 施加到半導體 406b 側面的電場不容易被導電體 416a 及導電體 416b 阻斷。另外，導電體 416a 及導電體 416b 不與絕緣體 402 的

頂面接觸。所以，從絕緣體 402 釋放的過剩氧（氧）不會為了使導電體 416a 及導電體 416b 氧化而消耗。於是，為了減少半導體 406b 的氧缺陷而可以高效率地利用從絕緣體 402 釋放的過剩氧（氧）。即，圖 10A 和圖 10B 所示的結構的電晶體具有良好的電特性諸如高通態電流、高場效移動率、低次臨界擺幅值以及高可靠性等。

[0185] 另外，圖 11A 是電晶體的俯視圖的一個例子。圖 11B 示出對應於圖 11A 的點劃線 H1-H2 及點劃線 H3-H4 的剖面圖的一個例子。另外，在圖 11A 中，為了明確起見，省略一些構成要素如絕緣體等。

[0186] 如圖 11A 和圖 11B 所示，電晶體也可以採用不具有導電體 416a 及導電體 416b 且導電體 426a 及導電體 426b 與半導體 406b 接觸的結構。此時，較佳為在半導體 406b 或/及半導體 406a 的至少與導電體 426a 及導電體 426b 接觸的區域設置低電阻區域 423a（低電阻區域 423b）。低電阻區域 423a 及低電阻區域 423b 例如可以藉由將導電體 404 等用作遮罩並對半導體 406b 或/及半導體 406a 添加雜質來形成。另外，也可以在半導體 406b 的孔（貫穿的部分）或者凹部（沒有貫穿的部分）中設置有導電體 426a 及導電體 426b。藉由將導電體 426a 及導電體 426b 設置於半導體 406b 的孔或凹部中，導電體 426a 及導電體 426b 與半導體 406b 的接觸面積變大，所以能夠降低接觸電阻的影響。即，能夠增大電晶體的通態電流。

[0187]

〈電晶體結構 1 的製造方法〉

接下來，對圖 1A 和圖 1B 所示的電晶體的製造方法進行說明。

[0188] 首先，準備基板 400。

[0189] 接著，形成成為導電體 413 的導電體。成為導電體 413 的導電體可以藉由濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積法（ALD：Atomic Layer Deposition）法等形成。

[0190] 注意，CVD 法可以分類為利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法及利用熱的熱 CVD（TCVD：Thermal CVD）法等。再者，CVD 法可以根據使用的源氣體分為金屬 CVD（MCVD：Metal CVD）法及有機金屬 CVD（MOCVD：Metal Organic CVD）法。

[0191] 藉由利用電漿 CVD 法，可以以較低的溫度得到高品質的膜。由於熱 CVD 法不使用電漿，所以不產生電漿損傷，從而可以得到缺陷較少的膜。

[0192] 在 CVD 法中，可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，在 MCVD 法及 MOCVD 法中，可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，在 MCVD 法及 MOCVD 法中，可以藉由一邊形成膜一邊改變源氣體的流量比，來形成其組成連續變化的膜。在一邊改變源氣體的流量比一邊形成膜時，因為

可以省略傳送及調整壓力所需的時間，所以與使用多個成膜室進行成膜的情況相比可以使其成膜時所需的時間縮短。因此，可以提高電晶體的生產率。

[0193] 接著，對成為導電體 413 的導電體的一部分進行蝕刻來形成導電體 413。

[0194] 接著，形成絕緣體 402（參照圖 12A）。絕緣體 402 可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。注意，在此說明藉由 CMP 法等使絕緣體 402 的頂面平坦化的情況。藉由使絕緣體 402 的頂面平坦化，使後面的製程變得容易，從而能夠提高電晶體的良率。例如，藉由利用 CMP 法，將絕緣體 402 的 RMS 粗糙度設定為 1nm 以下，較佳為 0.5nm 以下，更佳為 0.3nm 以下。或者，將 1μm×1μm 的範圍內的 Ra 設定為低於 1nm，較佳為低於 0.6nm，更佳為低於 0.5nm，進一步佳為低於 0.4nm。或者，將 1μm×1μm 的範圍內的 P-V 設定為低於 10nm，較佳為低於 9nm，更佳為低於 8nm，進一步佳為低於 7nm。注意，根據本發明的一個方式的電晶體不侷限於使絕緣體 402 的頂面平坦化的電晶體。

[0195] 絕緣體 402 以包含過剩氧的方式形成即可。或者，也可以在形成絕緣體 402 之後添加氧。例如，利用離子植入法並採用 2kV 以上且 100kV 以下的加速電壓及 5×10^{14}ions/cm^2 以上且 5×10^{16}ions/cm^2 以下的劑量進行氧的添加，即可。

[0196] 另外，在將絕緣體 402 形成為疊層膜時，也

可以藉由從上述形成方法中採用的互不相同的形成方法形成各膜。例如，也可以藉由 CVD 法形成第一層的膜，並藉由 ALD 法形成第二層的膜。或者，也可以藉由濺射法形成第一層的膜，並藉由 ALD 法形成第二層的膜。如此，藉由利用互不相同的形成方法形成各膜，可以使各層的膜具有不同的功能或性質。並且，藉由層疊這些膜，可以構成作為整個疊層膜更合適的膜。

[0197] 即，藉由利用濺射法、CVD 法、MBE 法、PLD 法和 ALD 法等中的至少一個方法形成第 n 層（n 為自然數）的膜，而藉由利用濺射法、CVD 法、MBE 法、PLD 法和 ALD 法等中的至少一個方法形成第 n+1 層的膜。另外，第 n 層的膜的形成方法和第 n+1 層的膜的形成方法可以相同或不同。此外，第 n 層的膜的形成方法和第 n+2 層的膜的形成方法也可以相同。或者，所有膜的形成方法也可以都相同。

[0198] 接著，依次形成成為半導體 406a 的半導體以及成為半導體 406b 的半導體。成為半導體 406a 的半導體以及成為半導體 406b 的半導體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0199] 另外，在作為成為半導體 406a 的半導體以及成為半導體 406b 的半導體藉由 MOCVD 法形成 In-Ga-Zn 氧化物層的情況下，作為源氣體可以使用三甲基銦、三甲基鎵及二甲基鋅等。注意，不侷限於上述源氣體的組合，也可以使用三乙基銦等代替三甲基銦。另外，也可以使用

三乙基鎵等代替三甲基鎵。此外，也可以使用二乙基鋅等代替二甲基鋅。

[0200] 接著，較佳為進行第一加熱處理。第一加熱處理也可以以 250℃以上且 650℃以下的溫度，較佳為以 300℃以上且 500℃以下的溫度進行即可。第一加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。第一加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行第一加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體氛圍下進行另一個加熱處理。藉由進行第一加熱處理，可以提高成為半導體 406a 的半導體以及成為半導體 406b 的半導體的結晶性，並可以去除氫或水等雜質。

[0201] 接著，對成為半導體 406a 的半導體以及成為半導體 406b 的半導體的一部分進行蝕刻來形成半導體 406a 以及半導體 406b（參照圖 12B）。此時，以與導電體 413 的至少一部分重疊的方式形成半導體 406a 以及半導體 406b。

[0202] 接著，形成成為導電體 416a 以及導電體 416b 的導電體。成為導電體 416a 以及導電體 416b 的導電體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0203] 在形成成為導電體 416a 以及導電體 416b 的導電體之後，對該導電體的一部分進行蝕刻來形成導電體

416a 以及導電體 416b。因此，在形成該導電體時，較佳為採用不對半導體 406b 造成損傷的形成方法。例如，較佳為使用 MCVD 法等形成該導電體。

[0204] 另外，在將該導電體形成為疊層膜時，也可以藉由從濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中採用的互不相同的形成方法形成每個膜。例如，也可以藉由 MOCVD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由 MOCVD 法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，藉由濺射法形成第二層的膜，並藉由 ALD 法形成第三層的膜。如此，藉由利用互不相同的形成方法形成各膜，可以使各層的膜具有不同的功能或性質。並且，藉由層疊這些膜，可以構成作為整個疊層膜更合適的膜。

[0205] 即，在將該導電體形成為疊層膜時，例如，利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層（n 為自然數）的膜，並利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n+1 層的膜，此時，第 n 層的膜與第 n+1 層的膜的形成方法也可以不同。此外，第 n 層的膜與第

n+2 層的膜的形成方法也可以相同。或者，所有膜的形成方法也可以都相同。

[0206] 另外，該導電體或該導電體的疊層膜中的至少一個膜與成為半導體 406a 的半導體或成為半導體 406b 的半導體也可以使用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。

[0207] 另外，該導電體或該導電體的疊層膜中的至少一個膜、成為半導體 406a 的半導體或成為半導體 406b 的半導體、絕緣體 402 或絕緣體 402 的疊層膜中的至少一個膜也可以使用相同的形成方法。例如，上述的膜都可以採用濺射法。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0208] 接著，對成為導電體 416a 以及導電體 416b 的導電體的一部分進行蝕刻來形成導電體 416a 以及導電體 416b（參照圖 13A）。接著，形成成為半導體 406c 的半導體。成為半導體 406c 的半導體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0209] 另外，在作為成為半導體 406c 的半導體藉由 MOCVD 法形成 In-Ga-Zn 氧化物層的情況下，作為源氣體可以使用三甲基銦、三甲基鎵及二甲基鋅等。注意，不侷限於上述源氣體的組合，也可以使用三乙基銦等代替三甲基銦。另外，也可以使用三乙基鎵等代替三甲基鎵。此

外，也可以使用二乙基鋅等代替二甲基鋅。

[0210] 接著，也可以進行第二加熱處理。例如，作為半導體 406a，選擇其氧透過性比成為半導體 406c 的半導體高的半導體。即，作為成為半導體 406c 的半導體，選擇其氧透過性比半導體 406a 低的半導體。換言之，作為半導體 406a，選擇具有使氧透過的功能的半導體。另外，作為成為半導體 406c 的半導體，選擇具有阻擋氧的功能的半導體。此時，藉由進行第二加熱處理，包含於絕緣體 402 中的過剩氧經過半導體 406a 遷移到半導體 406b。因為半導體 406b 由成為半導體 406c 的半導體覆蓋，所以不容易發生過剩氧的向外擴散。因此，藉由在這個時候進行第二加熱處理，能夠高效率地降低半導體 406b 的缺陷（氧缺陷）。另外，第二加熱處理在絕緣體 402 中的過剩氧（氧）擴散至半導體 406b 的溫度下進行即可。例如，關於第二加熱處理，也可以參照第一加熱處理的記載。或者，當在比第一加熱處理低 20℃以上且 150℃以下，較佳為低 40℃以上且 100℃以下的溫度下進行第二加熱處理時，由於過剩氧（氧）不會過多地從絕緣體 402 釋放，所以是較佳的。

[0211] 接著，形成成為絕緣體 412 的絕緣體。成為絕緣體 412 的絕緣體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0212] 另外，在將成為絕緣體 412 的絕緣體形成為疊層膜時，也可以藉由從濺射法、CVD 法（電漿 CVD

法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中採用的互不相同的形成方法形成每個膜。例如，也可以藉由 MOCVD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由 MOCVD 法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，藉由濺射法形成第二層的膜，並藉由 ALD 法形成第三層的膜。如此，藉由利用互不相同的形成方法形成，可以使各層的膜具有不同的功能或性質。並且，藉由層疊這些膜，可以構成作為整個疊層膜更合適的膜。

[0213] 即，在將成為絕緣體 412 的絕緣體形成為疊層膜時，例如，利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層（n 為自然數）的膜，並利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n+1 層的膜，此時，第 n 層的膜與第 n+1 層的膜的形成方法也可以不同。此外，第 n 層的膜與第 n+2 層的膜的形成方法也可以相同。或者，所有膜的形成方法也可以都相同。

[0214] 另外，成為絕緣體 412 的絕緣體或成為絕緣體 412 的絕緣體的疊層膜中的至少一個膜與成為導電體 416a 及導電體 416b 的導電體或該導電體的疊層膜中的至

少一個膜也可以使用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。或者，例如，相互接觸的成為導電體 416a 及導電體 416b 的導電體與成為絕緣體 412 的絕緣體也可以使用相同的形成方法。由此，可以在相同的處理室中形成。其結果，可以防止雜質的混入。

[0215] 另外，成為絕緣體 412 的絕緣體或成為絕緣體 412 的絕緣體的疊層膜中的至少一個膜、成為導電體 416a 及導電體 416b 的導電體或該導電體的疊層膜中的至少一個膜、成為半導體 406a 的半導體或成為半導體 406a 的半導體的疊層膜中的至少一個膜、成為半導體 406b 的半導體或成為半導體 406b 的半導體的疊層膜中的至少一個膜、絕緣體 402 或絕緣體 402 的疊層膜中的至少一個膜也可以使用相同的形成方法。例如，這些都可以使用濺射法形成。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。

[0216] 接著，也可以進行第三加熱處理。例如，作為半導體 406a，選擇其氧透過性比成為半導體 406c 的半導體高的半導體。即，作為成為半導體 406c 的半導體，選擇其氧透過性比半導體 406a 低的半導體。另外，作為成為半導體 406c 的半導體，選擇具有阻擋氧的功能的半導體。或者，例如，作為半導體 406a，選擇其氧透過性比成為絕緣體 412 的絕緣體高的半導體。即，作為成為絕緣體 412 的絕緣體，選擇其氧透過性比半導體 406a 低的

半導體。換言之，作為半導體 406a，選擇具有使氧透過的功能的半導體。另外，作為成為絕緣體 412 的絕緣體，選擇具有阻擋氧的功能的絕緣體。此時，藉由進行第三加熱處理，包含於絕緣體 402 中的過剩氧經過半導體 406a 遷移到半導體 406b。因為半導體 406b 由成為半導體 406c 的半導體以及成為絕緣體 412 的絕緣體覆蓋，所以不容易發生過剩氧的向外擴散。因此，藉由在這個時候進行第三加熱處理，能夠高效率地降低半導體 406b 的缺陷（氧缺陷）。另外，第三加熱處理在絕緣體 402 中的過剩氧（氧）擴散到半導體 406b 的溫度下進行即可。例如，關於第三加熱處理，也可以參照第一加熱處理的記載。或者，當在比第一加熱處理低 20℃ 以上且 150℃ 以下，較佳為低 40℃ 以上且 100℃ 以下的溫度下進行第三加熱處理時，由於過多的過剩氧（氧）不會從絕緣體 402 釋放，所以是較佳的。注意，在成為絕緣體 412 的絕緣體具有阻擋氧的功能的情況下，成為半導體 406c 的半導體也可以不具有阻擋氧的功能。

[0217] 接著，形成成為導電體 404 的導電體。成為導電體 404 的導電體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0218] 將成為絕緣體 412 的絕緣體用作電晶體的閘極絕緣體。因此，在形成成為導電體 404 的導電體時，較佳為採用不對成為絕緣體 412 的絕緣體造成損傷的形成方法。例如，較佳為使用 MCVD 法等形成該導電體。

[0219] 另外，在將成為導電體 404 的導電體形成為疊層膜時，也可以藉由從濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中採用的互不相同的形成方法形成每個膜。例如，也可以藉由 MOCVD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由 MOCVD 法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，並藉由濺射法形成第二層的膜。或者，也可以藉由 ALD 法形成第一層的膜，藉由濺射法形成第二層的膜，並藉由 ALD 法形成第三層的膜。如此，藉由利用互不相同的形成方法，可以使各層的膜具有不同的功能或性質。並且，藉由層疊這些膜，可以構成作為整個疊層膜更合適的膜。

[0220] 即，在將成為導電體 404 的導電體形成為疊層膜時，例如，利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層（n 為自然數）的膜，並利用濺射法、CVD 法（電漿 CVD 法、熱 CVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n+1 層的膜，此時，第 n 層的膜與第 n+1 層的膜的形成方法也可以不同。此外，第 n 層的膜與第 n+2 層的膜的形成方法也可以相同。或者，所有膜的形成方法也可以都相同。

[0221] 另外，成為導電體 404 的導電體或成為導電

體 404 的導電體的疊層膜中的至少一個膜與成為絕緣體 412 的絕緣體或成為絕緣體 412 的絕緣體的疊層膜中的至少一個膜也可以使用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。或者，例如，相互接觸的成為導電體 404 的導電體與成為絕緣體 412 的絕緣體也可以使用相同的形成方法。由此，可以在相同的處理室中形成。其結果，可以防止雜質的混入。

[0222] 另外，成為導電體 404 的導電體或成為導電體 404 的導電體的疊層膜中的至少一個膜、成為絕緣體 412 的絕緣體或成為絕緣體 412 的絕緣體的疊層膜中的至少一個膜、成為導電體 416a 及導電體 416b 的導電體或該導電體的疊層膜中的至少一個膜、成為半導體 406a 的半導體、成為半導體 406b 的半導體、成為半導體 406c 的半導體、絕緣體 402 或絕緣體 402 的疊層膜中的至少一個膜也可以使用相同的形成方法。例如，這些都可以使用濺射法形成。由此，可以以不暴露於大氣的方式形成。其結果，可以防止雜質的混入。

[0223] 接著，對成為導電體 404 的導電體的一部分進行蝕刻來形成導電體 404。注意，導電體 404 以其與半導體 406b 的至少一部分重疊的方式形成。

[0224] 接著，與成為導電體 404 的導電體同樣地，對成為絕緣體 412 的絕緣體的一部分進行蝕刻來形成絕緣體 412。

[0225] 接著，與成為導電體 404 的導電體及成為絕緣體 412 的絕緣體同樣地，對成為半導體 406c 的半導體的一部分進行蝕刻來形成半導體 406c（參照圖 13B）。

[0226] 注意，在成為導電體 404 的導電體、成為絕緣體 412 的絕緣體以及成為半導體 406c 的半導體的一部分進行蝕刻時，也可以使用相同的光微影製程等。或者，也可以將導電體 404 用作遮罩來對成為絕緣體 412 的絕緣體以及成為半導體 406c 的半導體進行蝕刻。因此，導電體 404、絕緣體 412 以及半導體 406c 在俯視圖上具有相同的形狀。另外，也可以藉由不同的光微影製程形成絕緣體 412、半導體 406c 以及導電體 404 的全部或一部分。此時，有時如圖 13C1 所示的放大剖面那樣絕緣體 412 或/及半導體 406c 比導電體 404 突出，有時如圖 13C2 所示的放大剖面那樣導電體 404 比絕緣體 412 或/及半導體 406c 突出。藉由採用上述形狀，有時能夠降低形狀不良，從而能夠降低閘極漏電流。

[0227] 接著，形成絕緣體 408（參照圖 14A）。絕緣體 408 可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0228] 接著，也可以進行第四加熱處理。例如，作為半導體 406a，選擇其氧透過性比半導體 406c 高的半導體。即，作為半導體 406c，選擇其氧透過性比半導體 406a 低的半導體。另外，作為半導體 406c，選擇具有阻擋氧的功能的半導體。或者，例如，作為半導體 406a，

選擇其氧透過性比絕緣體 412 高的半導體。即，作為絕緣體 412，選擇其氧透過性比半導體 406a 低的半導體。或者，例如，作為半導體 406a，選擇其氧透過性比絕緣體 408 高的半導體。即，作為絕緣體 408，選擇其氧透過性比半導體 406a 低的半導體。換言之，作為半導體 406a，選擇具有使氧透過的功能的半導體。另外，作為絕緣體 408，選擇具有阻擋氧的功能的絕緣體。此時，藉由進行第四加熱處理，包含於絕緣體 402 中的過剩氧經過半導體 406a 遷移到半導體 406b。因為半導體 406b 由半導體 406c、絕緣體 412 和絕緣體 408 中的任一個覆蓋，所以不容易發生過剩氧的向外擴散。因此，藉由在這個時候進行第四加熱處理，能夠高效率地降低半導體 406b 的缺陷（氧缺陷）。另外，第四加熱處理在絕緣體 402 中的過剩氧（氧）擴散到半導體 406b 的溫度下進行即可。例如，關於第四加熱處理，也可以參照第一加熱處理的記載。或者，當在比第一加熱處理低 20℃以上且 150℃以下，較佳為低 40℃以上且 100℃以下的溫度下進行第四加熱處理時，由於過剩氧（氧）不會過多地從絕緣體 402 釋放，所以是較佳的。注意，在絕緣體 408 具有阻擋氧的功能的情況下，半導體 406c 或/及絕緣體 412 也可以不具有阻擋氧的功能。

[0229] 注意，也可以不進行第一加熱處理、第二加熱處理、第三加熱處理及第四加熱處理的全部或一部分。

[0230] 接著，形成絕緣體 418（參照圖 14B）。絕緣

體 418 可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0231] 藉由上述步驟，能夠製造圖 1A 和圖 1B 所示的電晶體。

[0232]

〈電晶體結構 2〉

圖 15A 及圖 15B 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 15A 是俯視圖，圖 15B 是對應於圖 15A 所示的點劃線 I1-I2 以及點劃線 I3-I4 的剖面圖。另外，在圖 15A 的俯視圖中，為了明確起見，省略構成要素的一部分。

[0233] 圖 15A 及圖 15B 所示的電晶體包括：基板 500 上的導電體 513；基板 500 及導電體 513 上的具有凸部的絕緣體 502；絕緣體 502 的凸部上的半導體 506a；半導體 506a 上的半導體 506b；半導體 506b 上的半導體 506c；與半導體 506a、半導體 506b 及半導體 506c 接觸且間隔開地配置的導電體 516a 及導電體 516b；半導體 506c、導電體 516a 及導電體 516b 上的絕緣體 512；絕緣體 512 上的導電體 504；導電體 516a、導電體 516b、絕緣體 512 以及導電體 504 上的絕緣體 508；以及絕緣體 508 上的絕緣體 518。

[0234] 此外，絕緣體 512 在 I3-I4 間的剖面上至少與半導體 506b 的側面接觸。導電體 504 在 I3-I4 間的剖面上至少隔著絕緣體 512 面對半導體 506b 的頂面及側面。另

外，導電體 513 隔著絕緣體 502 面對半導體 506b 的底面。此外，絕緣體 502 也可以不具有凸部。另外，也可以不設置半導體 506c、絕緣體 508 或絕緣體 518。

[0235] 注意，將半導體 506b 用作電晶體的通道形成區域。另外，將導電體 504 用作電晶體的第一閘極電極（也稱為前閘極電極）。此外，將導電體 513 用作電晶體的第二閘極電極（也稱為背閘極電極）。另外，將導電體 516a 及導電體 516b 用作電晶體的源極電極及汲極電極。此外，將絕緣體 508 用作阻擋層。絕緣體 508 例如具有阻擋氧或/及氫的功能。或者，例如，絕緣體 508 的阻擋氧或/及氫的能力強於半導體 506a 或/及半導體 506c。

[0236] 另外，絕緣體 502 是包含過剩氧的絕緣體。

[0237] 注意，關於基板 500，參照基板 400 的記載。關於導電體 513，參照導電體 413 的記載。關於絕緣體 502，參照絕緣體 402 的記載。關於半導體 506a，參照半導體 406a 的記載。關於半導體 506b，參照半導體 406b 的記載。關於半導體 506c，參照半導體 406c 的記載。關於導電體 516a 及導電體 516b，參照導電體 416a 及導電體 416b 的記載。關於絕緣體 512，參照絕緣體 412 的記載。關於導電體 504，參照導電體 404 的記載。關於絕緣體 508，參照絕緣體 408 的記載。關於絕緣體 518，參照絕緣體 418 的記載。

[0238] 因此，在圖 15A 和圖 15B 所示的電晶體中，只有其一部分的結構不同於圖 1A 和圖 1B 所示的電晶

體。明確而言，僅有圖 15A 和圖 15B 所示的電晶體的半導體 506a、半導體 506b 及半導體 506c 的結構不同於圖 1A 和圖 1B 所示的電晶體的半導體 406a、半導體 406b 及半導體 406c 的結構。因此，關於圖 15A 和圖 15B 所示的電晶體，可以適當地參照圖 1A 和圖 1B 所示的電晶體的說明。

[0239] 注意，雖然在圖 15A 和圖 15B 中示出了作為電晶體的第一閘極電極的導電體 504 不與作為第二閘極電極的導電體 513 電連接的例子，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 16A 所示，也可以採用導電體 504 與導電體 513 接觸的結構。藉由採用這種結構，導電體 504 和導電體 513 被供應相同的電位，因此可以提高電晶體的開關特性。或者，如圖 16B 所示，也可以不具有導電體 513。

[0240] 另外，圖 17A 是電晶體的俯視圖的一個例子。圖 17B 示出對應於圖 17A 的點劃線 J1-J2 及點劃線 J3-J4 的剖面圖的一個例子。另外，在圖 17A 中，為了明確起見，省略絕緣體等構成要素的一部分。

[0241] 注意，雖然在圖 15A 所示的俯視圖中示出了絕緣體 512 具有與導電體 504 相同的形狀的例子，但是根據本發明的一個方式的電晶體的結構不侷限於此。例如，如圖 17A 和圖 17B 所示，絕緣體 512 也可以配置於絕緣體 502、半導體 506c、導電體 516a 及導電體 516b 上。

[0242]

〈電晶體結構 3〉

圖 18A 及圖 18B 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 18A 是俯視圖，圖 18B 是對應於圖 18A 所示的點劃線 K1-K2 以及點劃線 K3-K4 的剖面圖。另外，在圖 18A 的俯視圖中，為了明確起見，省略構成要素的一部分。

[0243] 圖 18A 及圖 18B 所示的電晶體包括：基板 600 上的導電體 604；導電體 604 上的絕緣體 612；絕緣體 612 上的半導體 606a；半導體 606a 上的半導體 606b；半導體 606b 上的半導體 606c；與半導體 606a、半導體 606b 及半導體 606c 接觸且間隔開地配置的導電體 616a 及導電體 616b；以及半導體 606c、導電體 616a 及導電體 616b 上的絕緣體 618。另外，導電體 604 隔著絕緣體 612 面對半導體 606b 的底面。此外，絕緣體 612 也可以具有凸部。另外，也可以在基板 600 與導電體 604 之間設置有絕緣體。關於該絕緣體，參照絕緣體 502 及絕緣體 508 的記載。另外，也可以不設置半導體 606a 或絕緣體 618。

[0244] 注意，將半導體 606b 用作電晶體的通道形成區域。另外，將導電體 604 用作電晶體的第一閘極電極（也稱為前閘極電極）。另外，將導電體 616a 及導電體 616b 用作電晶體的源極電極及汲極電極。

[0245] 另外，絕緣體 618 是包含過剩氧的絕緣體。

[0246] 注意，關於基板 600，參照基板 500 的記載。關於導電體 604，參照導電體 504 的記載。關於絕緣體

612，參照絕緣體 512 的記載。關於半導體 606a，參照半導體 506c 的記載。關於半導體 606b，參照半導體 506b 的記載。關於半導體 606c，參照半導體 506a 的記載。關於導電體 616a 及導電體 616b，參照導電體 516a 及導電體 516b 的記載。關於絕緣體 618，參照絕緣體 502 的記載。

[0247] 因此，有時可以看作，在圖 18A 和圖 18B 所示的電晶體中，只有其一部分的結構不同於圖 15A 和圖 15B 所示的電晶體。明確而言，圖 18A 和圖 18B 所示的電晶體的結構與不具有圖 15A 和圖 15B 所示的電晶體的導電體 504 的結構同樣。因此，關於圖 18A 和圖 18B 所示的電晶體，可以適當地參照圖 15A 和圖 15B 所示的電晶體的說明。

[0248] 注意，電晶體也可以包括隔著絕緣體 618 與半導體 606b 重疊的導電體。該導電體用作電晶體的第二閘極電極。關於該導電體，參照導電體 513 的記載。另外，也可以使用該第二閘極電極形成 s-channel 結構。

[0249] 另外，也可以在絕緣體 618 上設置有顯示元件。例如，也可以設置有像素電極、液晶層、共用電極、發光層、有機 EL 層、陽極、陰極等。顯示元件例如與導電體 616a 等連接。

[0250] 另外，圖 19A 是電晶體的俯視圖的一個例子。圖 19B 示出對應於圖 19A 的點劃線 L1-L2 及點劃線 L3-L4 的剖面圖的一個例子。另外，在圖 19A 中，為了明確起見，省略絕緣體等構成要素的一部分。

[0251] 另外，也可以在半導體上設置能夠用作通道保護膜的絕緣體。例如，如圖 19A 和 19B 所示，在導電體 616a 及導電體 616b 與半導體 606c 之間設置絕緣體 620。在此情況下，導電體 616a（導電體 616b）與半導體 606c 藉由絕緣體 620 中的開口部連接。關於絕緣體 620，可以參照絕緣體 618 的記載。

[0252] 另外，在圖 18B 及圖 19B 中，也可以在絕緣體 618 上設置導電體 613。圖 20A 和 20B 示出此時的例子。此外，關於導電體 613，參照導電體 513 的記載。另外，既可以對導電體 613 供應與導電體 604 相同的電位或信號，又可以對導電體 613 供應與導電體 604 不同的電位或信號。例如，也可以對導電體 613 供應固定電位來控制電晶體的臨界電壓。即，導電體 613 可以具有第二閘極電極的功能。

[0253]

〈半導體裝置〉

下面例示根據本發明的一個方式的半導體裝置。

[0254] 下面說明利用本發明的一個方式的電晶體的半導體裝置的一個例子。

[0255] 圖 21A 示出本發明的一個方式的半導體裝置的剖面圖。在圖 21A 所示的半導體裝置中，下部包括使用第一半導體的電晶體 2200，而上部包括使用第二半導體的電晶體 2100。圖 21A 示出作為使用第二半導體的電晶體 2100 應用圖 1A 和 1B 所示的電晶體的例子。

[0256] 作為第一半導體也可以使用其能隙與第二半導體不同的半導體。例如，作為第一半導體使用氧化物半導體之外的半導體，而作為第二半導體使用氧化物半導體。作為第一半導體，也可以使用具有多晶結構、單晶結構等的矽、鍺等。或者，也可以使用應變矽等具有應變的半導體。或者，作為第一半導體，也可以使用可用於HEMT 的砷化鎵、砷化鋁鎵、砷化銦鎵、氮化鎵、磷化銦、矽鍺等。藉由將上述半導體用於第一半導體，可以實現適應於高速工作的電晶體 2200。此外，藉由將氧化物半導體用於第二半導體，可以實現關態電流低的電晶體 2100。

[0257] 注意，電晶體 2200 可以是 n 通道型或 p 通道型，並且根據電路使用適合的電晶體。此外，有時也可以不作為電晶體 2100 或/及電晶體 2200 使用上述電晶體或圖 21A 所示的電晶體。

[0258] 圖 21A 所示的半導體裝置隔著絕緣體 2201 及絕緣體 2207 在電晶體 2200 上包括電晶體 2100。此外，電晶體 2200 和電晶體 2100 之間設置有用作佈線的多個導電體 2202。此外，藉由埋入各種絕緣體中的多個導電體 2203 使設置在上層和下層的佈線或電極電連接。另外，該半導體裝置還包括電晶體 2100 上的絕緣體 2204、絕緣體 2204 上的導電體 2205 以及（藉由相同的製程）形成在與電晶體 2100 的源極電極及汲極電極相同的層中的導電體 2206。

[0259] 作為絕緣體 2204，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鉿或鉭的絕緣體形成單層或疊層。另外，絕緣體 2204 也可以包含氮氧化矽、氮化矽等包含氮的絕緣體。

[0260] 或者，作為絕緣體 2204，也可以使用樹脂。例如，可以使用包含聚醯亞胺、聚醯胺、丙烯酸樹脂、矽酮等的樹脂。藉由使用樹脂，有時不需要對絕緣體 2204 的頂面進行平坦化處理。另外，因為藉由使用樹脂可以在短時間內形成較厚的膜，因此能夠提高生產率。

[0261] 藉由採用層疊多個電晶體的結構，可以高密度地設置多個電路。

[0262] 在此，在作為用於電晶體 2200 的第一半導體使用單晶矽時，較佳為電晶體 2200 的第一半導體附近的絕緣體的氫濃度高。藉由使用該氫使矽的懸空鍵終結，可以提高電晶體 2200 的可靠性。另一方面，在作為用於電晶體 2100 的第二半導體使用氧化物半導體時，較佳為電晶體 2100 的第二半導體附近的絕緣體的氫濃度低。因為該氫成為在氧化物半導體中生成載子的原因之一，所以有時還成為降低電晶體 2100 的可靠性的原因。因此，在層疊使用單晶矽的電晶體 2200 和使用氧化物半導體的電晶體 2100 時，為了提高兩個電晶體的可靠性，在它們之間設置具有阻擋氫的功能的絕緣體 2207 是有效的。

[0263] 作為絕緣體 2207，例如可以使用包含氧化

鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鈧、氧氮化鈧、釔安定氧化鋯（YSZ）等的絕緣體形成單層或疊層。

[0264] 此外，較佳為在電晶體 2100 上以覆蓋使用氧化物半導體的電晶體 2100 的方式形成具有阻擋氫的功能的絕緣體。作為絕緣體可以使用與絕緣體 2207 相同的絕緣體，特別佳為應用氧化鋁。氧化鋁膜的不使氫、水分等雜質和氧的兩者透過膜的遮斷效果高。因此，藉由作為覆蓋電晶體 2100 的絕緣體 2208 使用氧化鋁膜，可以防止來自包含在電晶體 2100 中的氧化物半導體的氧的脫離，並還可以防止對氧化物半導體中的水及氫的混入。

[0265] 另外，電晶體 2200 不僅可以是平面型電晶體，而且還可以是各種類型的電晶體。例如，可以是 FIN（鰭）型電晶體等。圖 21B 示出此時的剖面圖的例子。在半導體基板 2211 上設置有絕緣層 2212。半導體基板 2211 具有頂端細的凸部（也稱為鰭）。另外，凸部可以是頂端不細的形狀，例如該凸部也可以是大致長方體或頂端粗的形狀。在半導體基板 2211 的凸部上設置有閘極絕緣體 2214，且在該閘極絕緣體 2214 上設置有閘極電極 2213。在半導體基板 2211 中形成有源極區域及汲極區域 2215。另外，雖然在此示出了半導體基板 2211 具有凸部的例子，但是根據本發明的一個方式的半導體裝置不侷限於此。例如，也可以加工 SOI 基板形成凸狀的半導體區域。

[0266] 在上述電路中，藉由使電晶體 2100 及電晶體

2200 的電極的連接為不同，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置可以實現的電路結構的例子。

[0267] 圖 22A 所示的電路圖示出所謂的 CMOS 反相器的結構，其中將 p 通道型電晶體 2200 和 n 通道型電晶體 2100 串聯連接且將各閘極連接。

[0268] 此外，圖 22B 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用這種結構，可以用作所謂的 CMOS 類比開關。

[0269] 參照圖 23A 和 23B 示出半導體裝置（記憶體裝置）的一個例子，其中使用根據本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

[0270] 圖 23A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作為電晶體 3300 可以使用上述電晶體。

[0271] 電晶體 3300 是使用氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以在長期間使半導體裝置的特定的節點保持儲存內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而實現低耗電的半導體裝置。

[0272] 在圖 23A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連

接。此外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。

[0273] 圖 23A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示那樣進行資訊的寫入、保持以及讀出。

[0274] 對資訊的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位施加到與電晶體 3200 的閘極及電容元件 3400 的電極的一個電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為非導通狀態的電位而使電晶體 3300 處於非導通狀態，使節點 FG 保持電荷（保持）。

[0275] 因為電晶體 3300 的關態電流極小，所以節點 FG 的電荷被長時間地保持。

[0276] 接著，對資訊的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為

如下緣故：在電晶體 3200 為 n 通道型電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 V_0（$>V_{th_H}$），電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即使第五佈線 3005 的電位為 V_0（$<V_{th_L}$），電晶體 3200 還保持“非導通狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資訊。

[0277] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。為了不讀出其他記憶單元的資訊，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“非導通狀態”的電位，即低於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，即高於 V_{th_L} 的電位，即可。

[0278] 圖 23B 所示的半導體裝置與圖 23A 所示的半導體裝置不同之處是圖 23B 所示的半導體裝置不包括電晶體 3200 的點。在此情況下也可以藉由與圖 23A 所示的半導體裝置相同的工作進行資訊的寫入及保持工作。

[0279] 說明圖 23B 所示的半導體裝置中的資訊讀出。在電晶體 3300 成為導通狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的電極的一個的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0280] 例如，在電容元件 3400 的電極的一個的電位為 V，電容元件 3400 的電容為 C，第三佈線 3003 所具有的電容成分為 CB，在再次分配電荷之前的第三佈線 3003 的電位為 VB0 時，再次分配電荷之後的第三佈線 3003 的電位為（CB×VB0+C×V）/（CB+C）。因此，在假定作為記憶單元的狀態，電容元件 3400 的電極的一個的電位成為兩種狀態，即 V1 和 V0（V1>V0）時，可以知道保持電位 V1 時的第三佈線 3003 的電位（=（CB×VB0+C×V1）/（CB+C））高於保持電位 V0 時的第三佈線 3003 的電位（=（CB×VB0+C×V0）/（CB+C））。

[0281] 而且，藉由對第三佈線 3003 的電位和規定的電位進行比較可以讀出資訊。

[0282] 在此情況下，可以採用一種結構，其中對用來驅動記憶單元的驅動電路使用上述應用第一半導體的電晶體，且將作為電晶體 3300 的應用第二半導體的電晶體層疊在驅動電路上。

[0283] 上述半導體裝置可以應用使用氧化物半導體

的關態電流極小的電晶體來長期間地保持儲存內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而可以實現低耗電的半導體裝置。此外，在沒有電力的供應時（但是，較佳為固定電位）也可以長期間地保持儲存內容。

[0284] 此外，因為該半導體裝置在寫入資訊時不需要高電壓，所以其中不容易產生元件的劣化。由於例如不如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生如絕緣體的劣化等的問題。換言之，根據本發明的一個方式的半導體裝置是對習知的非揮發性記憶體所具有的問題的重寫的次數沒有限制而其可靠性得到極大提高的半導體裝置。再者，根據電晶體的導通狀態或非導通狀態而進行資訊寫入，而可以進行高速工作。

[0285]

〈RF 標籤〉

下面，參照圖 24 說明包括上述電晶體或記憶體裝置的 RF 標籤。

[0286] 根據本發明的一個方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路儲存資訊，並使用非接觸單元諸如無線通訊進行與外部的資訊的收發。根據這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊識別物品的個體識別系統等。注意，這些用途要求高可靠性。

[0287] 參照圖 24 說明 RF 標籤的結構。圖 24 是示出

RF 標籤的結構例子的塊圖。

[0288] 如圖 24 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。此外，RF 標籤 800 包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，作為包括在解調變電路 807 中的呈現整流作用的電晶體的半導體，例如也可以使用充分地抑制反向電流的氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使對解調變電路的輸入和從解調變電路的輸出之間的關係靠近於線形關係。注意，資料傳輸方法大致分類成如下三種方法：將一對線圈設置成彼此相對並且藉由互感相互通信的電磁耦合方法；使用感應場進行通信的電磁感應方法；以及使用電波進行通信的電波方法。RF 標籤 800 可以用於上述任何方法。

[0289] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的收發。此外，整流電路 805 是用來對藉由由天線 804 接收無線信號生成的輸入交流信號進行整流，例如進行半波兩倍壓整流，並由後級的電容元件使進行了整流的信號平滑化，從而生成輸入電位的電路。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是用來在輸入交流信號的振幅大且內部生成電壓大時進行控制以不

使某個程度以上的電力輸入到後級的電路中的電路。

[0290] 恆壓電路 806 是用來從輸入電位生成穩定的電源電壓而供應到各電路的電路。另外，恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是用來利用穩定的電源電壓的上升生成邏輯電路 809 的重設信號的電路。

[0291] 解調變電路 807 是用來藉由包封檢測使輸入交流信號解調並生成解調信號的電路。此外，調變電路 808 是用來根據從天線 804 輸出的資料進行調變的電路。

[0292] 邏輯電路 809 是用來分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資訊的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是用來保持固有號碼（ID）等並根據處理進行輸出的電路。

[0293] 注意，上述各電路可以適當地設置。

[0294] 在此，可以將上述記憶體裝置用於記憶體電路 810。因為根據本發明的一個方式的記憶體裝置即使在遮斷電源的狀態下也可以保持資訊，所以適合於 RF 標籤。再者，因為根據本發明的一個方式的記憶體裝置的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體裝置可以抑制由於在資料的寫入時電力不夠而產生錯誤工作或錯誤寫入的情況。

[0295] 此外，因為根據本發明的一個方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於ROM811。在此情況下，較佳為生產者另外準備用來對ROM811 寫入資料的指令防止使用者自由地重寫。藉由生產者在預先寫入固有號碼後出貨，可以僅使出貨的良品具有固有號碼而不使所製造的所有 RF 標籤具有固有號碼，由此不發生出貨後的產品的固有號碼不連續的情況而可以容易進行對應於出貨後的產品的顧客管理。

[0296]

〈RF 標籤的使用例子〉

下面，參照圖 25A 至 25F 說明根據本發明的一個方式的 RF 標籤的使用例子。RF 標籤可以廣泛應用，例如可以提供到物品諸如鈔票、硬幣、有價證券類、無記名債券類、證書類（駕駛證、居民卡等，參照圖 25A）、包裝用容器類（包裝紙、瓶子等，參照圖 25C）、儲存介質（DVD、錄影帶等，參照圖 25B）、車輛類（自行車等，參照圖 25D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者可以提供到各種物品的裝運標籤（參照圖 25E 和 25F）等。

[0297] 根據本發明的一個方式的 RF 標籤 4000 以附著到表面上或者嵌入的方式固定到物品。例如，當固定到書本時，將 RF 標籤 4000 嵌入在書本的紙張裡，而當固定

到有機樹脂的包裝時，將 RF 標籤 4000 填埋於有機樹脂內部。因為根據本發明的一個方式的 RF 標籤 4000 實現了小型、薄型以及輕量，所以即使在固定到物品中以後也不會影響到所述物品本身的設計性。另外，由根據本發明的一個方式的 RF 標籤 4000 可以對鈔票、硬幣、有價證券類、無記名債券類或證書類等賦予認證功能，而且藉由利用該認證功能可以防止偽造。另外，藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中提供根據本發明的一個方式的 RF 標籤 4000，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RF 標籤 4000，可以防止偷竊等而提高安全性。

[0298] 如上所述，可以將根據本發明的一個方式的 RF 標籤用於上述各種用途。

[0299]

〈CPU〉

下面說明包括上述電晶體或上述記憶體裝置等半導體裝置的 CPU。

[0300] 圖 26 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的塊圖。

[0301] 圖 26 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯

流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 26 所示的 CPU 只不過是簡化其結構而所示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 26 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0302] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0303] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0304] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控

制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈生成器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0305] 在圖 26 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體或記憶體裝置等。

[0306] 在圖 26 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0307] 圖 27 是可以用作暫存器 1196 的記憶元件 1200 的電路圖的一個例子。記憶元件 1200 包括當電源關閉時丟失儲存資料的電路 1201、當電源關閉時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0308] 在此，電路 1202 可以使用上述記憶體裝置。

在停止對記憶元件 1200 供應電源電壓時，GND（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0309] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的導通狀態或非導通狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體 1214 的導通狀態或非導通狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0310] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第

二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以採用對電容元件 1208 的一對電極中的另一個輸入固定電位的結構。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0311] 另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0312] 控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀

態。

[0313] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 27 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0314] 另外，雖然圖 27 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0315] 在圖 27 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道由氧化物半導體形成的電晶體。或者，

記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0316] 圖 27 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0317] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0318] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0319] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短直到在再次開始供應電源電壓之後電路 1201 再次保持原來的資料為止的時間。

[0320] 另外，在電路 1202 中，由電容元件 1208 保

持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（導通狀態或非導通狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0321] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在處理器整體或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制耗電量。

[0322] 雖然對將記憶元件 1200 用於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等、RF-ID（Radio Frequency Identification：射頻識別）。

[0323]

〈顯示裝置〉

下面說明根據本發明的一個方式的顯示裝置的結構例子。

[0324]

[結構例子]

圖 28A 示出根據本發明的一個方式的顯示裝置的俯視圖。此外，圖 28B 示出將液晶元件用於根據本發明的一個方式的顯示裝置的像素時的像素電路。另外，圖 28C 示出將有機 EL 元件用於根據本發明的一個方式的顯示裝置的像素時的像素電路。

[0325] 用於像素的電晶體可以使用上述電晶體。在此示出使用 n 通道型電晶體的例子。注意，也可以將藉由與用於像素的電晶體相同的製程製造的電晶體用作驅動電路。像這樣，藉由將上述電晶體用於像素或驅動電路，可以製造顯示品質或/及可靠性高的顯示裝置。

[0326] 圖 28A 示出主動矩陣型顯示裝置的俯視圖的一個例子。在顯示裝置的基板 5000 上設置有像素部 5001、第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 以及信號線驅動電路 5004。像素部 5001 藉由多個信號線與信號線驅動電路 5004 電連接並藉由多個掃描線與第一掃描線驅動電路 5002 及第二掃描線驅動電路 5003 電連接。另外，在由掃描線和信號線劃分的區域中分別設置有包括顯示元件的像素。此外，顯示裝置的基板 5000 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等連接部與時序控制電路（也稱為控制器、控制 IC）電連接。

[0327] 第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 及信號線驅動電路 5004 與像素部 5001 相同地形成在基板 5000 上。因此，與另外製造驅動電路的情況

相比，可以減少製造顯示裝置的成本。此外，在另外製造驅動電路時，佈線之間的連接數增加。因此，藉由在基板 5000 上設置驅動電路，可以減少佈線之間的連接數，從而可以實現可靠性或/及良率的提高。

[0328]

[液晶顯示裝置]

此外，圖 28B 示出像素的電路結構的一個例子。在此示出可以應用於 VA 型液晶顯示裝置的像素等的像素電路。

[0329] 這種像素電路可以應用於一個像素包括多個像素電極的結構。各像素電極連接到不同的電晶體，且各電晶體被構成為能夠由不同的閘極信號驅動。由此，可以獨立地控制施加到多域設計的像素的每一個像素電極的信號。

[0330] 分離電晶體 5016 的閘極佈線 5012 和電晶體 5017 的閘極佈線 5013 以對它們供應不同的閘極信號。另一方面，電晶體 5016 和電晶體 5017 共同使用用作資料線的源極電極或汲極電極 5014。電晶體 5016 和電晶體 5017 適當地使用上述電晶體。由此，可以提供顯示品質或/及可靠性高的液晶顯示裝置。

[0331] 說明與電晶體 5016 電連接的第一像素電極及與電晶體 5017 電連接的第二像素電極的形狀。第一像素電極和第二像素電極的形狀被狹縫分離。第一像素電極具有擴展為 V 字型的形狀，而第二像素電極被形成為圍繞第

一像素電極。

[0332] 電晶體 5016 的閘極電極與閘極佈線 5012 電連接，而電晶體 5017 的閘極電極與閘極佈線 5013 電連接。對閘極佈線 5012 和閘極佈線 5013 供應不同的閘極信號來使電晶體 5016 和電晶體 5017 的工作時序互不相同，從而可以控制液晶的配向。

[0333] 此外，也可以由電容佈線 5010、用作電介質的閘極絕緣體、與第一像素電極或第二像素電極電連接的電容電極形成電容元件。

[0334] 在多域結構中，一個像素包括第一液晶元件 5018 和第二液晶元件 5019。第一液晶元件 5018 由第一像素電極、反電極和其間的液晶層構成，而第二液晶元件 5019 由第二像素電極、反電極和其間的液晶層構成。

[0335] 另外，根據本發明的一個方式的顯示裝置不侷限於圖 28B 所示的像素電路。例如，也可以對圖 28B 所示的像素電路進一步提供開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0336]

[有機 EL 顯示裝置]

圖 28C 示出像素的電路結構的另一個例子。在此示出使用有機 EL 元件的顯示裝置的像素結構。

[0337] 在有機 EL 元件中，藉由對發光元件施加電壓，來自有機 EL 元件所包括的一對電極中的一個的電子和來自該一對電極中的另一個的電洞注入包含發光有機化

合物的層中，從而電流流過。而且，藉由使電子和電洞再結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時發光。根據這種機制，這種發光元件被稱為電流激勵型發光元件。

[0338] 圖 28C 是示出像素電路的一個例子的圖。在此示出一個像素使用兩個 n 通道型電晶體的例子。另外，作為 n 通道型電晶體可以使用上述電晶體。此外，該像素電路可以應用數位時間灰階驅動。

[0339] 說明可以應用的像素電路的結構及應用數位時間灰階驅動時的像素的工作。

[0340] 像素 5020 包括開關電晶體 5021、驅動電晶體 5022、發光元件 5024 以及電容元件 5023。在開關電晶體 5021 中，閘極電極與掃描線 5026 連接，第一電極（源極電極和汲極電極中的一個）與信號線 5025 連接，第二電極（源極電極和汲極電極中的另一個）與驅動電晶體 5022 的閘極電極連接。在驅動電晶體 5022 中，閘極電極藉由電容元件 5023 與電源線 5027 連接，第一電極與電源線 5027 連接，第二電極與發光元件 5024 的第一電極（像素電極）連接。發光元件 5024 的第二電極相當於共用電極 5028。共用電極 5028 與形成在同一基板上的共用電位線電連接。

[0341] 開關電晶體 5021 及驅動電晶體 5022 可以使用上述電晶體。由此，實現顯示品質或/及可靠性高的有機 EL 顯示裝置。

[0342] 將發光元件 5024 的第二電極（共用電極 5028）的電位設定為低電源電位。注意，低電源電位是低於供應給電源線 5027 的高電源電位的電位，例如低電源電位可以為 GND、0V 等。藉由將高電源電位和低電源電位設定為發光元件 5024 的正向臨界電壓以上，並對發光元件 5024 施加其電位差，在發光元件 5024 中使電流流過而使發光元件 5024 發光。注意，發光元件 5024 的正向電壓是指得到所希望的亮度時的電壓，至少包括正向臨界電壓。

[0343] 另外，有時藉由代替使用驅動電晶體 5022 的閘極電容省略電容元件 5023。驅動電晶體 5022 的閘極電容也可以形成在通道形成區域和閘極電極之間。

[0344] 接著，說明輸入到驅動電晶體 5022 的信號。在採用電壓輸入電壓驅動方式時，對驅動電晶體 5022 輸入使驅動電晶體 5022 成為開啟或關閉的兩種狀態的視訊信號。另外，為了使驅動電晶體 5022 在線性區域中工作，對驅動電晶體 5022 的閘極電極施加高於電源線 5027 的電壓的電壓。此外，對信號線 5025 施加對電源線電壓加上驅動電晶體 5022 的臨界電壓 Vth 的值以上的電壓。

[0345] 當進行類比灰階驅動時，對驅動電晶體 5022 的閘極電極施加對發光元件 5024 的正向電壓加上驅動電晶體 5022 的臨界電壓 Vth 的值以上的電壓。另外，輸入視訊信號以使驅動電晶體 5022 在飽和區域中工作，在發光元件 5024 中使電流流過。此外，為了使驅動電晶體

5022 在飽和區域中工作，使電源線 5027 的電位高於驅動電晶體 5022 的閘極電位。藉由採用類比方式的視訊信號，可以在發光元件 5024 中使與視訊信號對應的電流流過，而進行類比灰階驅動。

[0346] 此外，根據本發明的一個方式的顯示裝置不侷限於圖 28C 所示的像素結構。例如，還可以對圖 28C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0347] 當對圖 28A 至 28C 所例示的電路應用上述電晶體時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以採用能夠由控制電路等控制第一閘極電極的電位，且對第二閘極電極輸入低於供應到源極電極的電位的電位等如上所例示的電位的結構。

[0348] 例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL 元件(包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件)、LED(白色 LED、紅色 LED、綠色 LED、藍色 LED 等)、電晶體(根據電流發光的電晶體)、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥(GLV)、電漿顯示面板(PDP)、MEMS(微機電系統)、數位微鏡裝置(DMD)、DMS(數位微快門)、IMOD(干涉調變)元件、電濕

潤(electrowetting)元件、壓電陶瓷顯示器、使用碳奈米管等的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器(FED)或 SED 方式平面型顯示器(SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器)等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器(透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器)等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。

[0349] 另外，為了將白色光(W)用於背光(有機 EL 元件、無機 EL 元件、LED、螢光燈等)使顯示裝置進行全彩色顯示，也可以使用著色層(也稱為濾光片)。作為著色層，例如可以適當地組合紅色(R)、綠色(G)、藍色(B)、黃色(Y)等而使用。藉由使用著色層，可以與不使用著色層的情況相比進一步提高顏色再現性。此時，也可以藉由設置包括著色層的區域和不包括著色層的區域，將不包括著色層的區域中的白色光直接用於顯示。藉由部分地設置不包括著色層的區域，在顯示明亮的影像時，有時可以減少著色層所引起的亮度降低而減少耗電量兩成至三成左右。但是，在使用有機 EL 元件或無機 EL 元件等自發光元件進行全彩色顯示時，也可以從具有各發光顏色的元件發射

R、G、B、Y、W。藉由使用自發光元件，有時與使用著色層的情況相比進一步減少耗電量。

[0350]

〈模組〉

下面，參照圖 29 說明應用根據本發明的一個方式的半導體裝置的顯示模組。

[0351] 在圖 29 所示的顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間包括與 FPC8003 連接的觸控面板 8004、與 FPC8005 連接的單元 8006、背光單元 8007、框架 8009、印刷電路板 8010 和電池 8011。另外，有時不包括背光單元 8007、電池 8011、觸控面板 8004 等。

[0352] 例如，可以將根據本發明的一個方式的半導體裝置用於單元 8006。

[0353] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及單元 8006 的尺寸可以適當地改變形狀或尺寸。

[0354] 觸控面板 8004 可以是電阻膜式或靜電電容式觸控面板，可以重疊於單元 8006。此外，也可以使單元 8006 的反基板（密封基板）具有觸控面板功能。或者，也可以在單元 8006 的每個像素中設置光感測器，以製成光觸控面板。或者，也可以在單元 8006 的每個像素中設置觸控感測器用電極，以製成靜電電容式觸控面板。

[0355] 背光單元 8007 包括光源 8008。也可以採用將光源 8008 設置於背光單元 8007 的端部，且使用光擴散板的結構。

[0356] 除了單元 8006 的保護功能之外，框架 8009 還可以具有用來阻擋因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0357] 印刷電路板 8010 包括電源電路以及用來輸出視訊信號和時脈信號的信號處理電路。作為用來給電源電路供應電力的電源，既可以使用外部的商用電源，又可以使用另外設置的電池 8011。在使用商用電源的情況下也可以不包括電池 8011。

[0358] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0359]

〈電子裝置〉

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴顯示裝置）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 30A 至

30F 示出這些電子裝置的具體例子。

[0360] 圖 30A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 30A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0361] 圖 30B 是可攜式資料終端，包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0362] 圖 30C 是膝上型個人電腦，包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0363] 圖 30D 是電冷藏冷凍箱，包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0364] 圖 30E 是視頻攝影機，包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0365] 圖 30F 是一般的汽車，包括車體 951、車輪 952、儀表板 953 及燈 954 等。

實施例 1

[0366] 在本實施例中，製造具有根據本發明的一個方式的半導體的樣本，對其物理性質進行評價。

[0367]

〈平坦性〉

首先，對半導體的平坦性進行評價。下面說明樣本的製造方法。

[0368] 首先，準備矽基板作為基板。

[0369] 接著，藉由熱氧化法在矽基板上形成 100nm 厚的氧化矽膜。

[0370] 接著，藉由濺射法形成 300nm 厚的氧化矽膜。接著，藉由 CMP 法對該氧化矽膜的頂面進行平坦化處理。此外，經過平坦化處理而使氧化矽膜的厚度薄

12nm 左右且使頂面的平均表面粗糙度為 0.2nm 以下。

[0371] 接著，藉由濺射法形成 20nm 厚的第一半導體。使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成第一半導體。此外，將使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成的 In-Ga-Zn 氧化物層也記載為〈134〉。注意，進行成膜時的條件為如下：基板溫度為 200℃、250℃、300℃或 350℃；氧氣體比率[O_2/（O_2+Ar）]為 33%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0372] 或者，使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:2[原子數比]）靶材形成第一半導體。此外，將使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:2[原子數比]）靶材形成的 In-Ga-Zn 氧化物層也記載為〈132〉。注意，進行成膜時的條件為如下：基板溫度為 200℃；氧氣體比率[O_2/（O_2+Ar）]為 33%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0373] 接著，在有的樣本中，形成 15nm 厚的第二半導體。使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）靶材形成第二半導體。此外，將使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）靶材形成的 In-Ga-Zn 氧化物層也記載為〈111〉。注意，進行成膜時的條件為如下：基板溫度為 300℃；氧氣體比率[O_2/（O_2+Ar）]為 33%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0374] 接著，利用由精工電子奈米科技（SII Nano Technology）有限公司製造的掃描型探針顯微鏡 SPA-500

測量 RMS（均方根）粗糙度、Ra 以及 P-V。注意，將測定範圍設定為 1μm×1μm，將資料個數設定為 X=512、Y=512。

[0375] 圖 35A 至 35C 示出其結果。基板溫度越高，RMS 粗糙度越大。尤其是，將〈111〉配置在〈134〉上的疊層結構（也記載為〈134〉\〈111〉）有明顯的上述傾向。另外，可知在〈132〉單層以及將〈111〉配置在〈132〉上的疊層結構（也記載為〈132〉\〈111〉）中，RMS 粗糙度減小到 0.4nm 以下。

[0376] 另外，Ra 有與 RMS 粗糙度相同的傾向。可知在〈132〉單層以及〈132〉\〈111〉中，Ra 減小到 0.3nm 以下。

[0377] 另外，可知在〈134〉\〈111〉中基板溫度越高 P-V 越大。另一方面，在〈134〉單層中與基板溫度無關而 P-V 恆定。

[0378] 接著，對上述樣本中具有與〈134〉單層相同的結構且只第一半導體的成膜條件與〈134〉單層不同的樣本測量 RMS 粗糙度、Ra 以及 P-V。使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成第一半導體。注意，進行成膜時的條件為如下：基板溫度為 200℃；氧氣體比率[O_2/（O_2+Ar）]為 11%、33%、50%或 100%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0379] 圖 36A 至 36C 示出其結果。可知氧氣體比率越高，RMS 粗糙度越大。另外，可知在氧氣體比率為 11%的樣本及氧氣體比率為 33%的樣本中，RMS 粗糙度都

減小到 0.5nm 以下。

[0380] 另外，Ra 具有與 RMS 粗糙度相同的傾向。另外，可知在氧氣體比率為 11%的樣本及氧氣體比率為 33%的樣本中，Ra 都減小到 0.4nm 以下。

[0381] 此外，P-V 位於 4nm 以上且 6nm 以下的範圍。

[0382]

〈結晶性〉

接著，對半導體的結晶性進行評價。

[0383] 樣本的結構與進行了平坦性的評價的〈134〉單層的樣本的結構相同。就是說，樣本具有如下結構：矽基板、藉由熱氧化法形成在矽基板表面上的 100nm 厚的氧化矽膜、藉由濺射法形成在該 100nm 厚的氧化矽膜上且藉由 CMP 法被平坦化了的 288nm 厚（該厚度為藉由 CMP 法薄膜化了的厚度）的氧化矽膜、以及藉由濺射法形成在該 288nm 厚的氧化矽膜上的 20nm 厚的半導體〈134〉。

[0384] 注意，將〈134〉的成膜時的基板溫度設定為室溫（大約為 25℃。也稱為 RT）、100℃、200℃、250℃、300℃或 350℃。此外，準備將對於各基板溫度條件的氧氣體比率設定為 11%、33%、50%或 100%的樣本。

[0385] 藉由 Out-of-Plane 法利用由 Bruker AXS 公司製造的 X 射線繞射裝置 D8 ADVANCE 進行結晶性的評價。

[0386] 圖 37 示出結果。在室溫下形成的所有樣本以

及在 100℃下形成的氧氣體比率為 11%的樣本及氧氣體比率為 33%的樣本以外，可以確認到在 2θ為 30°附近表示配向性的峰值。可以估計出具有該峰值的樣本包含在 c 軸方向上具有配向性的 In-Ga-Zn 氧化物的結晶。由此，可以推測出該樣本是 CAAC-OS。

[0387] 接著，使用束徑為 1nm 的奈米束對上述樣本中在 200℃下形成的氧氣體比率為 11%的樣本、33%的樣本及 100%的樣本進行電子繞射，測量 CAAC 化率。作為 CAAC 化率的測定方法參照上述實施方式的記載。

[0388] 在此，對各樣本的頂面以 5nm/秒鐘的速度進行掃描 60 秒鐘，來獲得透過電子繞射圖案。並且，在每個 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，從而導出 CAAC 化率。

[0389] 圖 38 示出各樣本的 CAAC 化率。氧氣體比率為 11%的〈134〉的 CAAC 化率是 91.8%（非 CAAC 化率是 8.2%）。另外，氧氣體比率為 33%的〈134〉的 CAAC 化率是 95.0%（非 CAAC 化率是 5.0%）。此外，氧氣體比率為 100%的〈134〉的 CAAC 化率是 100.0%（非 CAAC 化率是 0.0%）。由此可知，上述各樣本都是 CAAC-OS。也可知氧氣體比率越高，非 CAAC 化率越低（CAAC 化率越高）。換句話說，也可知氧氣體比率越低，非 CAAC 化率越高（CAAC 化率越低）。

[0390] 此外，與 CAAC-OS 不同的繞射圖案的大部分為與 nc-OS 相同的繞射圖案。

[0391] 接著，藉由使〈134〉的厚度厚到 100nm 提高 XRD 強度，再度進行結晶性的比較。注意，其他條件相同。

[0392] 圖 39 示出結果。2θ為 30°附近的峰值強度都比〈134〉為 20nm 的樣本大。由此，在〈134〉為 20nm 時觀察不到峰值的在室溫下形成的樣本中，在氧氣體比率為 50%及氧氣體比率為 100%時觀察到峰值。

[0393] 在此，圖 40 示出在各樣本中可認為起因於 CAAC 的 30°附近的峰值的 XRD 強度（也稱為 XRD 強度|CAAC）。注意，藉由去除起因於基板等其他原因的背景只分離峰值，以洛倫茲函數使該峰值進行擬合來導出 XRD 強度。

[0394] 從上述結晶性的評價可知在形成 CAAC-OS 時存在某個臨界值。就是說，可知為了形成作為品質良好的 CAAC-OS 的〈134〉單層，例如可以將成膜時的基板溫度設定為 100℃以上、較佳為設定為 200℃以上。注意，也可知成膜時的基板溫度越高或者氧氣體比率越高，結晶性未必得到提高。因此，根據被要求的結晶性的程度而適當地選擇條件的組合是重要的。

[0395]

〈膜密度〉

接著，評價半導體的膜密度。

[0396] 樣本的結構與進行了結晶性的評價的〈134〉單層的樣本的結構相同。就是說，樣本具有如下結構：矽基

板、藉由熱氧化法形成在矽基板表面上的 100nm 厚的氧化矽膜、藉由濺射法形成在該 100nm 厚的氧化矽膜上且藉由 CMP 法被平坦化了的 288nm 厚（該厚度為藉由 CMP 法薄膜化了的厚度）的氧化矽膜、以及藉由濺射法形成在該 288nm 厚的氧化矽膜上的 20nm 厚的半導體〈134〉。

[0397] 藉由 X 射線反射率(XRR：X-Ray Reflection)測定法利用由 Bruker AXS 公司製造的 X 射線繞射裝置 D8 ADVANCE 進行膜密度的測定。注意，在底面及頂面中的介面層以外的部分獲得膜密度。

[0398] 圖 41 示出結果。〈134〉單層的膜密度在 5.5g/cm^3 至 6.4g/cm^3 的範圍。另外，在很多情況下有如下傾向：成膜時的氧氣體比率及基板溫度越高，膜密度越高。

[0399] 接著，橫軸表示膜密度且縱軸表示 XRD 強度|CAAC，將圖 40 及圖 41 的資料（24 個）標繪在圖表中（參照圖 42）。在圖 42 中表示近似直線及相關係數 R 的二乘（也記載為 R^2）。由此可知，〈134〉的膜密度與結晶性之間有正相關關係。就是說，結晶性越高膜密度越高，而膜密度越高結晶性越高。

[0400]

〈氧的擴散〉

接著，對半導體中的氧的擴散進行評價。下面說明樣本的製造方法。

[0401] 首先，作為基板，準備一邊為 126.6mm 的方

型矽基板。

[0402] 接著，藉由熱氧化法在矽基板上形成 100nm 厚的氧化矽膜。

[0403] 接著，藉由濺射法形成 300nm 厚的氧化矽膜。使用合成石英靶材形成氧化矽膜。另外，作為氧氣體使用 $^{18}O_2$，氧氣體比率[O_2/（O_2+Ar）]為 50%。接著，藉由 CMP 法對該氧化矽膜的頂面進行平坦化處理。此外，經過平坦化處理而使氧化矽膜的厚度薄 12nm 左右且使上表面的平均表面粗糙度為 0.2nm 以下。

[0404] 接著，藉由濺射法形成 50nm 厚的半導體。使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成半導體。注意，進行成膜時的條件為如下：基板溫度為 100℃、200℃、250℃或 300℃；氧氣體比率[O_2/（O_2+Ar）]為 11%、33%、50%或 100%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0405] 接著，進行加熱處理。在氮氛圍下進行一個小時的加熱處理，然後在氧氛圍下進行一個小時的加熱處理。加熱處理的溫度為 350℃、400℃或 450℃。

[0406] 使用 ULVAC-PHI, Inc.製造的動態 2 次離子質譜儀 PHI ADEPT 1010 測量〈134〉中的深度方向上的 ^{18}O 的濃度分佈來評價氧的擴散。如上所述，藉由測量從包含氧的同位素元素的 ^{18}O 的氧化矽膜向〈134〉^{18}O 的擴散，即使在主要成分為氧的層中也可以評價氧的擴散。

[0407] 圖 43 示出成膜時的每個基板溫度（也稱為成

膜溫度）的各樣本的深度方向上的 ^{18}O 的濃度分佈。將成膜時的氧氣體比率設定為 33%。圖 44 示出成膜時的氧氣體比率及各樣本的深度方向上的 ^{18}O 的濃度分佈。將成膜時的基板溫度設定為 200℃。另外，在圖 43 及圖 44 中，為了進行比較還示出沒有進行加熱處理的樣本（也稱為 as-depo）的深度方向上的 ^{18}O 的濃度分佈。

[0408] 接著，使用圖 45 說明如下步驟：根據深度方向上的 ^{18}O 的濃度分佈計算出來自氧化矽膜的 ^{18}O 在〈134〉中擴散的長度。

[0409] 如圖 45 等所示，使用 $^{18}O_2$ 形成的氧化矽膜（也稱為 SiOx ^{18}O）具有 ^{18}O 的深度方向上的濃度分佈大致恆定的區域。在此，在圖式中使用虛線表示氧化矽膜中的 ^{18}O 濃度的最大值。接著，在圖式中使用虛線表示氧化矽膜中的 ^{18}O 濃度的最大值乘以 1/e 的值。將成為該值的深度設定為氧化矽膜與〈134〉的境界。注意，在本實施例中沒有進行該區域的 ^{18}O 濃度的定量。

[0410] 此外，在〈134〉中也具有 ^{18}O 的深度方向上的濃度分佈大致恆定的區域。該區域中的 ^{18}O 濃度為與 ^{18}O 的擴散無關而原來在〈134〉中包含的 ^{18}O 濃度的可能性很高。由此，有時在不具有該區域的樣本中對 ^{18}O 的擴散進行評價很困難。為了形成該區域，也可以適當地改變〈134〉的厚度。

[0411] 在本實施例中，將具有 ^{18}O 濃度從 ^{18}O 濃度的最大值乘以 1/e 的值到 $2\times10^{20}atoms/cm^3$（在圖式中用虛線

表示）的深度看作向〈134〉的 ^{18}O 的擴散區域而進行評價。

[0412] 就是說，使用圖 45 中所示的雙向箭頭表示的深度是在〈134〉中的 ^{18}O 的擴散長度。

[0413] 經過上述步驟導出圖 43 及圖 44 中所示的各樣本的 ^{18}O 的擴散長度。表 2 示出其結果。

[0414]

[表 2]

成膜溫度	氧氣體比率	擴散長度 [nm]			
		as-depo	350℃	400℃	450℃
100℃	33%	2.2	4.4	7.3	12.4
200℃	33%	2.9	3.6	5.8	8.7
250℃	33%	2.9	3.9	4.8	8.7
300℃	33%	2.9	2.9	4.8	7.7
200℃	11%	1.8	3.6	5.4	9.6
200℃	33%	2.4	3.0	4.8	7.8
200℃	50%	2.4	3.0	3.6	7.2
200℃	100%	2.4	3.0	4.2	6.0

[0415] 接著，在圖 46 中，橫軸表示膜密度且縱軸表示擴散長度，將資料標繪在圖表中。注意，其中利用上述膜密度。由此，這裡的〈134〉的厚度與對氧的擴散進行評價的樣本不同。並且，雖然有時經過成膜後的加熱處理而使膜密度變化，但是在本實施例中不考慮到該變化。

[0416] 在圖 46 中，關於 as-depo 的樣本，觀察不到膜密度與擴散長度之間的關係。由此可知，形成〈134〉時

等形成的氧化矽與〈134〉的混合區域的厚度幾乎與〈134〉的膜密度無關。此外，也可知該混合區域的厚度幾乎與〈134〉的成膜條件無關。

[0417] 也可知，在以 350℃、400℃或 450℃進行加熱處理時，膜密度越低擴散長度越大。就是說，可知：膜密度越低，氧越容易擴散。

[0418] 在本實施例中從多方面對半導體的物性進行了評價。評價的結果是，可以確認到平坦性與結晶性之間的關係、結晶性與膜密度之間的關係以及膜密度與氧的擴散之間的關係等各種關係。

實施例 2

[0419] 在本實施例中，製造根據本發明的一個方式的電晶體對其電特性進行評價。以下說明樣本的製造方法。注意，在本實施例中製造的電晶體的結構與圖 1A 和 1B 所示的結構不同之處在於：在本實施例中製造的電晶體不具有用作第二閘極電極的導電體 413。即，具有與圖 5B 所示的結構相同的結構。由此，下面使用圖 1A 和 1B、圖 5B、圖 12A 和 12B、圖 13A 至 13C2 以及圖 14A 和 14B 等所示的符號等進行說明。

[0420] 首先，準備矽基板作為基板 400。

[0421] 接著，藉由熱氧化法在矽基板上形成 100nm 厚的氧化矽膜。

[0422] 接著，藉由 PECVD 法形成 300nm 厚的氧氮化

矽膜。接著，藉由 CMP 法對該氧氮化矽膜的頂面進行平坦化處理。此外，經過平坦化處理而使氧氮化矽膜的厚度薄 12nm 左右且使頂面的平均表面粗糙度為 0.2nm 以下。

[0423] 接著，藉由離子植入法對氧氮化矽膜添加氧。在加速電壓為 60kV 的情況下以 2×10^{16}ions/cm^2 的 $^{16}O^+$離子濃度進行離子植入法。

[0424] 氧化矽膜及氧氮化矽膜相當於絕緣體 402。

[0425] 接著，藉由濺射法形成相當於半導體 406a 的 20nm 厚的半導體及相當於半導體 406b 的 15nm 厚的半導體的疊層結構。

[0426] 使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成相當於半導體 406a 的半導體。此外，將使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:4[原子數比]）靶材形成的 In-Ga-Zn 氧化物層也記載為〈134〉。注意，進行成膜時的條件為如下：基板溫度為 200℃；氧氣體比率[O_2/（O_2+Ar）]為 11%、33%、50%或 100%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0427] 使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）靶材形成相當於半導體 406b 的半導體。此外，將使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）靶材形成的 In-Ga-Zn 氧化物層也記載為〈111〉。注意，進行成膜時的條件為如下：基板溫度為 300℃；氧氣體比率[O_2/（O_2+Ar）]為 33%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0428] 接著，進行加熱處理。在氮氛圍下進行一個

小時的加熱處理，然後在氧氛圍下進行一個小時的加熱處理。加熱處理的溫度為 450℃。

[0429] 接著，藉由濺射法形成相當於導電體 416a 及導電體 416b 的 100nm 厚的鎢膜。

[0430] 接著，藉由濺射法形成相當於半導體 406c 的 5nm 厚的半導體，藉由 PECVD 法形成相當於絕緣體 412 的 20nm 厚的氧氮化矽膜，藉由濺射法形成 30nm 厚的氮化鉭膜，藉由濺射法形成 135m 厚的鎢膜。氮化鉭膜及鎢膜的疊層結構相當於導電體 404。此外，使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:2[原子數比]）靶材形成相當於半導體 406c 的半導體（也記載為〈132〉）。注意，進行成膜時的條件為如下：基板溫度為 200℃；氧氣體比率[O_2/（O_2+Ar）]為 33%；壓力為 0.4Pa；DC 功率為 0.5kW。

[0431] 接著，藉由濺射法形成相當於絕緣體 408 的 70nm 厚的氧化鋁膜，藉由 PECVD 法形成相當於絕緣體 418 的 300nm 厚的氧氮化矽膜。

[0432] 接著，進行加熱處理。在氧氛圍下進行一個小時的加熱處理。加熱處理的溫度為 400℃。

[0433] 在經過如上步驟製造的電晶體中形成端子部，測量其電特性。

[0434]

〈Vg-Id 特性〉

首先，對在施加汲極電壓的情況下使閘極電壓 Vg 變動時的汲極電流 Id 的變化（也稱為 Vg-Id 特性）進行測

定。在電晶體中，將通道長度 L 設定為 0.45μm，將通道寬度 W（SCW）設定為 1μm。

[0435] 將施加的汲極電壓 Vd 設定為 0.1V 或 3V。另外，在均勻地配置於基板面上的 25 個地點中以各汲極電壓進行測定。注意，有可能不算表示異常值的地點。

[0436] 圖 47 示出其結果。藉由分析圖 47 所示的值，導出場效移動率（也稱為μ_{FE}）、次臨界擺幅值(也稱為 S 值)以及漂移值（也稱為 Shift）。此外，根據汲極電壓 Vd 為 0.1V 時的 Vg-Id 特性導出場效移動率及次臨界擺幅值。根據汲極電壓 Vd 為 3V 時的 Vg-Id 特性導出漂移值。

[0437] 注意，在 Vg-Id 特性的曲線中，作為漂移值算出具有最大傾斜度的切線外推時的直線與汲極電流 Id 表示 1×10^{-12}A 的直線的交叉點的閘極電壓 Vg。

[0438] 圖 48 示出形成〈134〉時的氧氣體比率與上述電特性之間的關係。圖 48 所示的將點與點連接的線是將各點的中間值連接的線。

[0439] 從圖 48 可知，形成〈134〉時的氧氣體比率越低，場效移動率越高。另外，形成〈134〉時的氧氣體比率越低，次臨界擺幅值越低。此外，可知形成〈134〉時的氧氣體比率越低，雖然漂移值低但也能夠保持常關閉。

[0440] 在本實施例中，形成〈134〉時的氧氣體比率最小的 11%的電晶體實現良好的電特性。如實施例 1 所示，可知形成〈134〉時的氧氣體比率越低，平坦性越高。由

此，如圖 4B 所示的模型那樣，有由於物理的凹凸變小而電特性得到提高的可能性。此外，形成時的氧氣體比率小的〈134〉具有氧透過性較高的性質，由此與氧氣體比率較大的條件相比能夠減少〈111〉中的氧缺陷。就是說，有藉由使起因於氧缺陷的缺陷態密度低電特性得到提高的可能性。

[0441]

〈可靠性〉

接著，藉由閘極 BT 應力測試對電晶體的可靠性進行評價。

[0442] 說明正閘極 BT 應力測試(+GBT)的測量方法。為了測量正閘極 BT 應力測試的電晶體的初始(施加應力之前)電特性，測量將基板溫度設定為 40℃，將汲極電壓 Vd 設定為 0.1V 或 3V 且使閘極電壓從-3V 變化到+3V 時的汲極電流 Id 的變化特性，即 Vg-Id 特性。

[0443] 接著，在使基板溫度上升到 150℃之後，將電晶體的汲極電壓 Vd 設定為 0V。接著，以施加到相當於絕緣體 412 的絕緣體的電場強度成為 1.65MV/cm 的方式施加 3.3V 的閘極電壓而保持 3600 秒。

[0444] 此外，在負閘極 BT 應力測試(-GBT)中，施加-3.3V 的閘極電壓。

[0445] 圖 49 及圖 50 示出各樣本的閘極 BT 應力測試前後的 Vg-Id 特性。圖 49 示出對將通道長度 L 設定為 0.45μm 且將通道寬度 W（SCW）設定為 1μm 的電晶體進

行閘極 BT 壓力測試的結果，而圖 50 示出對將通道長度 L 設定為 0.45μm 且將通道寬度 W（SCW）設定為 10μm 的電晶體進行閘極 BT 應力測試的結果。在圖 49 及圖 50 中，實線表示閘極 BT 應力測試之前(進行 GBT 之前)的電特性，虛線表示閘極 BT 應力測試之後(進行 GBT 之後)的電特性。另外，在圖 49 及圖 50 中，上段示出正閘極 BT 應力測試前後的 Vg-Id 特性，下段示出負閘極 BT 應力測試前後的 Vg-Id 特性。

[0446] 表 3 示出根據圖 49 及圖 50 得到的閘極 BT 應力測試前後的臨界電壓的變化(ΔVth)以及漂移值的變化(ΔShift)。注意，臨界電壓(Vth)是指形成有通道時的閘極電壓(源極和閘極之間的電壓)。臨界電壓(Vth)是藉由如下步驟算出的閘極電壓 Vg：在以橫軸表示閘極電壓 Vg 且以縱軸表示汲極電流 Id 的平方根，而標繪出其資料來形成的曲線(Vg–√Id 特性)中，將具有最大傾斜度的切線外推時的直線與汲極電流 Id 的平方根為 0(Id 為 0A)處的交叉點的閘極電壓 Vg。

[0447]

[表 3]

W/L	氧氣體比率	+GBT ΔVth [V]	+GBT ΔShift [V]	-GBT ΔVth [V]	-GBT ΔShift [V]
W 1μm L 0.45μm	11%	0.49	0.46	0.12	0.13
	33%	0.45	0.47	0.12	0.08
	50%	0.51	0.56	0.17	0.13
	100%	0.49	0.47	0.17	0.08
W 10μm L 0.45μm	11%	0.16	0.17	-0.01	-0.01
	33%	0.20	0.19	0.01	-0.01
	50%	0.20	0.21	-0.06	-0.04
	100%	0.21	0.22	-0.06	-0.03

[0448] 圖 51A 和 51B 也示出表 3 所示的閘極 BT 應力測試的結果。從表 3 及圖 51A 和 51B 可知，有時形成〈134〉時的氧氣體比率越低，可靠性越高。

[0449] 有如下可能性：藉由使形成〈134〉時的氧氣體比率低，能夠使〈111〉及〈111〉的介面的態密度低，由此可靠性得到提高。

【符號說明】

[0450]

400：基板

402：絕緣體

404：導電體

406a：半導體

406b：半導體

406c：半導體

408：絕緣體

412：絕緣體

413：導電體

416a：導電體

416b：導電體

418：絕緣體

423a：低電阻區域

423b：低電阻區域

424a：導電體

424b：導電體

426a：導電體

426b：導電體

428：絕緣體

500：基板

502：絕緣體

504：導電體

506a：半導體

506b：半導體

506c：半導體

508：絕緣體

512：絕緣體

513：導電體

516a：導電體

516b：導電體

518：絕緣體

600：基板

604：導電體

606a：半導體

606b：半導體

606c：半導體

612：絕緣體

613：導電體

616a：導電體

616b：導電體

618：絕緣體

620：絕緣體

800：RF 標籤

801：通信器

802：天線

803：無線信號

804：天線

805：整流電路

806：恆壓電路

807：解調變電路

808：調變電路

809：邏輯電路

810：記憶體電路

811：ROM

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

911：外殼

912：外殼

913：顯示部

914：顯示部

915：連接部

916：操作鍵

921：外殼

922：顯示部

923：鍵盤

924：指向裝置

931：外殼

932：冷藏室門

933：冷凍室門

941：外殼

942：外殼

943：顯示部

944：操作鍵

945：透鏡

946：連接部

951：車

952：車輪

953：儀表板

954：燈

1189：ROM 介面

1190：基板

1191：ALU

1192：ALU 控制器

1193：指令解碼器

1194：中斷控制器

1195：時序控制器

1196：暫存器

1197：暫存器控制器

1198：匯流排介面

1199：ROM

1200：記憶元件

1201：電路

1202：電路

1203：開關

1204：開關

1206：邏輯元件

1207：電容元件

1208：電容元件

1209：電晶體

1210：電晶體

1213：電晶體

1214：電晶體

1220：電路

2100：電晶體

2200：電晶體

2201：絕緣體

2202：導電體

2203：導電體

2204：絕緣體

2205：導電體

2206：導電體

2207：絕緣體

2208：絕緣體

2211：半導體基板

2212：絕緣層

2213：閘極電極

2214：閘極絕緣體

2215：源極區域及汲極區域

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3200：電晶體

3300：電晶體

3400：電容元件

4000：RF 標籤

5000：基板

5001：像素部

5002：掃描線驅動電路

5003：掃描線驅動電路

5004：信號線驅動電路

5010：電容佈線

5012：閘極佈線

5013：閘極佈線

5014：汲極電極

5016：電晶體

5017：電晶體

5018：液晶元件

5019：液晶元件

5020：像素

5021：開關電晶體

5022：驅動電晶體

5023：電容元件

5024：發光元件

5025：信號線

5026：掃描線

5027：電源線

5028：共用電極

5120：基板

5161：區域

8000：顯示模組

8001：上蓋

8002：下蓋

8003：FPC

8004：觸控面板

8005：FPC

8006：單元

8007：背光單元

8008：光源

8009：框架

8010：印刷電路板

8011：電池

申請專利範圍

1. 一種半導體裝置，包括：

第一絕緣體；

該第一絕緣體之上的第一氧化物半導體膜；

該第一氧化物半導體膜之上的第二氧化物半導體膜；

該第二氧化物半導體膜之上的第一導電體及第二導電體；

與該第一氧化物半導體膜的側面、該第二氧化物半導體膜的頂面和側面、該第一導電體的頂面以及該第二導電體的頂面直接接觸的第三氧化物半導體膜；

該第三氧化物半導體膜之上的第二絕緣體；以及

隔著該第二絕緣體及該第三氧化物半導體膜面對該第二氧化物半導體膜的該頂面和該側面的第三導電體，

其中，該第一氧化物半導體膜的厚度大於該第三氧化物半導體膜的厚度，並且

其中，該第三氧化物半導體膜、該第二導電體及該第三導電體的端部中的任何端部在剖面圖中並不突出。

2. 一種半導體裝置，包括：

第一絕緣體；

該第一絕緣體之上的第一氧化物半導體膜；

該第一氧化物半導體膜之上的第二氧化物半導體膜；

該第二氧化物半導體膜之上的第一導電體及第二導電體；

與該第一氧化物半導體膜的側面、該第二氧化物半導

體膜的頂面和側面、該第一導電體的頂面以及該第二導電體的頂面直接接觸的第三氧化物半導體膜；

該第三氧化物半導體膜之上的第二絕緣體；以及

隔著該第二絕緣體及該第三氧化物半導體膜面對該第二氧化物半導體膜的該頂面和該側面的第三導電體，

其中，該第一氧化物半導體膜的厚度大於該第三氧化物半導體膜的厚度，並且

其中，該第三氧化物半導體膜和該第二絕緣體各自包含不與該第三導電體重疊的區域。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該第一絕緣體包括能夠藉由加熱處理而從該第一絕緣體中被釋放出的氧原子。

4. 根據申請專利範圍第 1 或 2 項之半導體裝置，還包括至少覆蓋該第一絕緣體、該第一氧化物半導體膜及該第二氧化物半導體膜的第三絕緣體，

其中，該第三絕緣體具有阻擋氧的功能，並且

其中，該第三絕緣體具有阻擋氫的功能。

5. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該第一氧化物半導體膜具有的電子親和力低於該第二氧化物半導體膜，並且

其中，該第三氧化物半導體膜具有的電子親和力低於該第二氧化物半導體膜。

6. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該第一氧化物半導體膜具有的能隙大於該第二

氧化物半導體膜，並且

其中，該第三氧化物半導體膜具有的能隙大於該第二氧化物半導體膜。

7. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該第二絕緣體包括藉由二次離子質譜分析法測出的氫濃度低於 $1\times10^{19}atoms/cm^3$ 的區域。

8. 根據申請專利範圍第 1 或 2 項之半導體裝置，還包括：

至少覆蓋該第一絕緣體、該第一氧化物半導體膜及該第二氧化物半導體膜的第三絕緣體；以及

該第三絕緣體之上的第四絕緣體，

其中，該第四絕緣體包括藉由二次離子質譜分析法測出的氫濃度比該第二氧化物半導體膜的區域還高的區域。

圖式

圖 1A

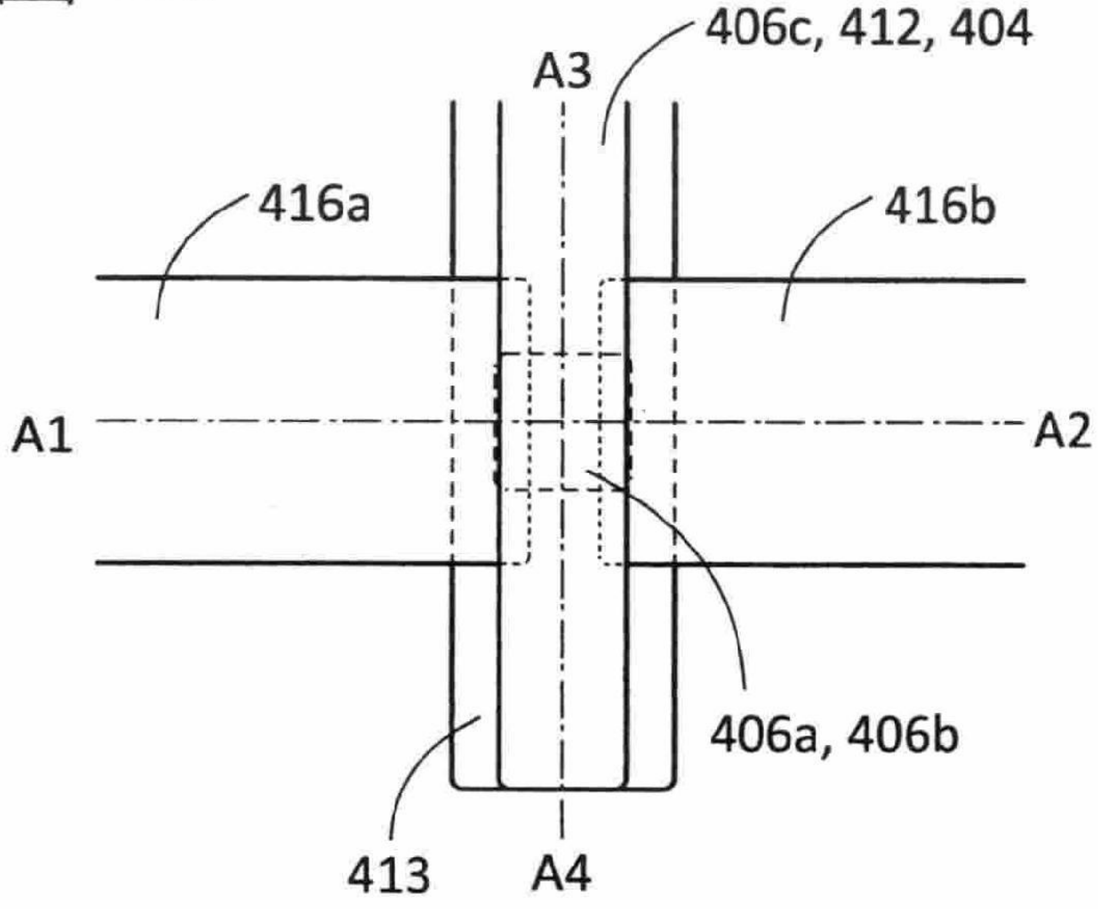

406c, 412, 404
A3
416a
416b
A1
A2
406a, 406b
413
A4

圖 1B

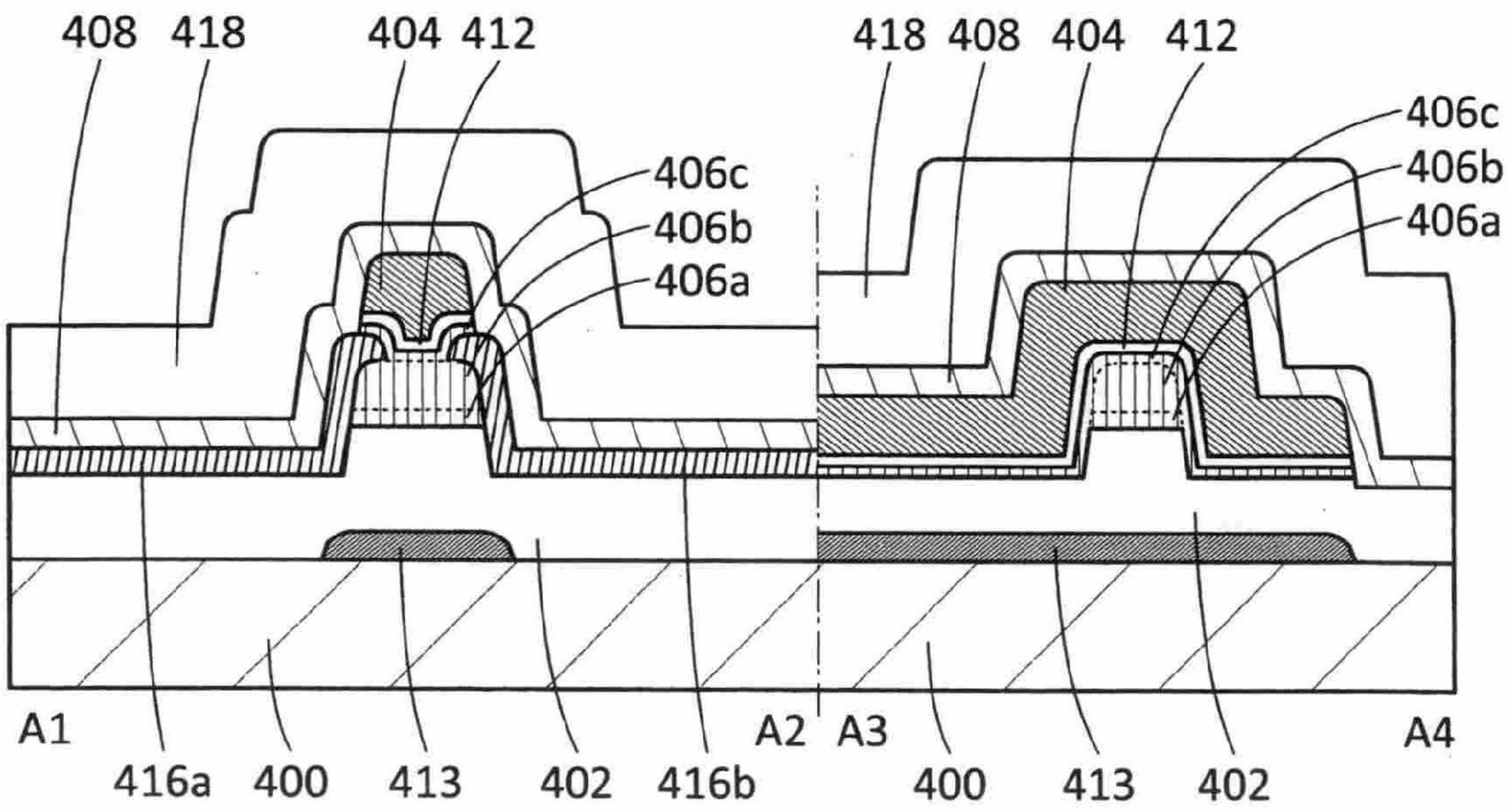

408
418
404
412
406c
406b
406a
A1
416a
400
413
402
416b
A2
A3
A4

圖 2

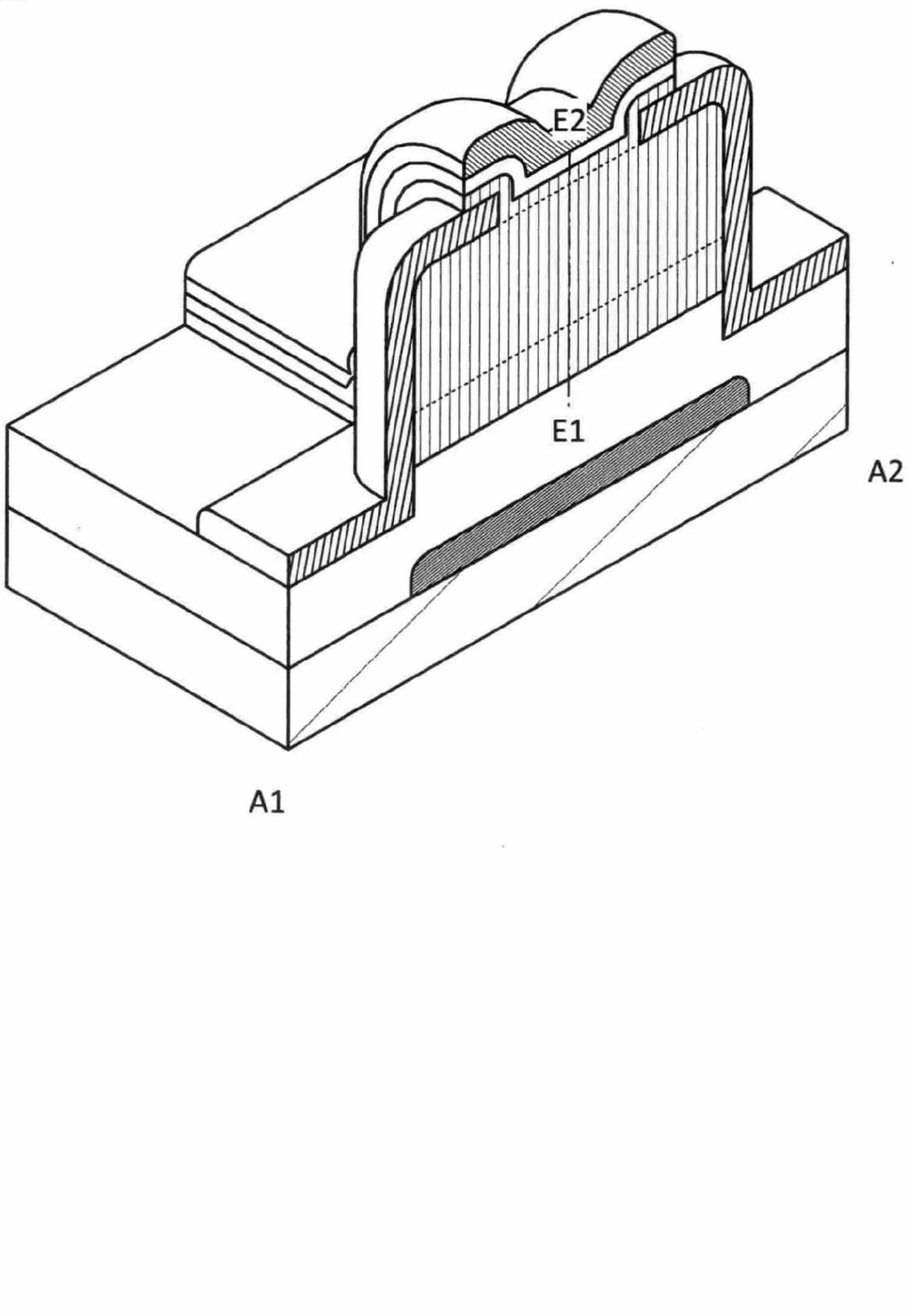


圖 3A

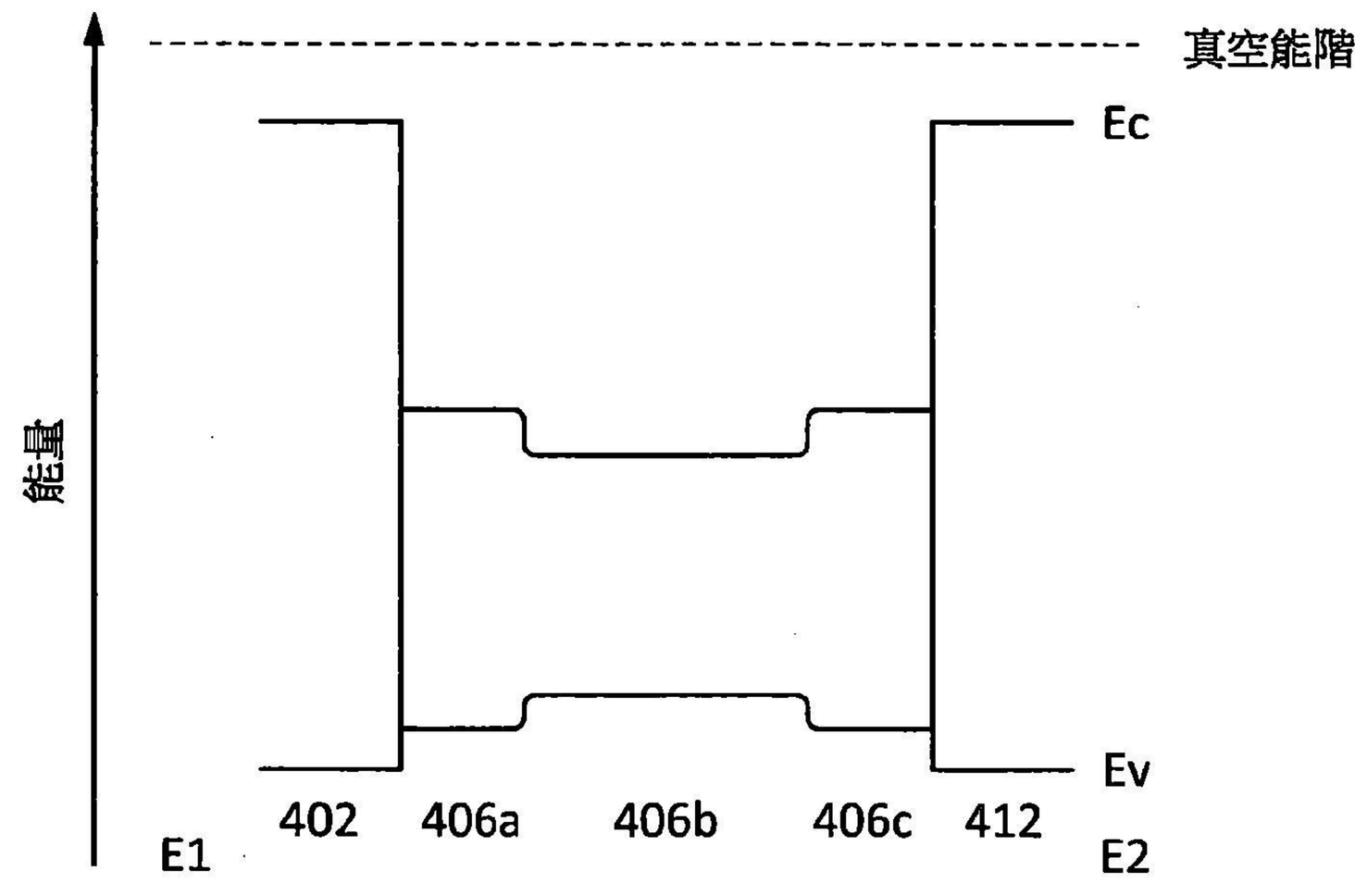


圖 3B

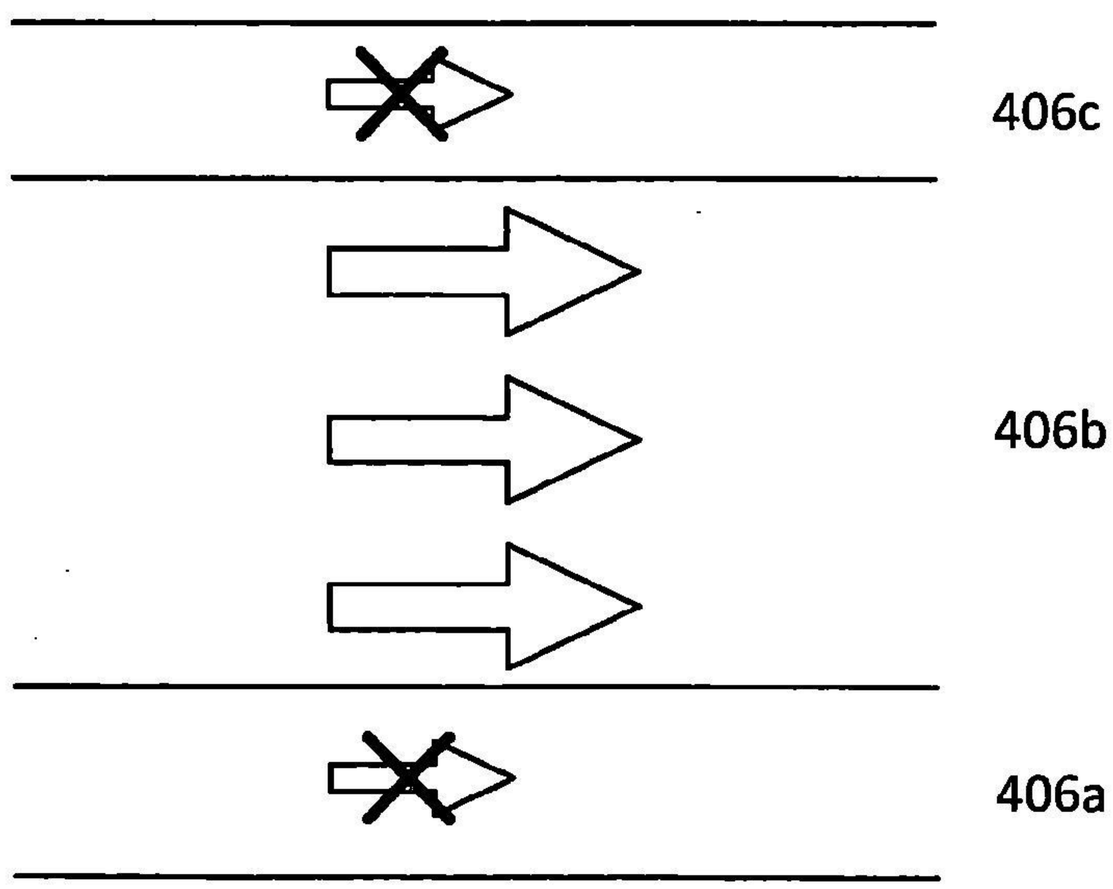


圖 4A

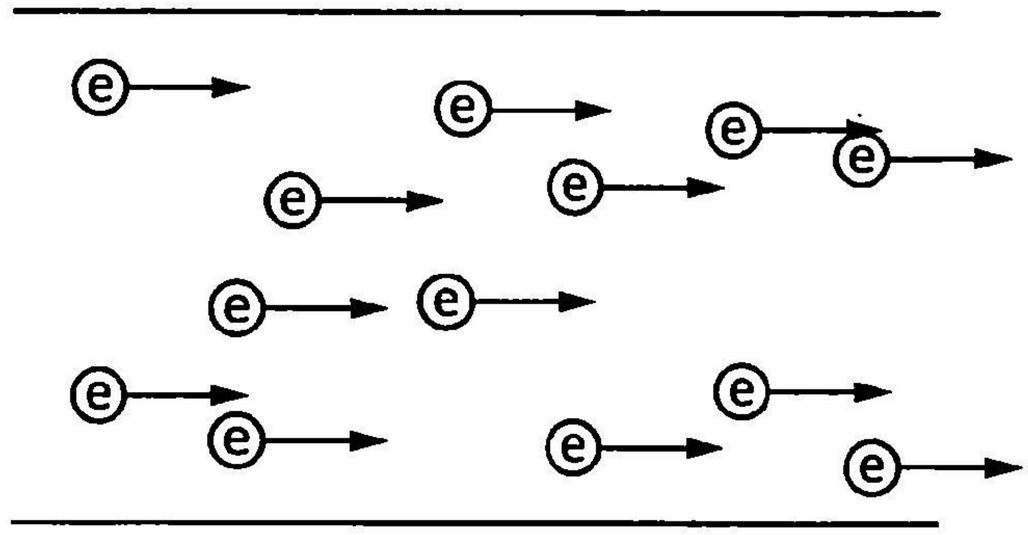


圖 4B

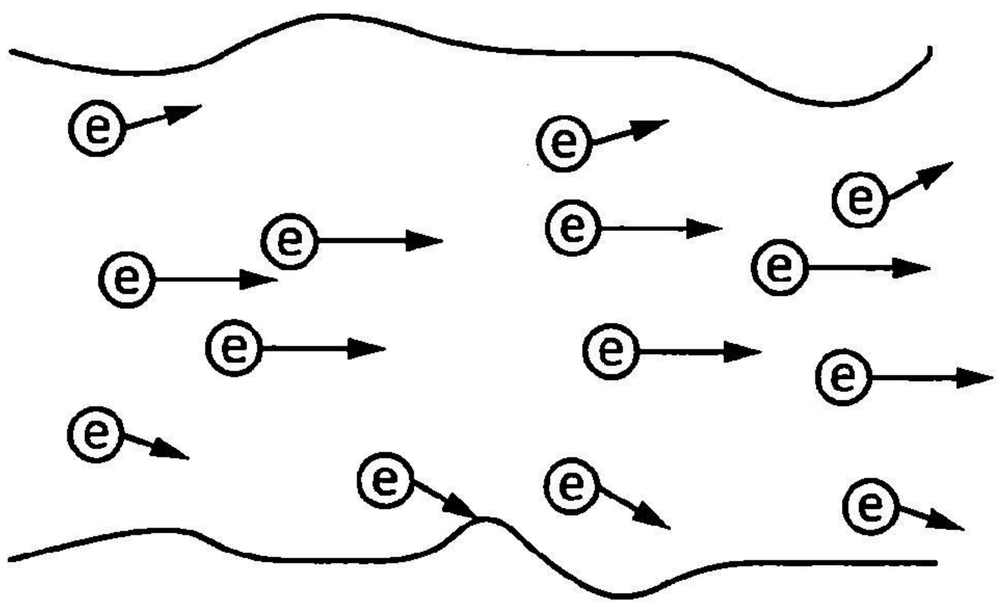


圖 4C

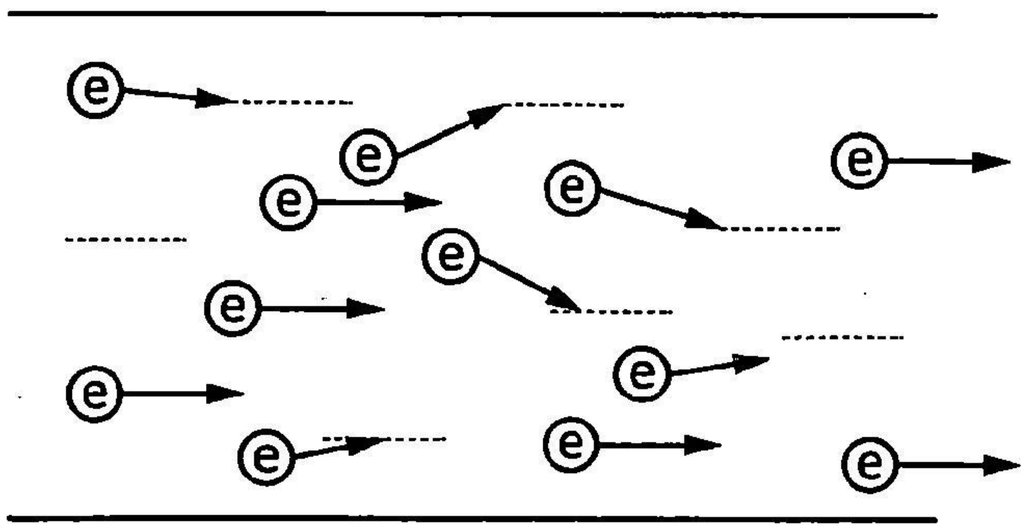


圖 5A

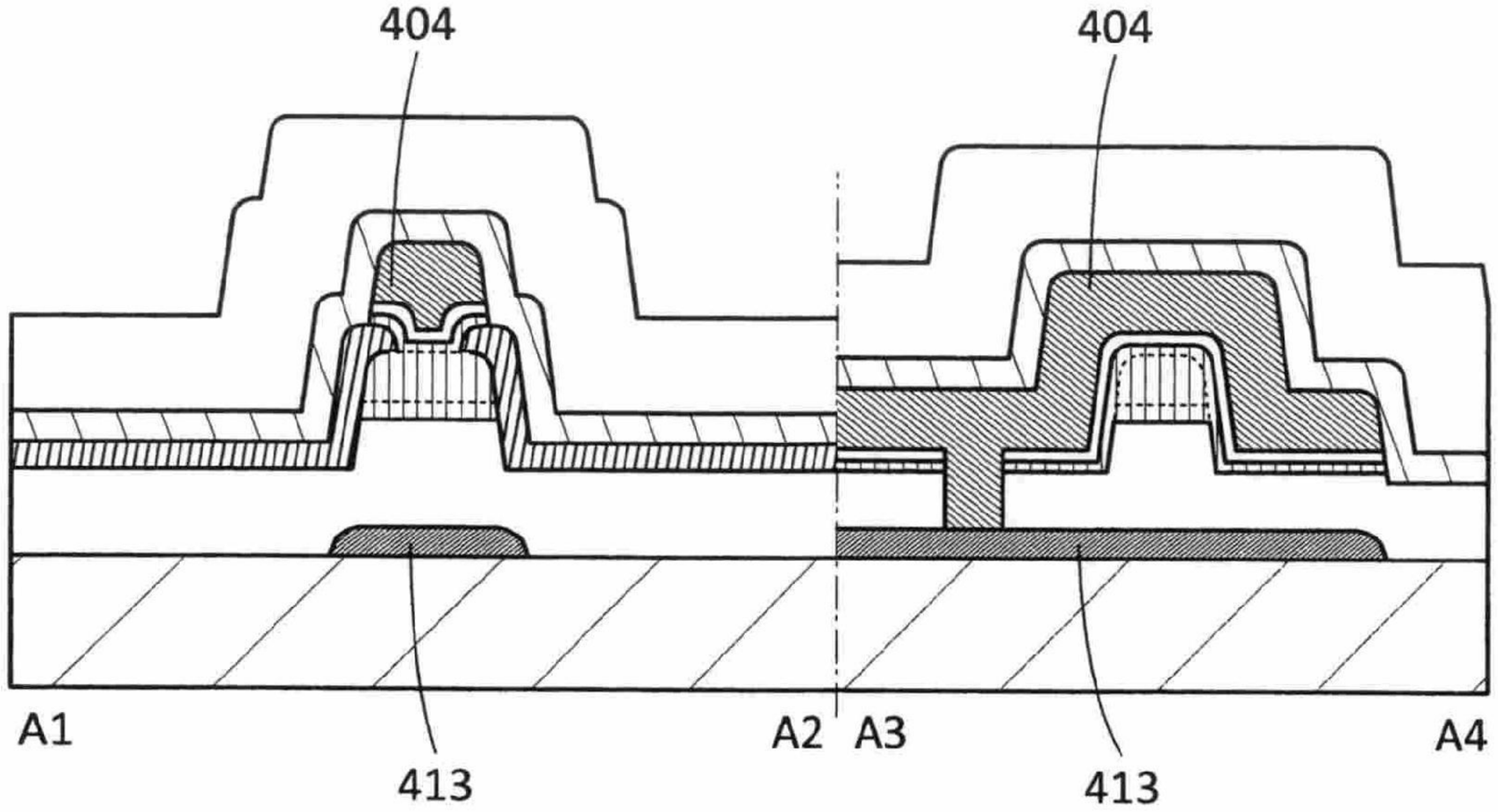


圖 5B

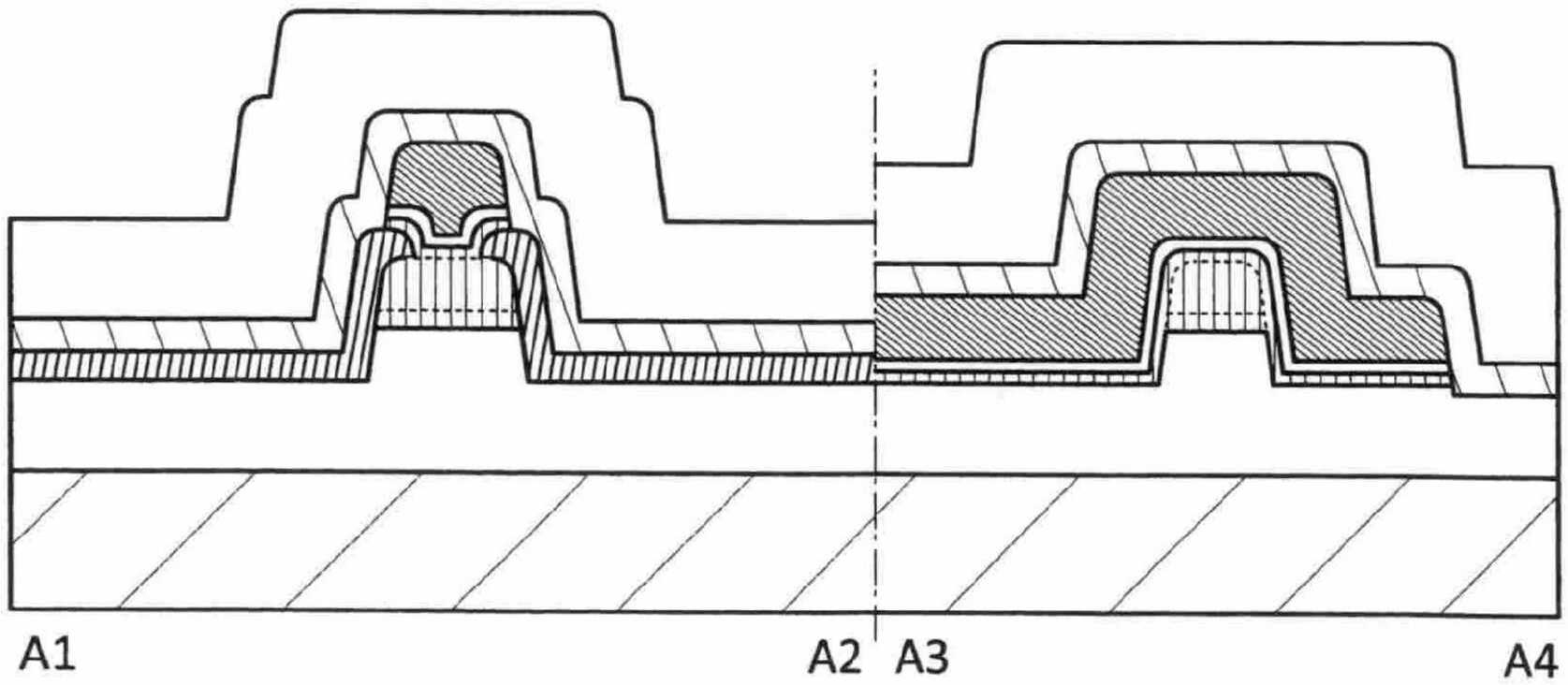


圖 6A

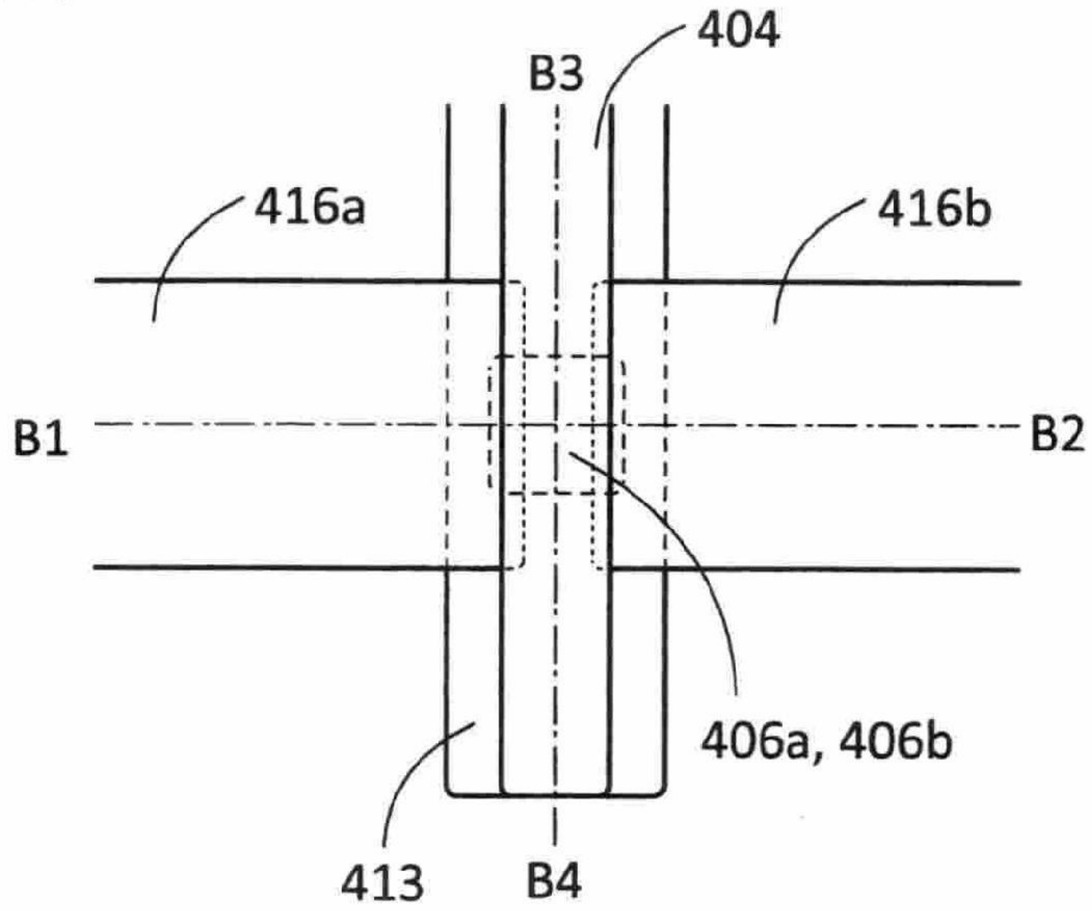

404
B3
416a
416b
B1
B2
406a, 406b
413
B4

圖 6B

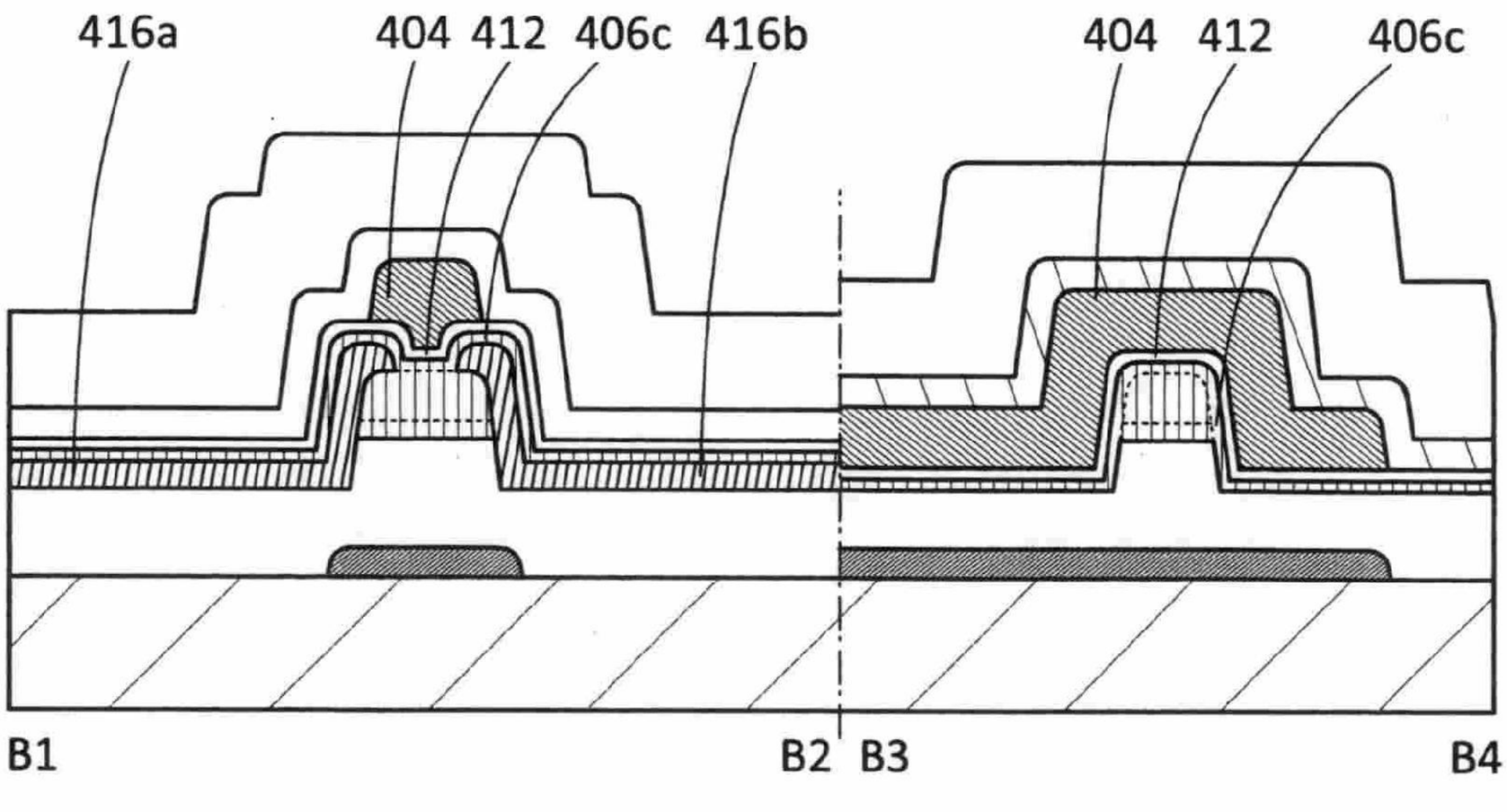

416a
404
412
406c
416b
404
412
406c
B1
B2
B3
B4

圖 7A

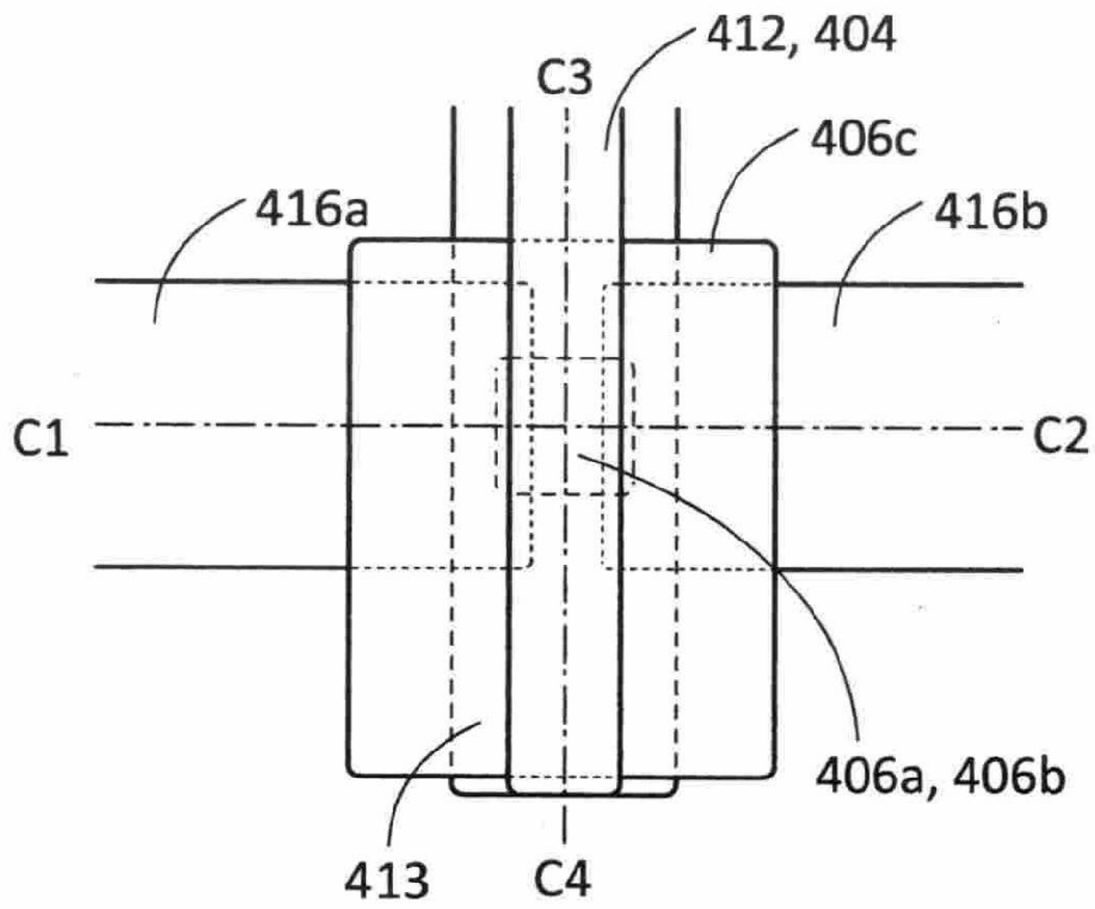

412, 404
C3
406c
416a
416b
C1
C2
406a, 406b
413
C4

圖 7B

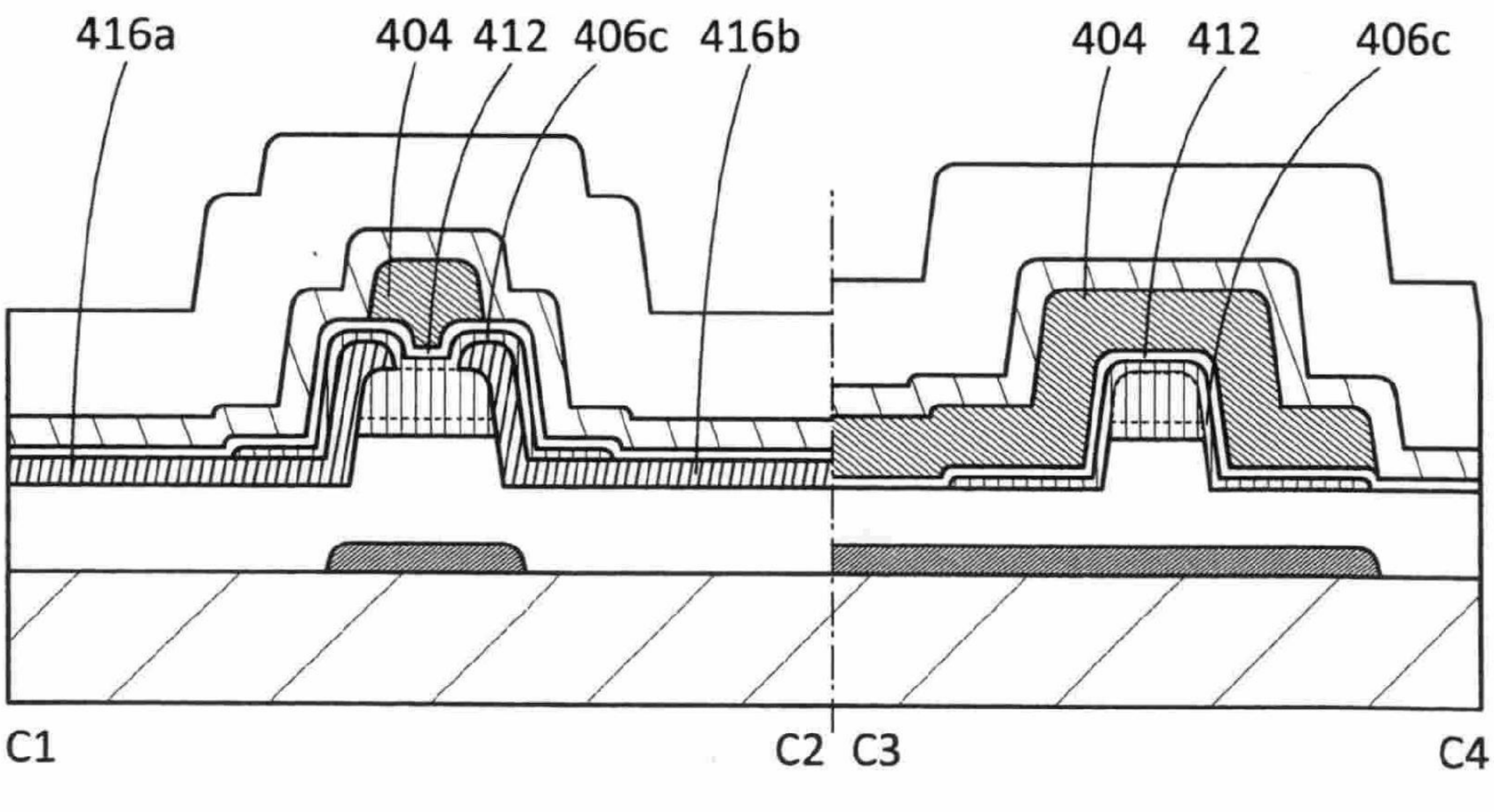

416a
404 412 406c 416b
404 412 406c
C1
C2 C3
C4

圖 8A

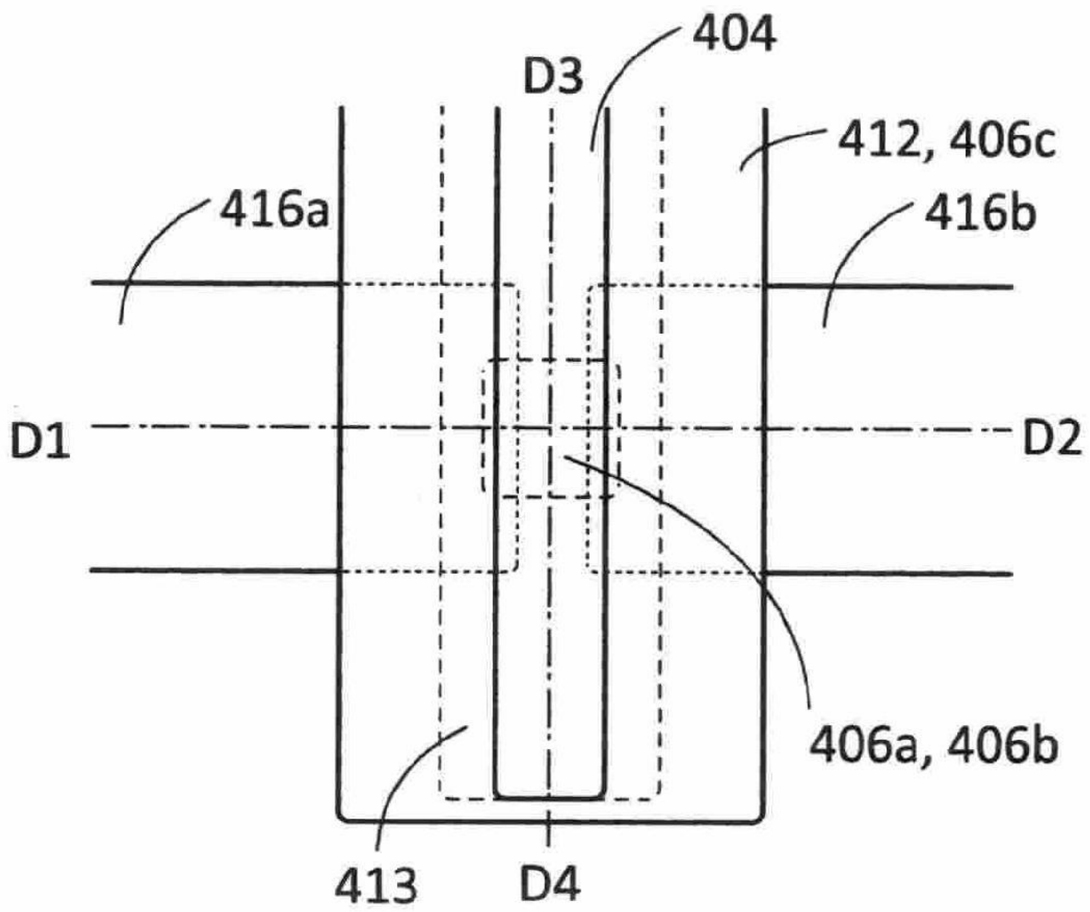

404
D3
412, 406c
416a
416b
D1
D2
406a, 406b
413
D4

圖 8B

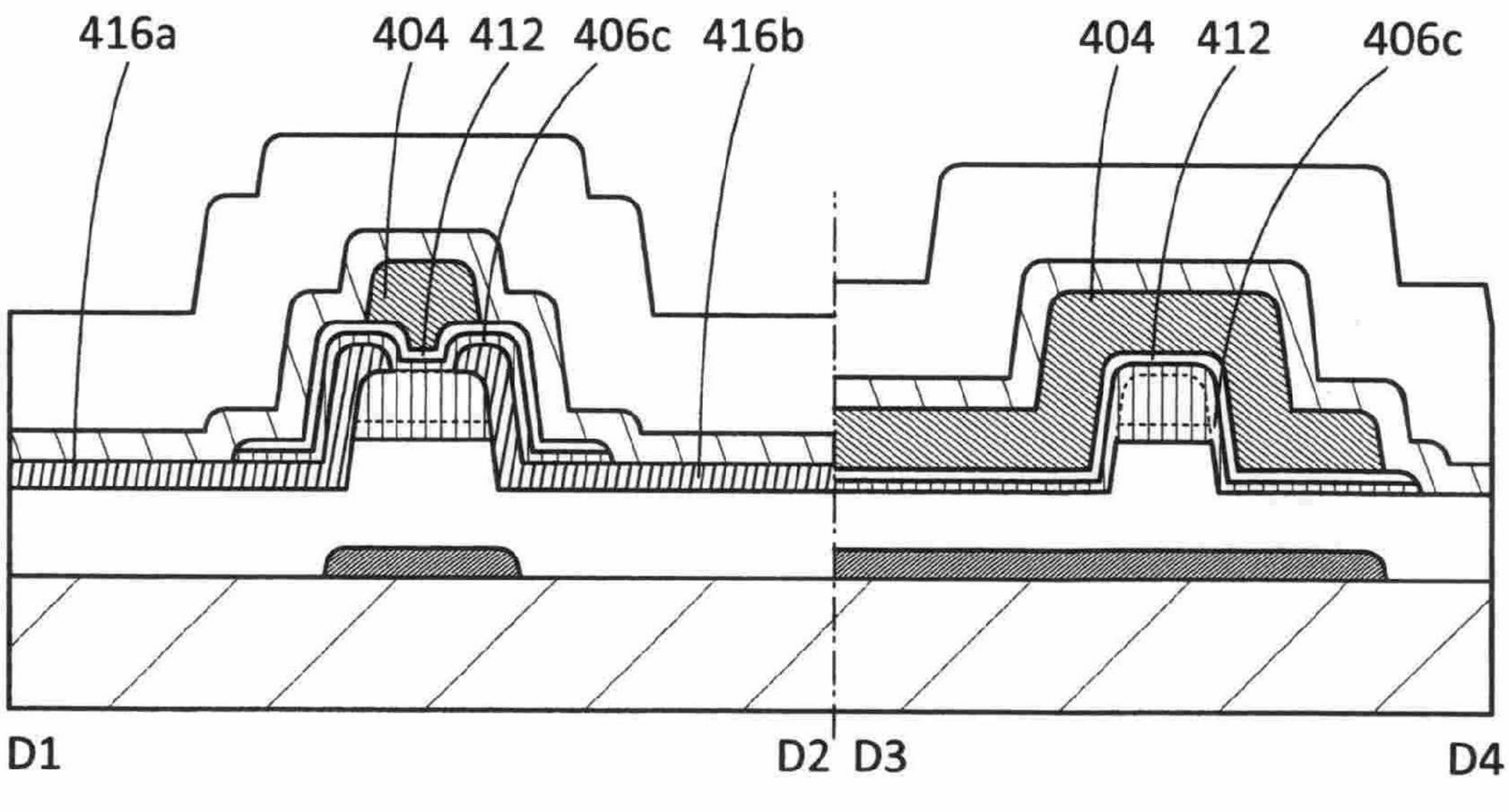

416a
404
412
406c
416b
404
412
406c
D1
D2
D3
D4

圖 9A

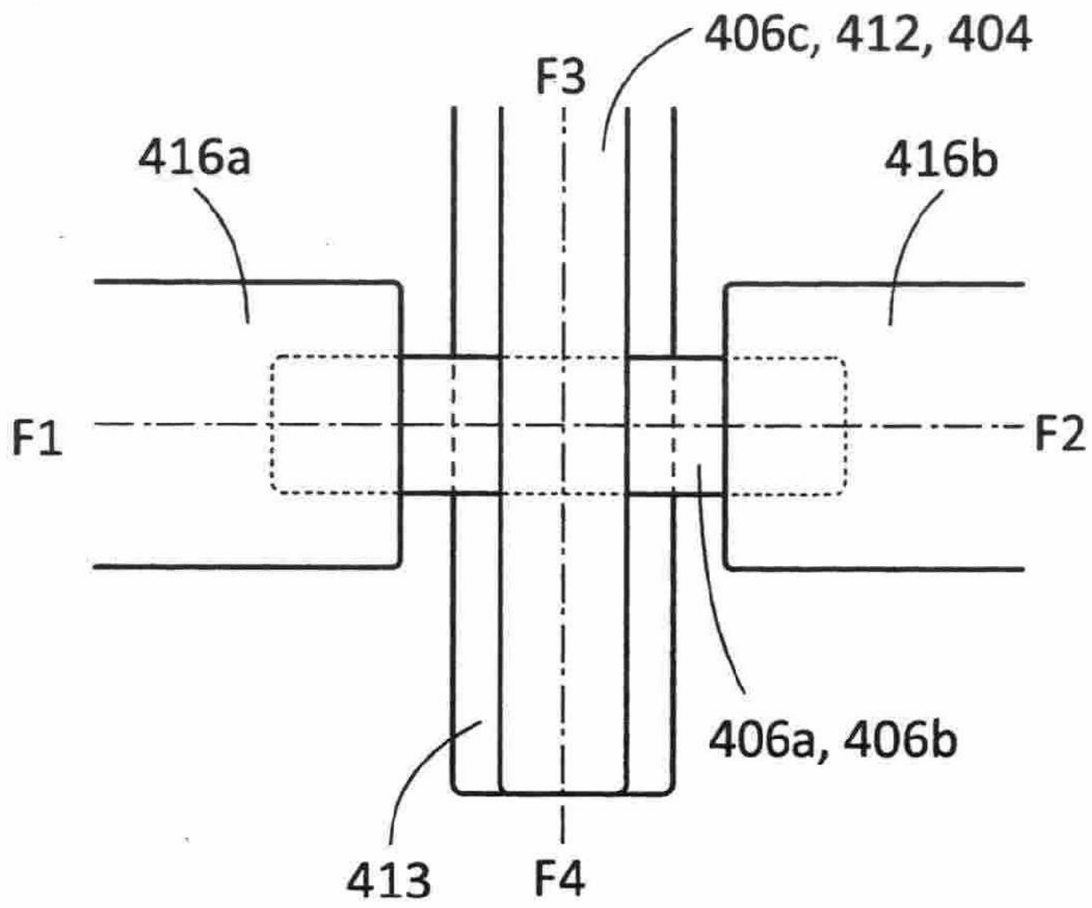

406c, 412, 404
F3
416a
416b
F1
F2
406a, 406b
413
F4

圖 9B

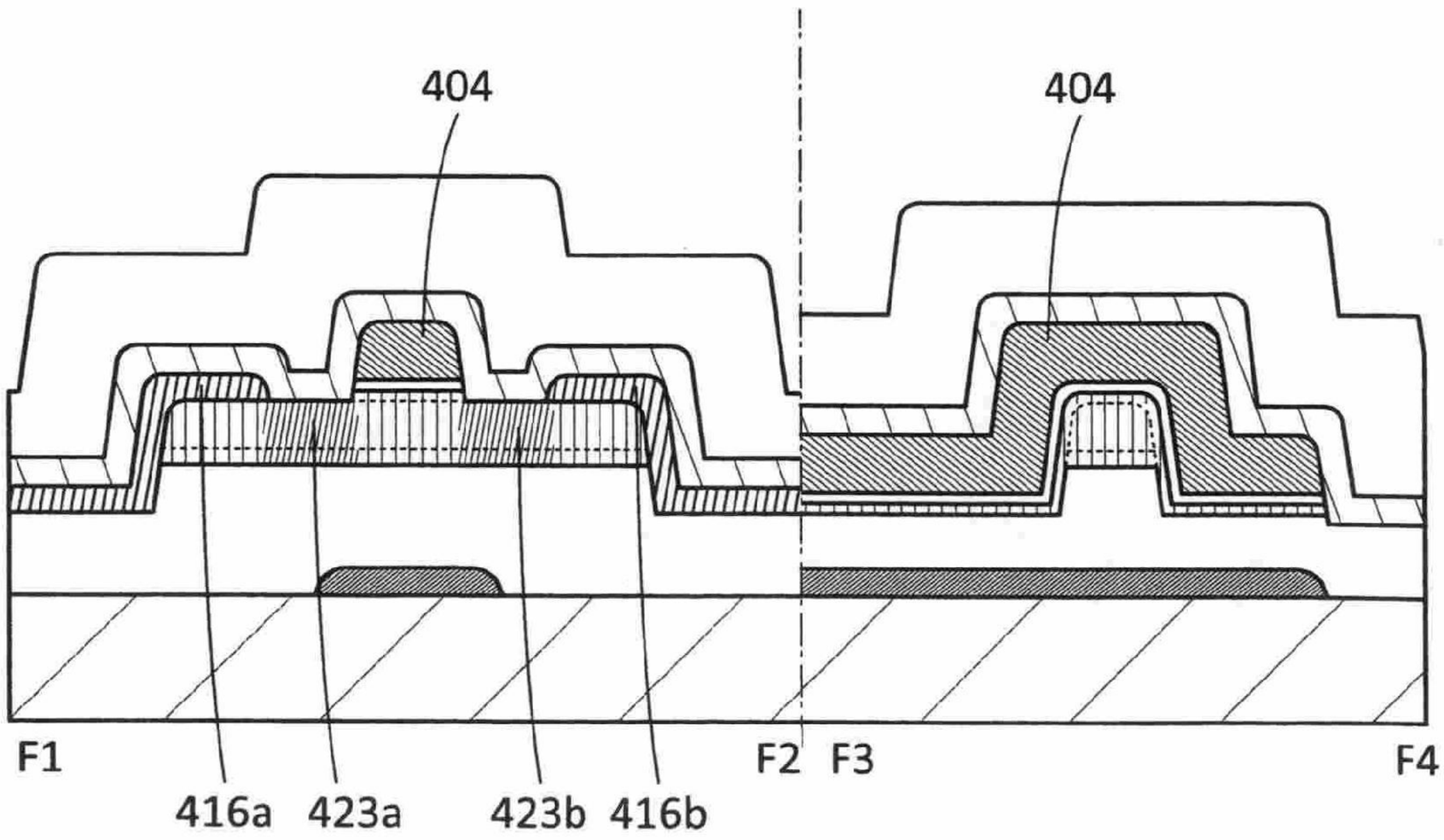

404
404
F1
416a
423a
423b
416b
F2
F3
F4

圖 10A

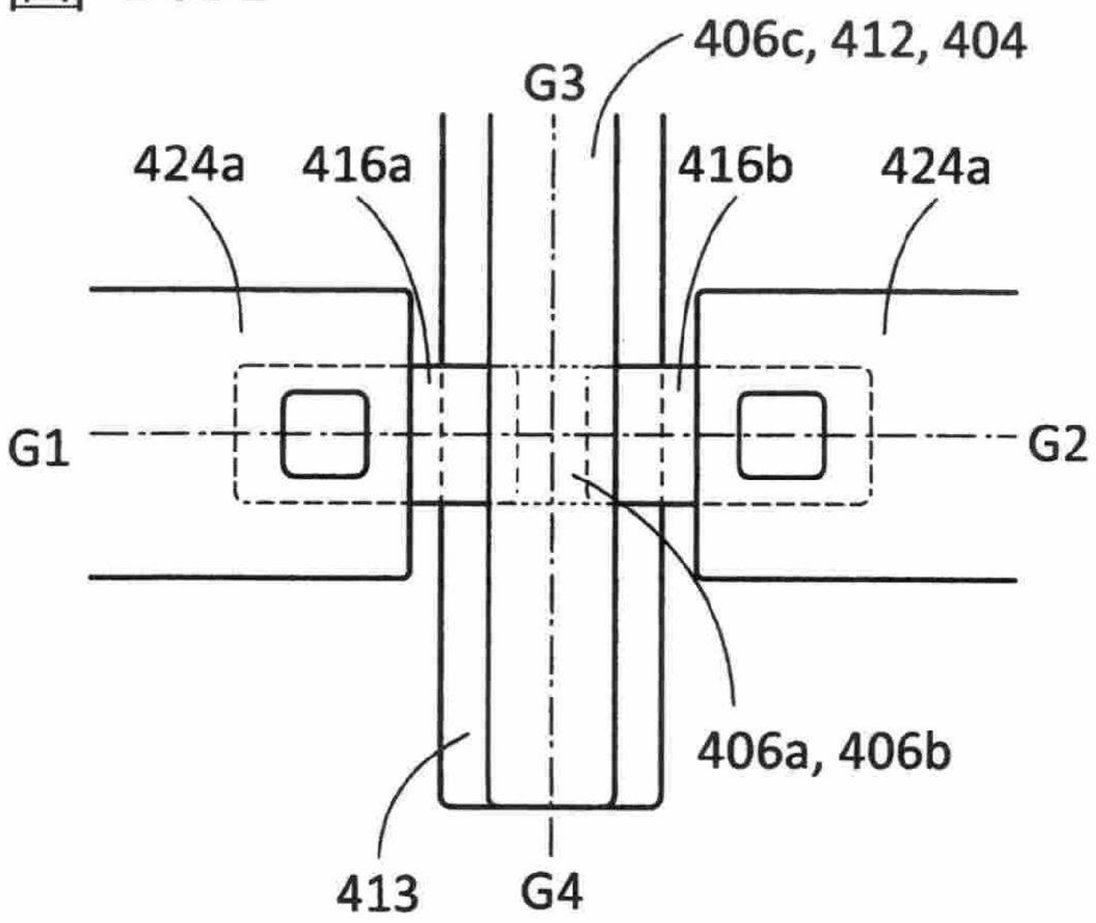

406c, 412, 404
G3
424a
416a
416b
424a
G1
G2
406a, 406b
413
G4

圖 10B

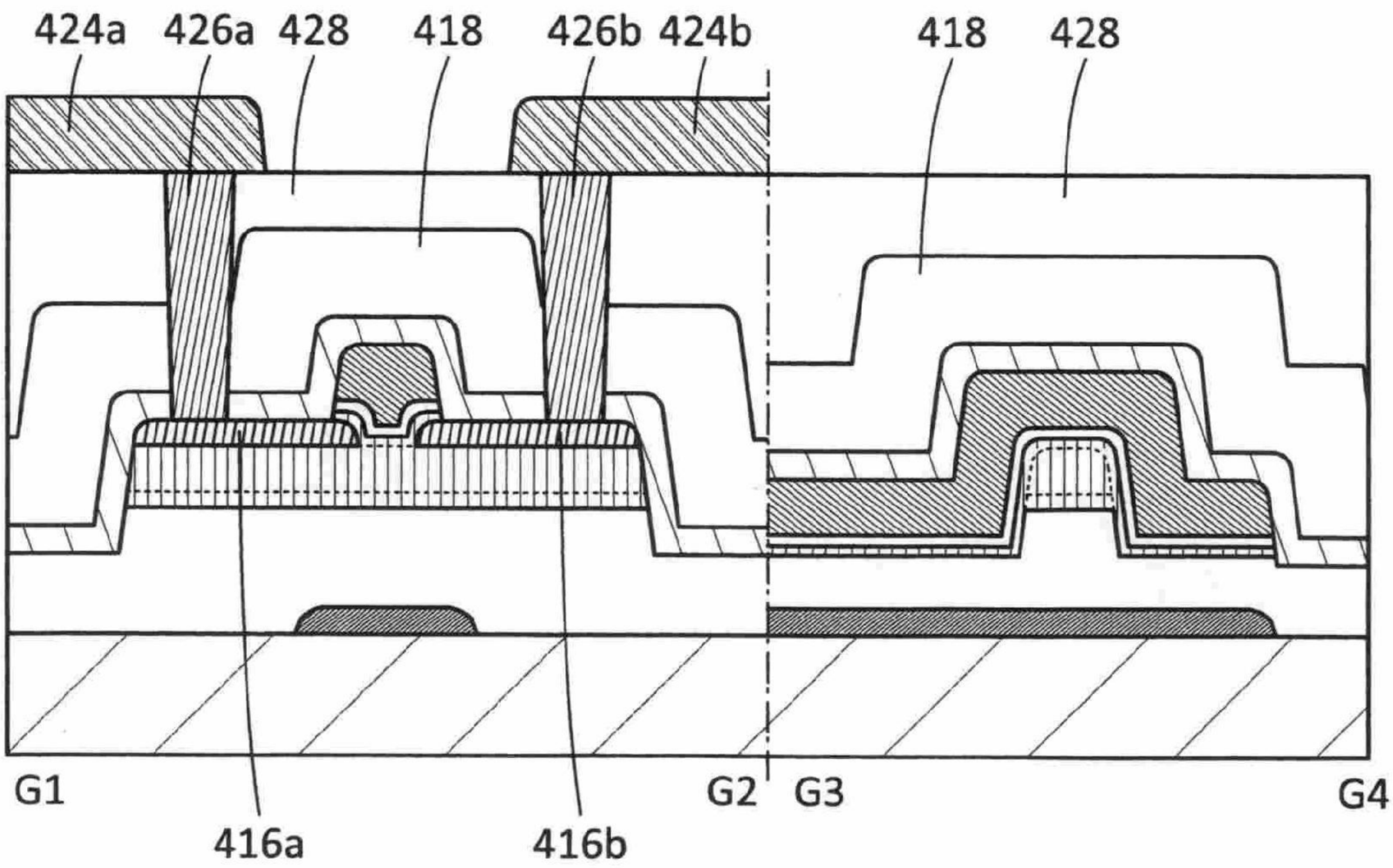

424a
426a
428
418
426b
424b
418
428
G1
G2
G3
G4
416a
416b

圖 11A

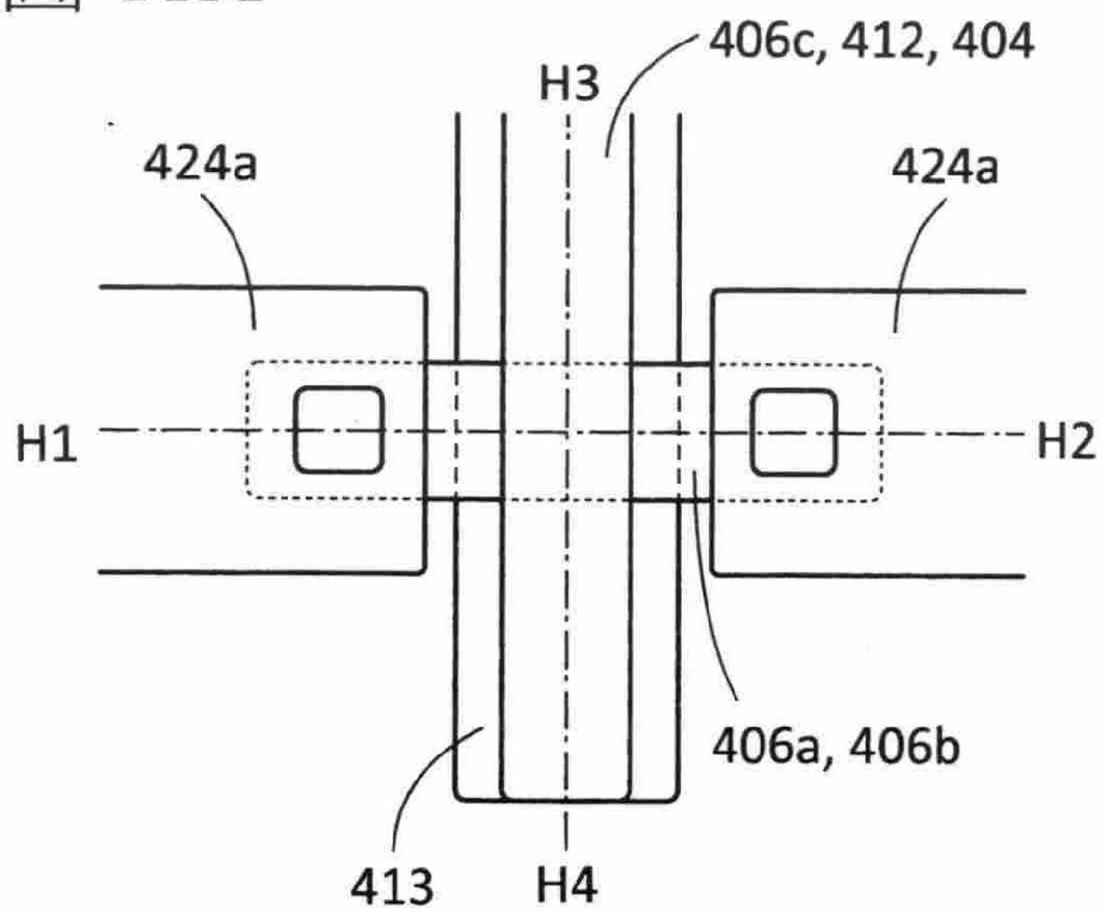

406c, 412, 404
H3
424a
424a
H1
H2
406a, 406b
413
H4

圖 11B

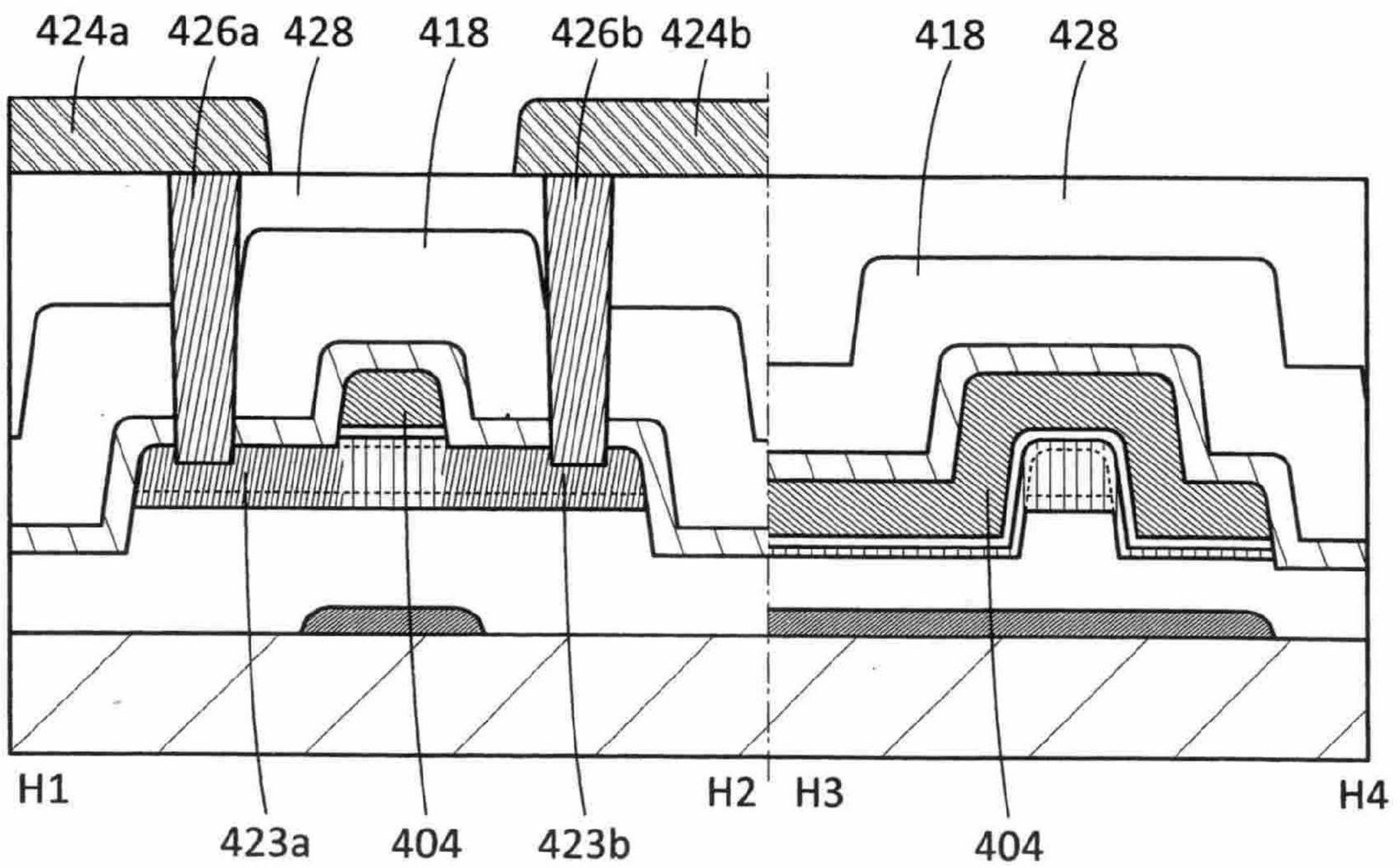

424a
426a
428
418
426b
424b
418
428
H1
H2
H3
H4
423a
404
423b
404

圖 12A

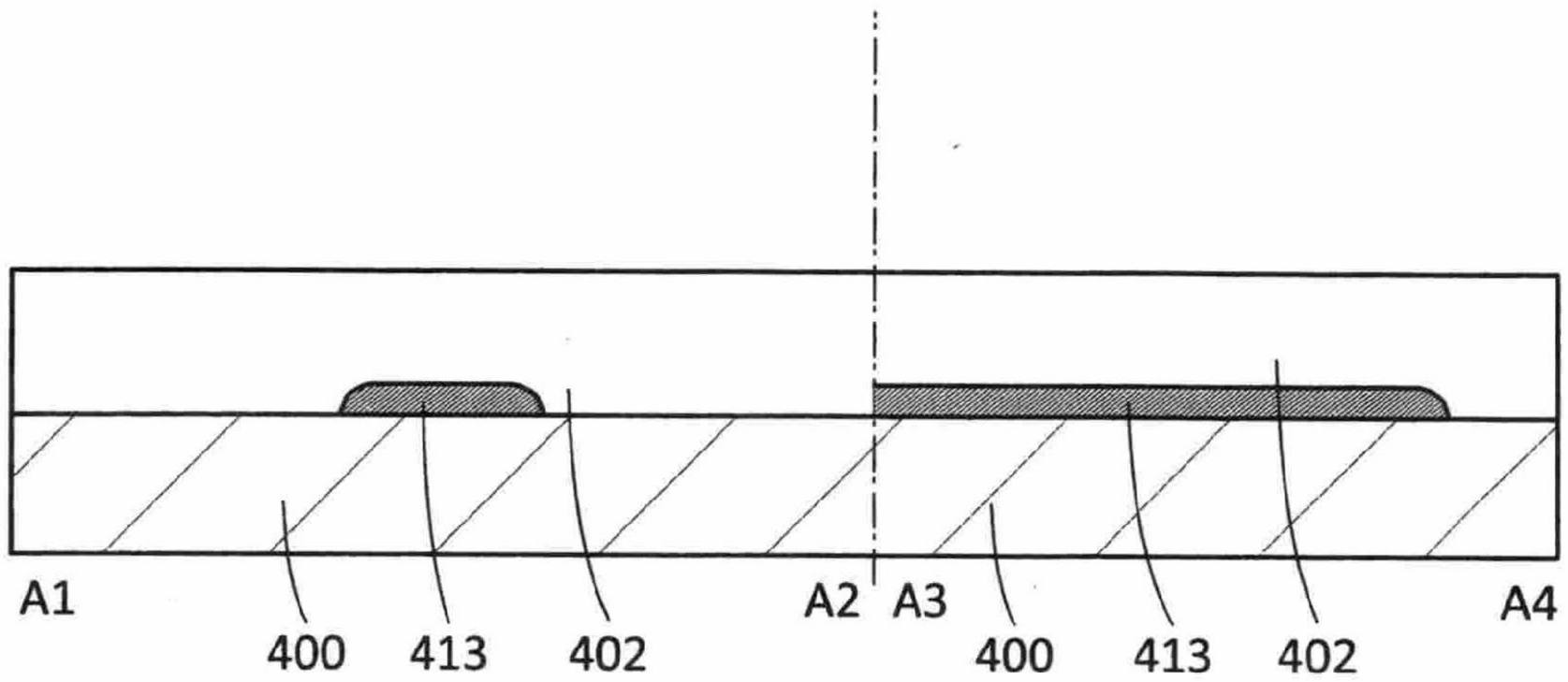

A1
400
413
402
A2
A3
400
413
402
A4

圖 12B

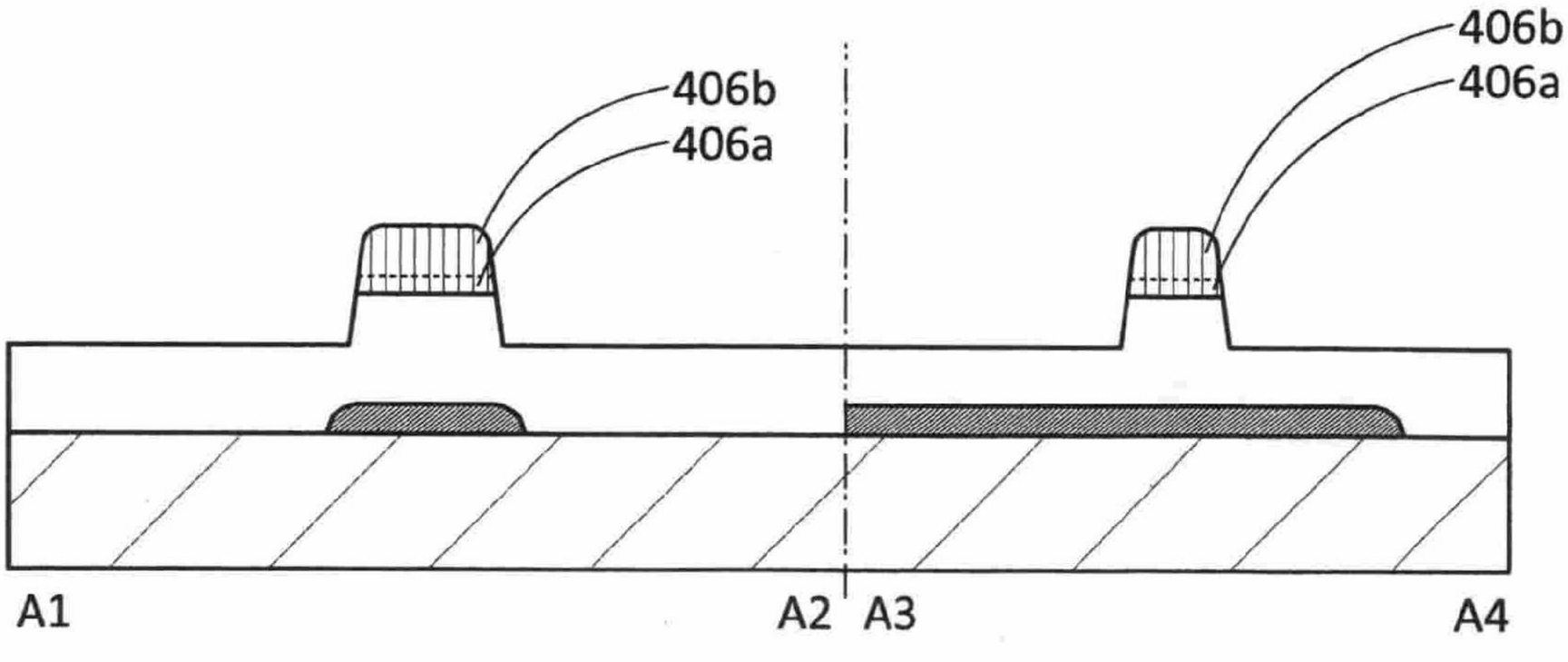

406b
406a
406b
406a
A1
A2
A3
A4

圖 13A

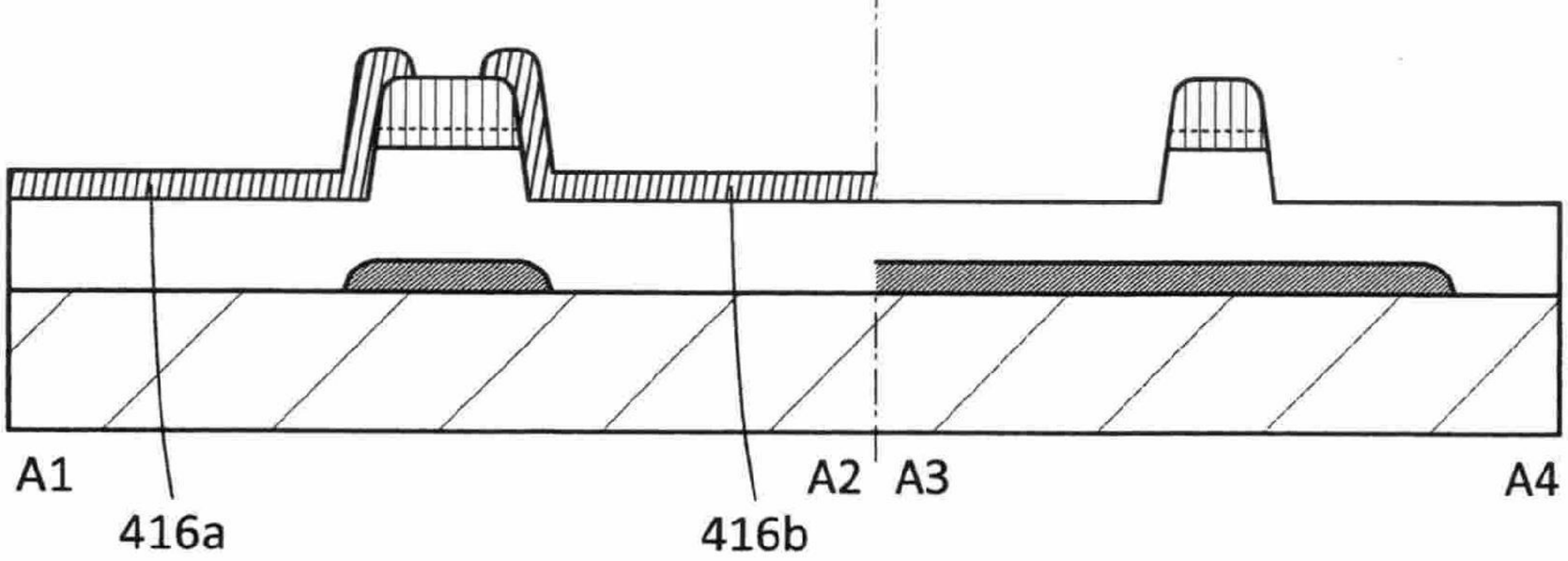


圖 13B

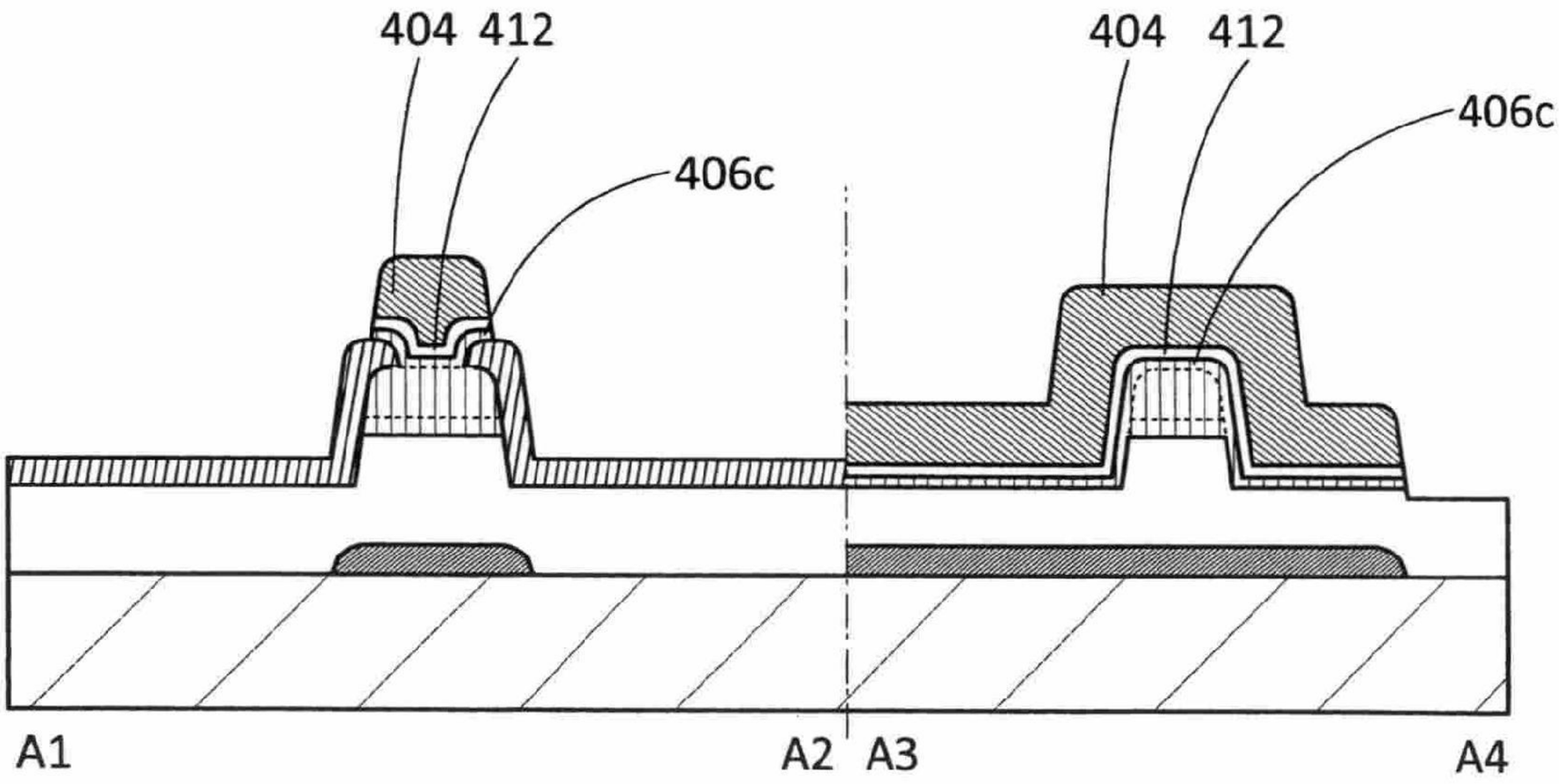


圖 13C1

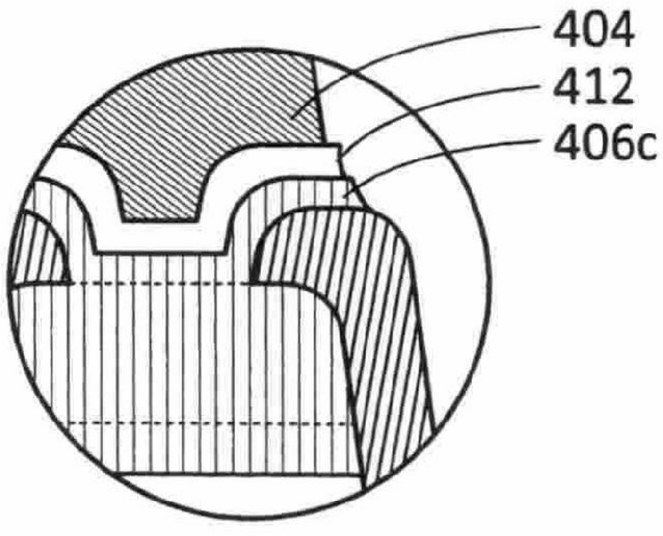


圖 13C2

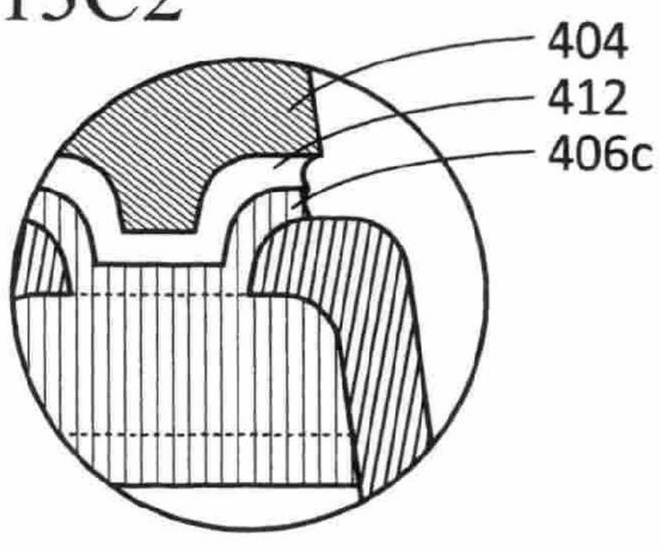


圖 14A

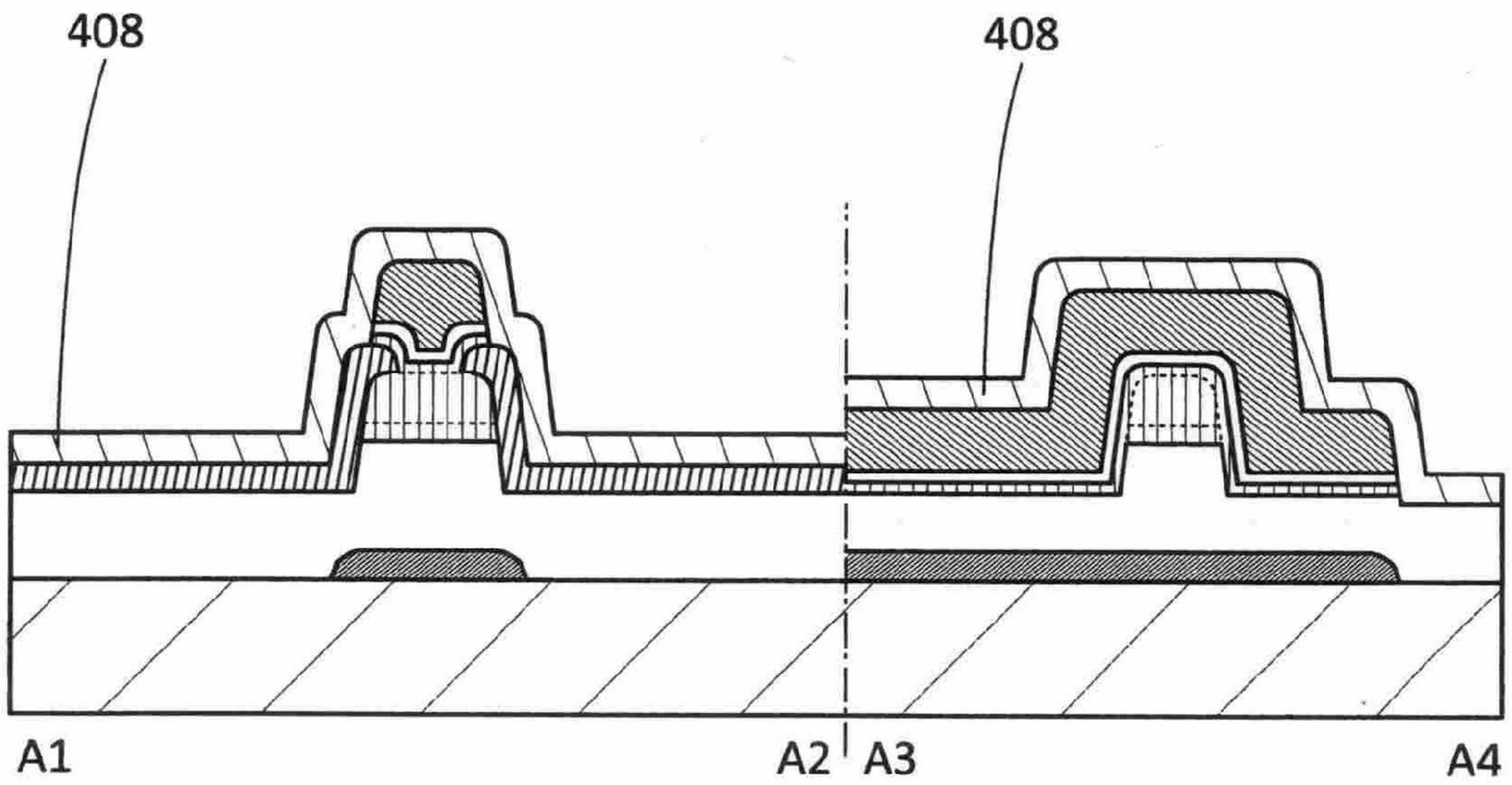


圖 14B

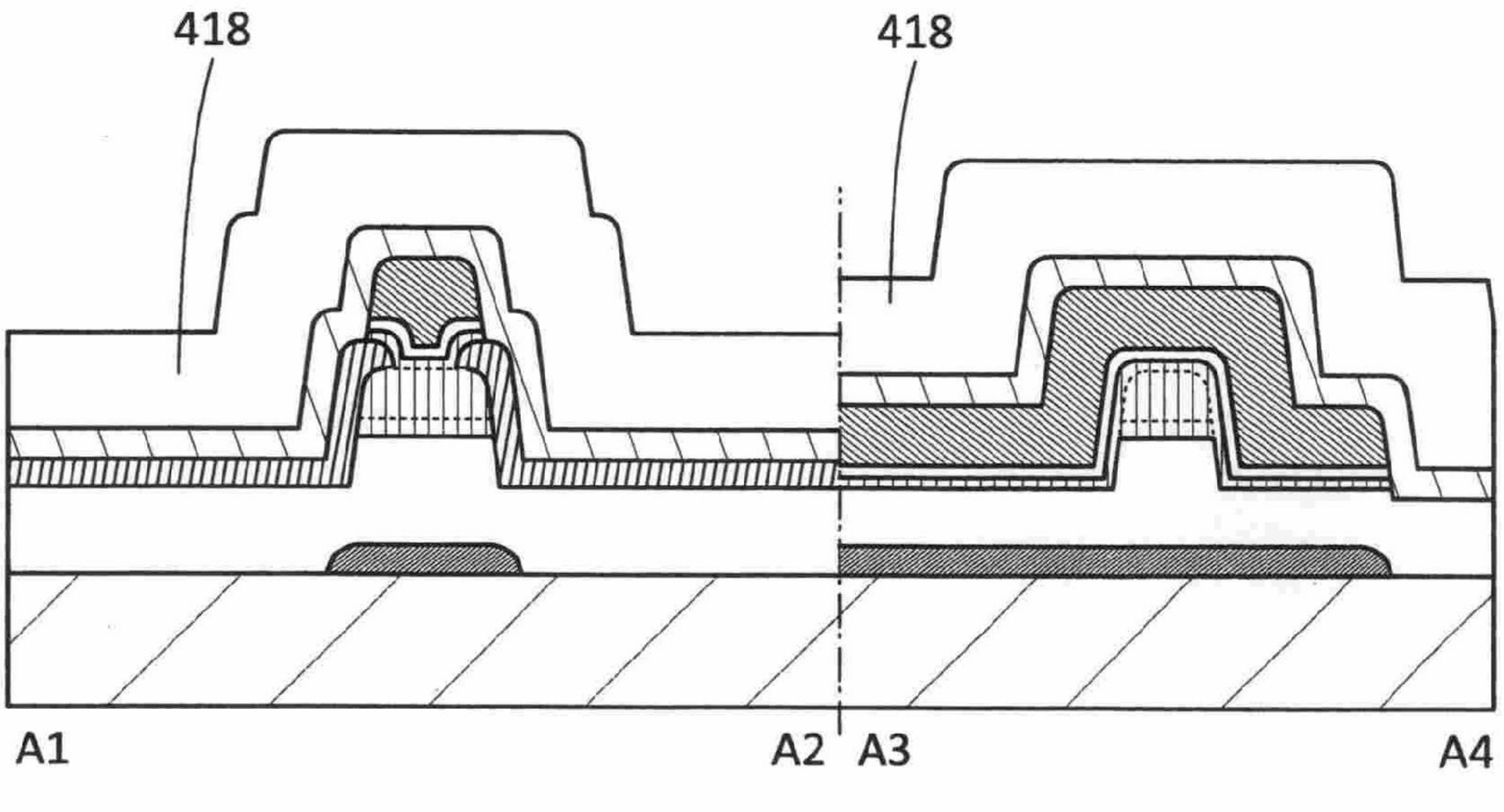


圖 15A

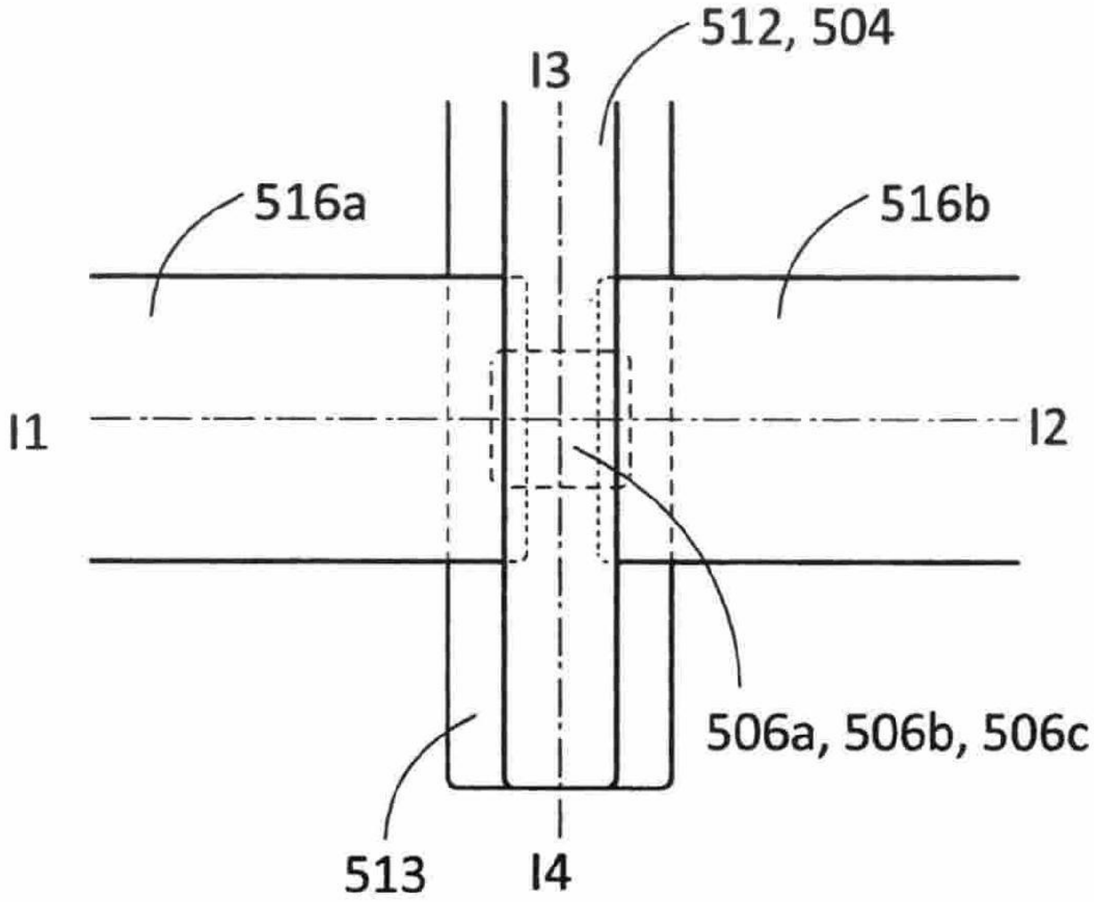

512, 504
I3
516a
516b
I1
I2
506a, 506b, 506c
513
I4

圖 15B

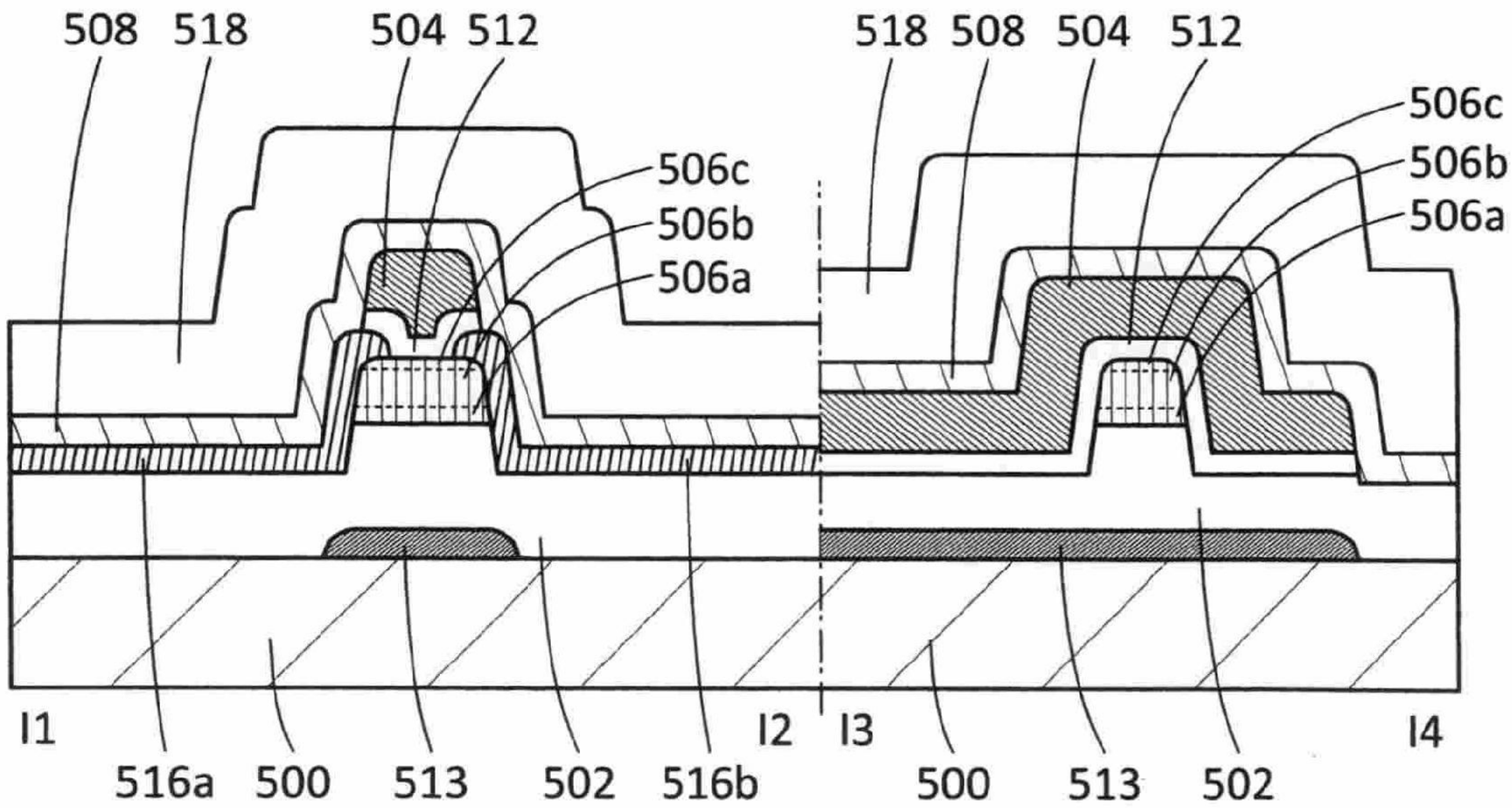

508
518
504
512
506c
506b
506a
I1
I2
I3
I4
516a
500
513
502
516b
500
513
502

圖 16A

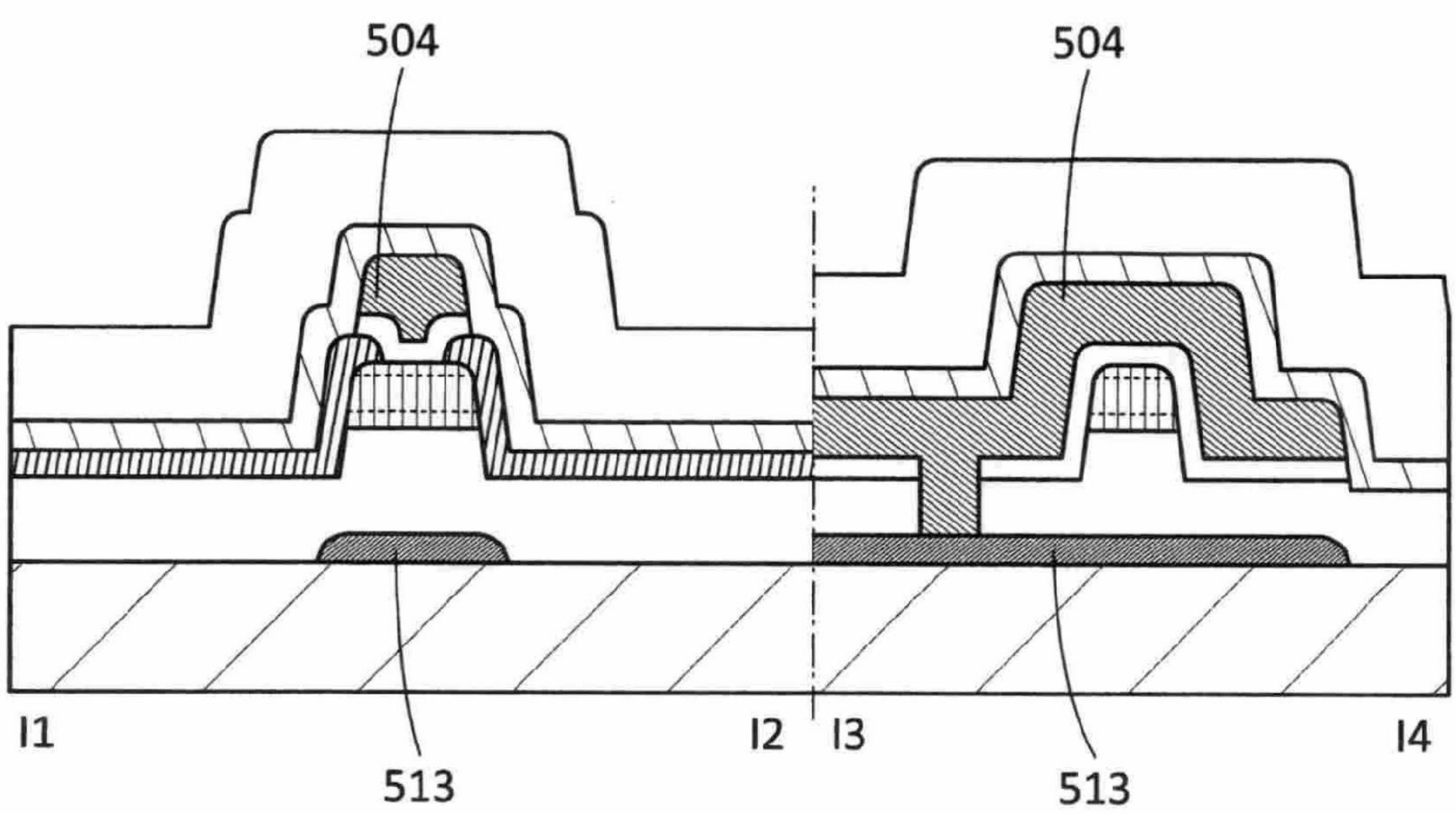


圖 16B

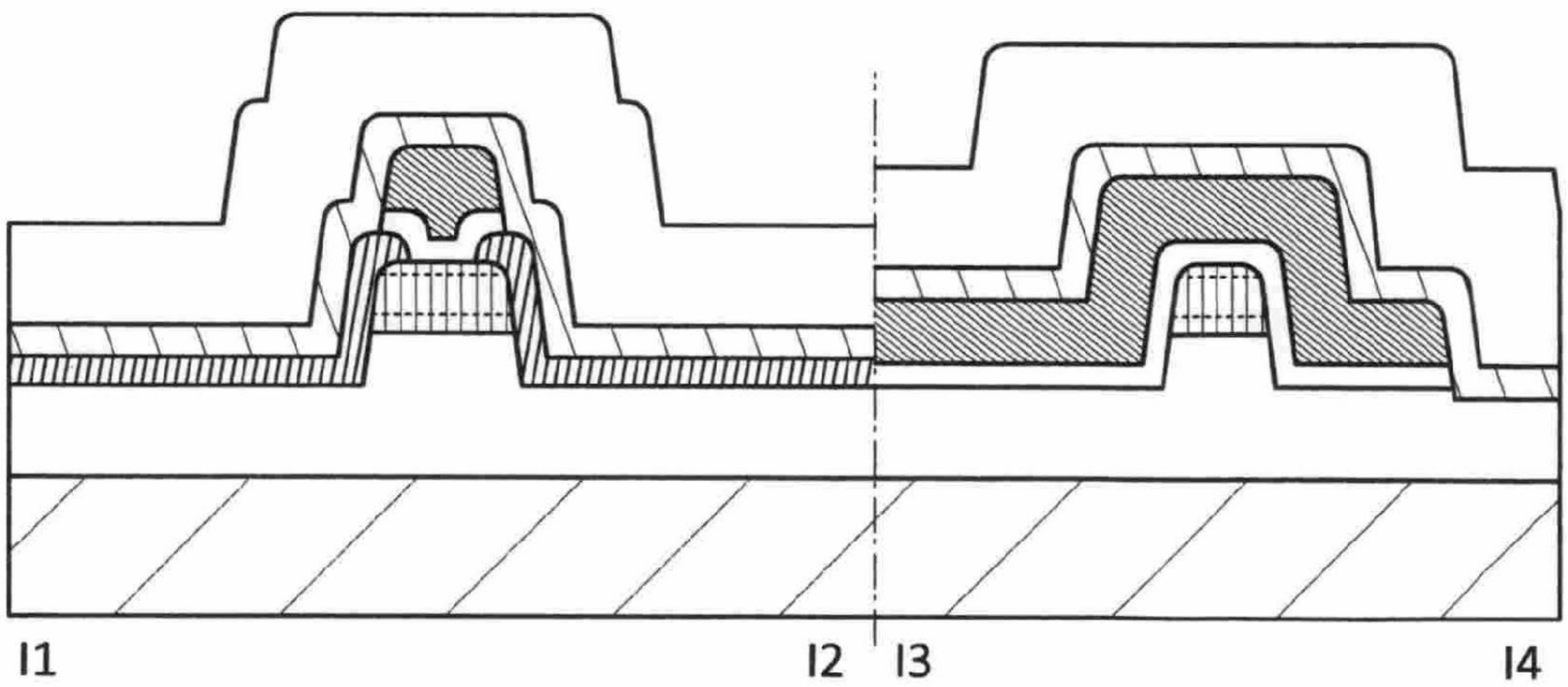


圖 17A

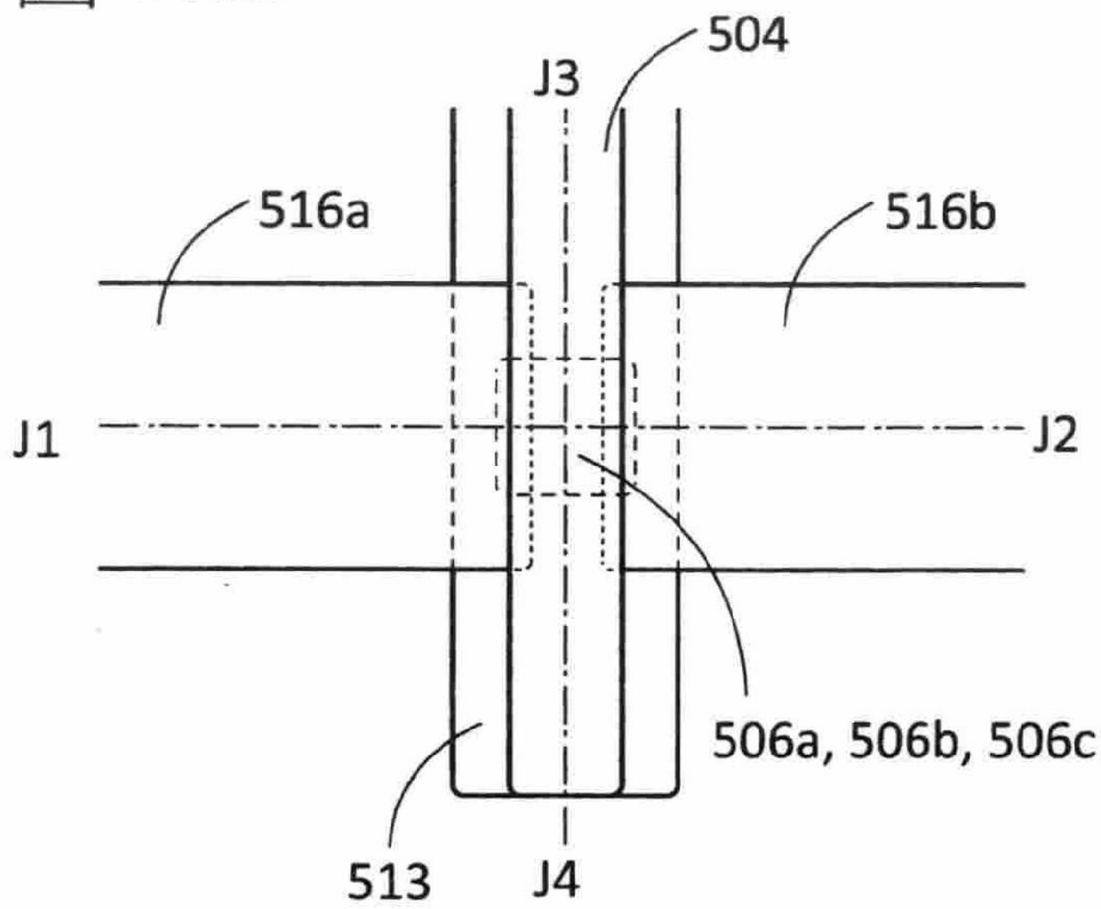

504
J3
516a
516b
J1
J2
506a, 506b, 506c
513
J4

圖 17B

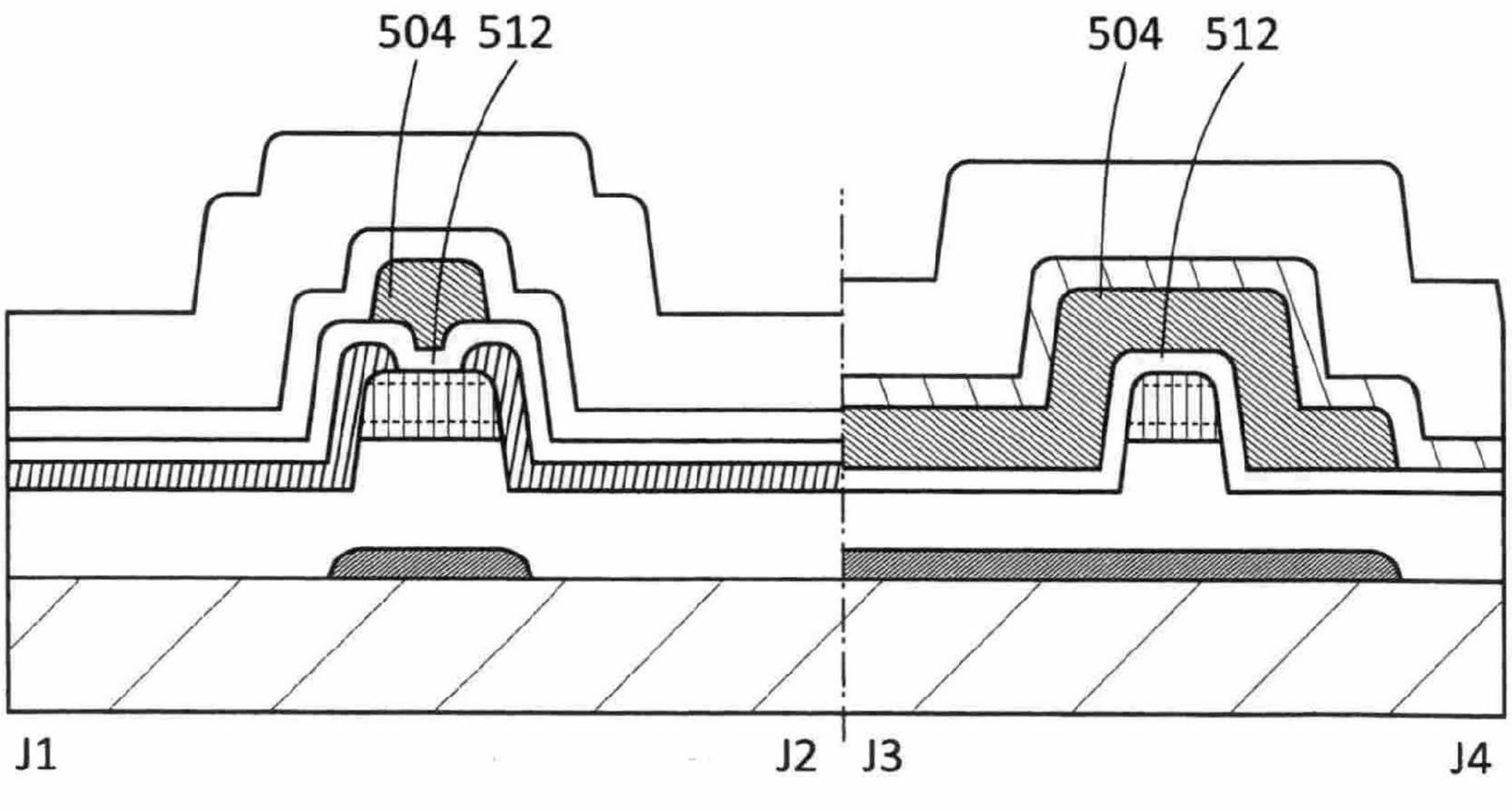

504
512
504
512
J1
J2
J3
J4

圖 18A

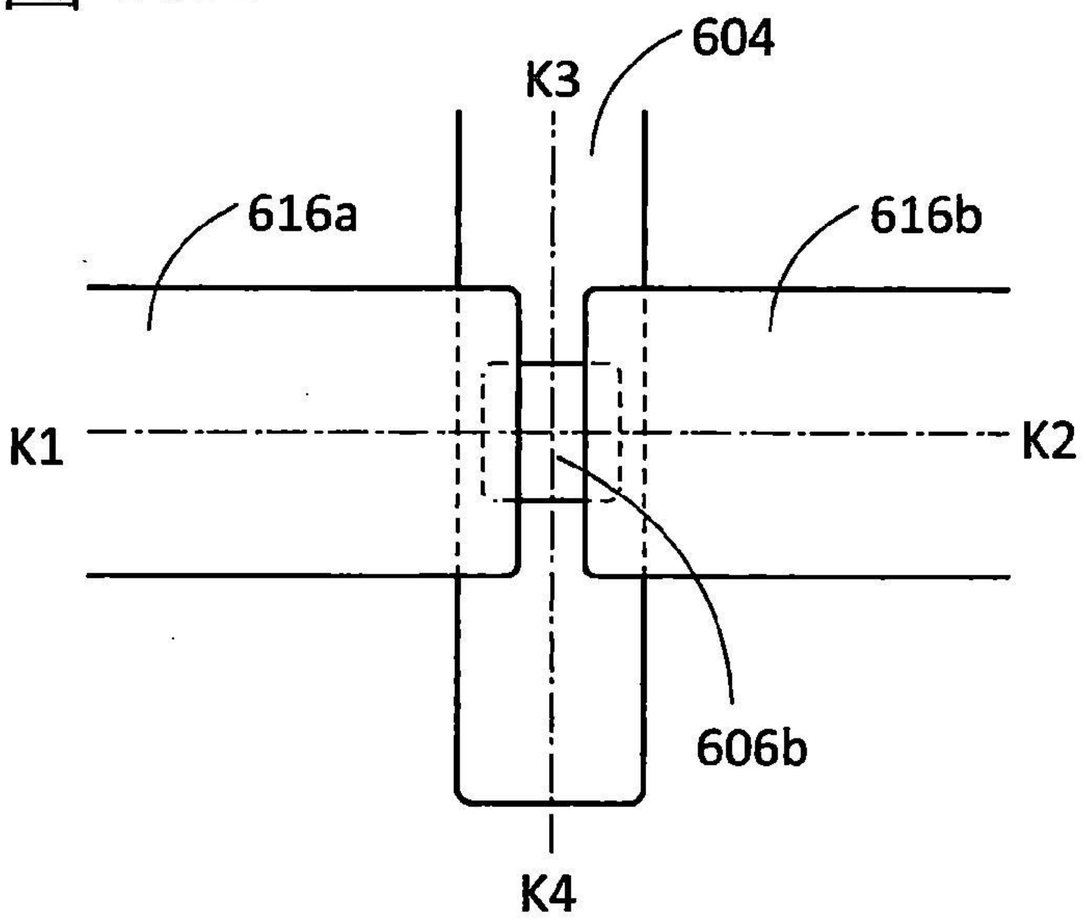

604
K3
616a
616b
K1
K2
606b
K4

圖 18B

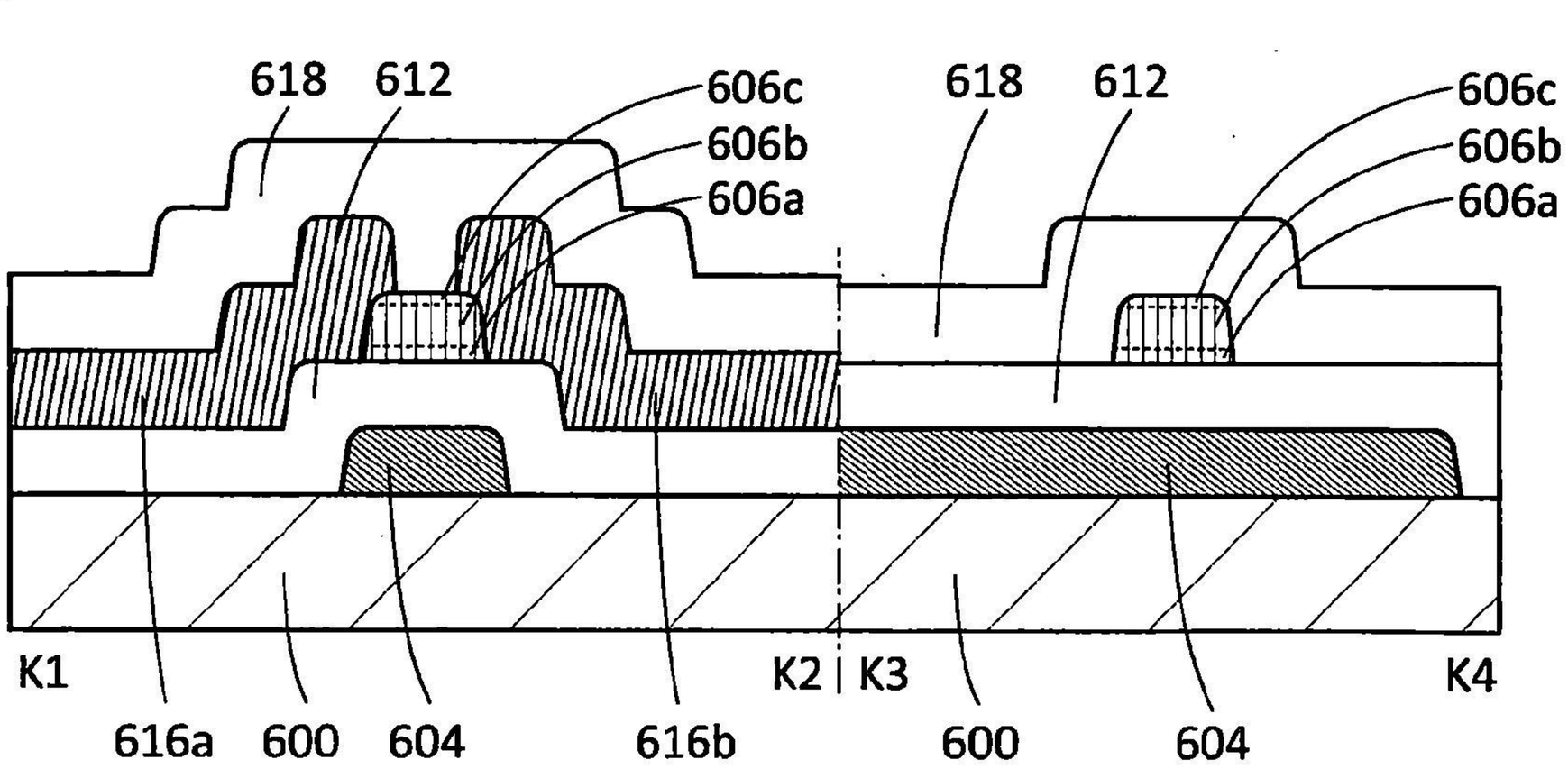

618
612
606c
606b
606a
618
612
606c
606b
606a
K1
K2
K3
K4
616a
600
604
616b
600
604

圖 19A

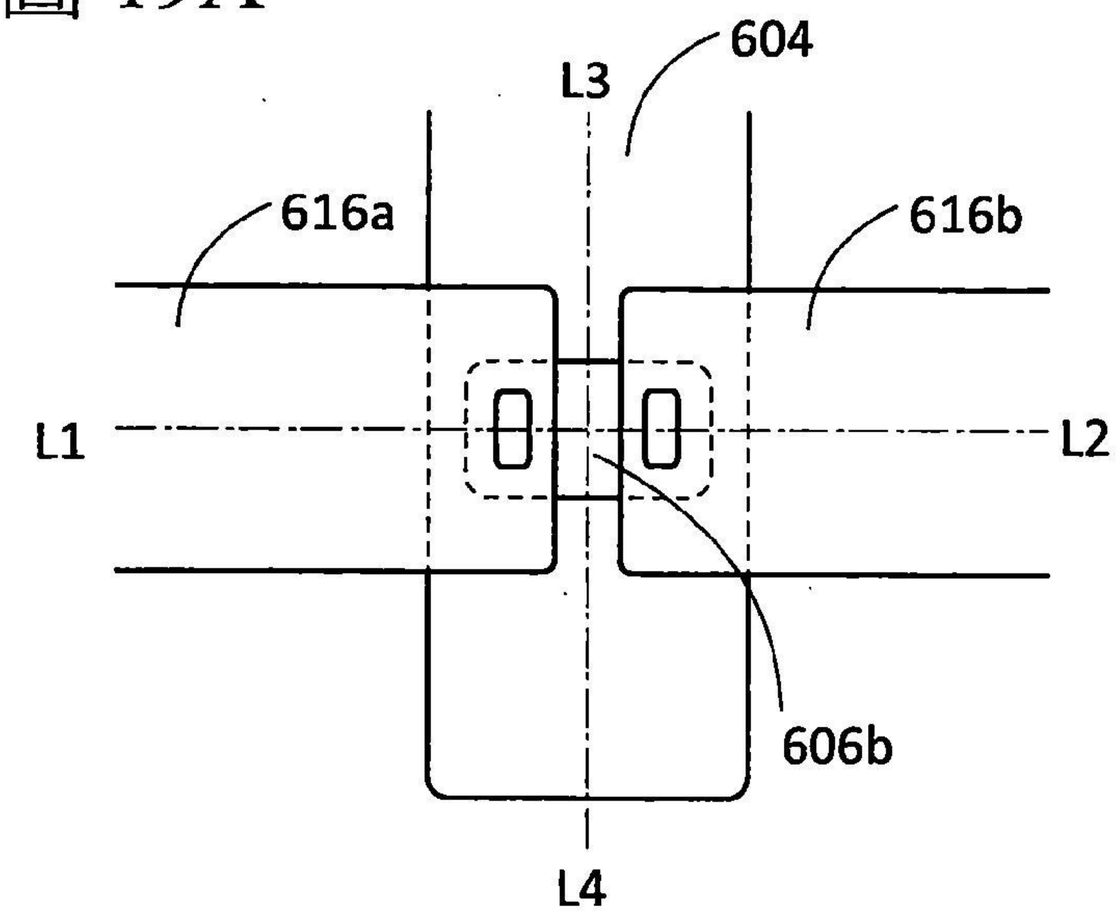

604
L3
616a
616b
L1
L2
606b
L4

圖 19B

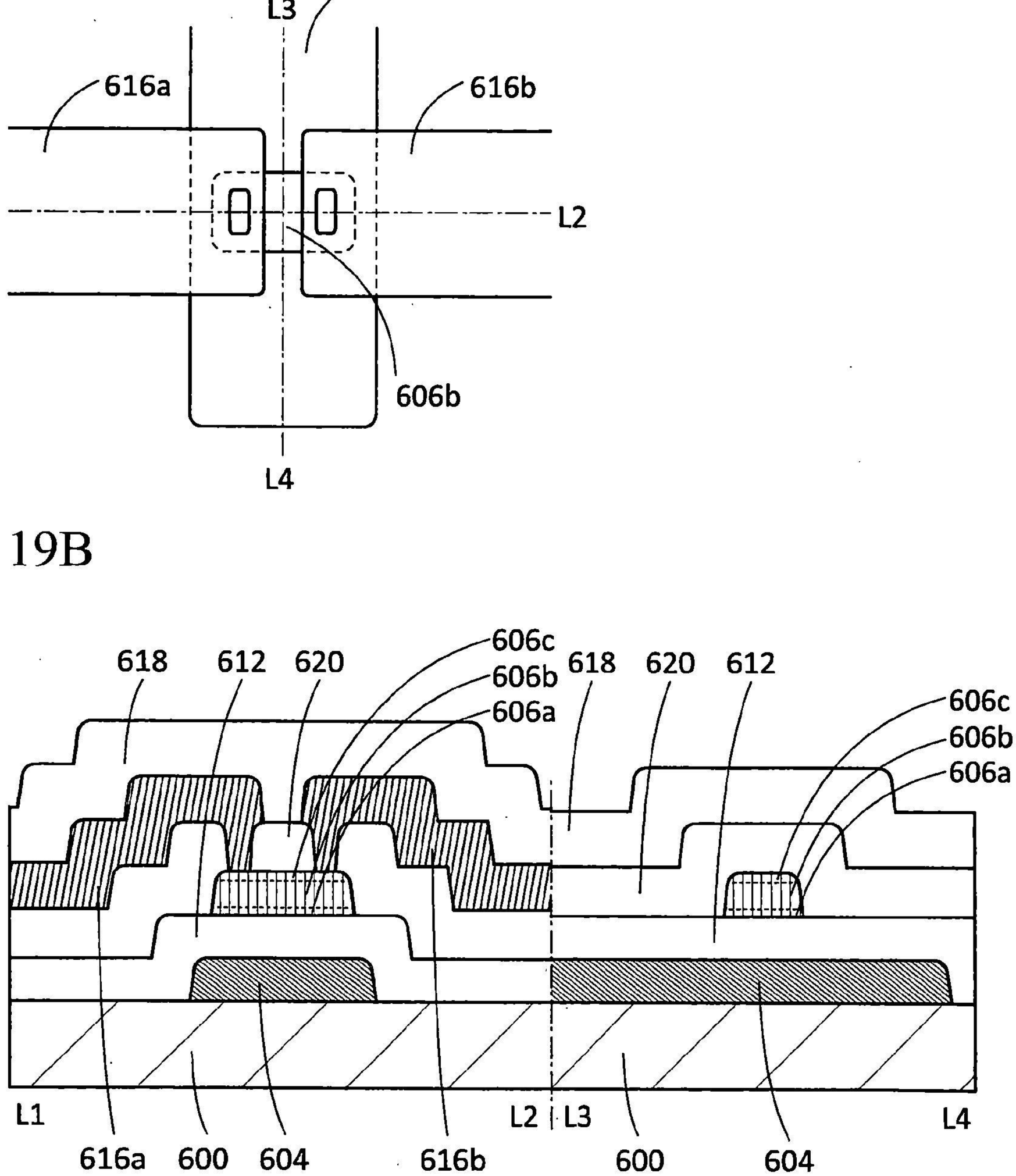

618
612
620
606c
606b
606a
618
620
612
606c
606b
606a
L1
L2
L3
L4
616a
600
604
616b
600
604

圖 20A

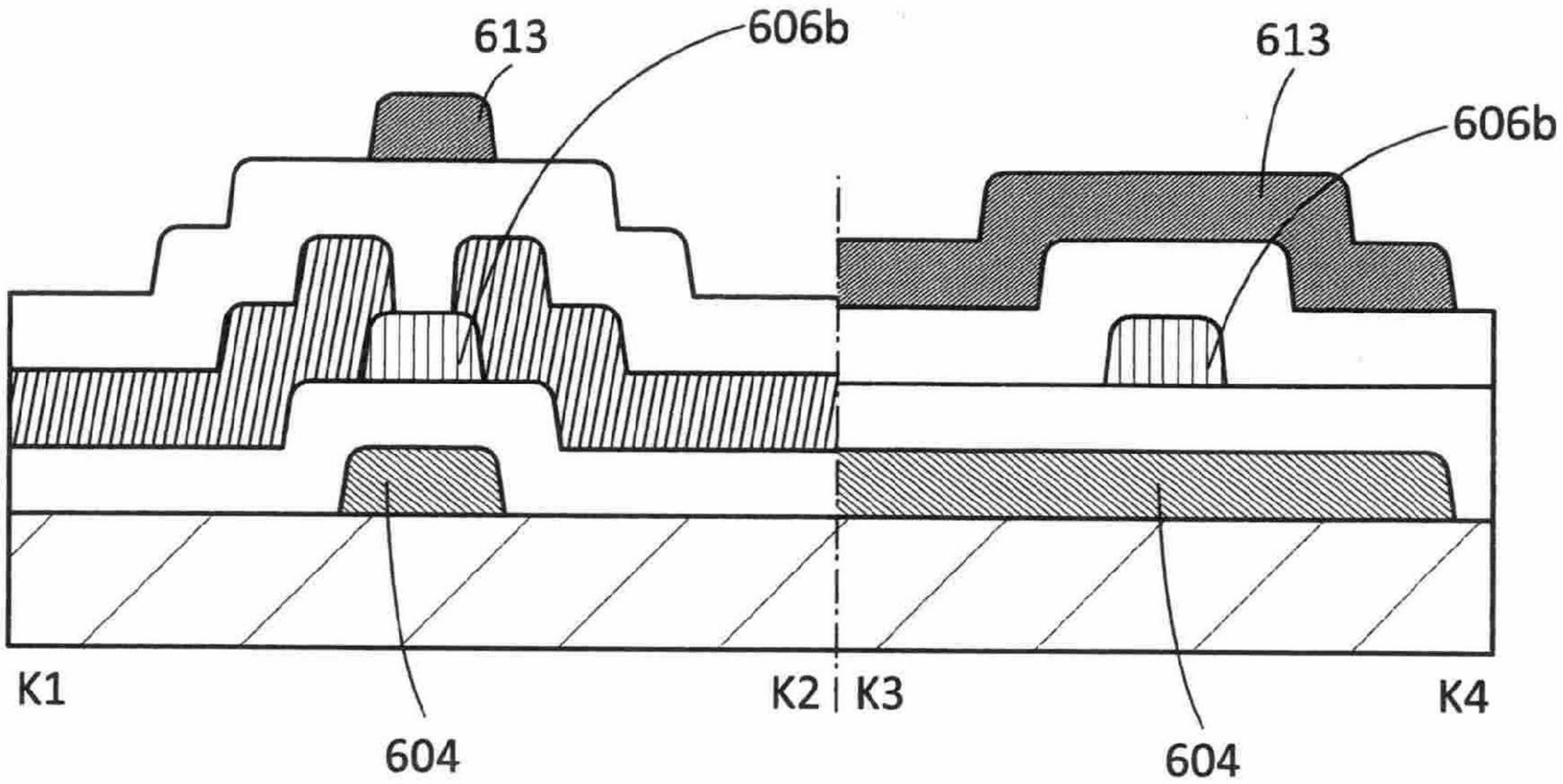

613
606b
613
606b
K1
K2
K3
K4
604
604

圖 20B

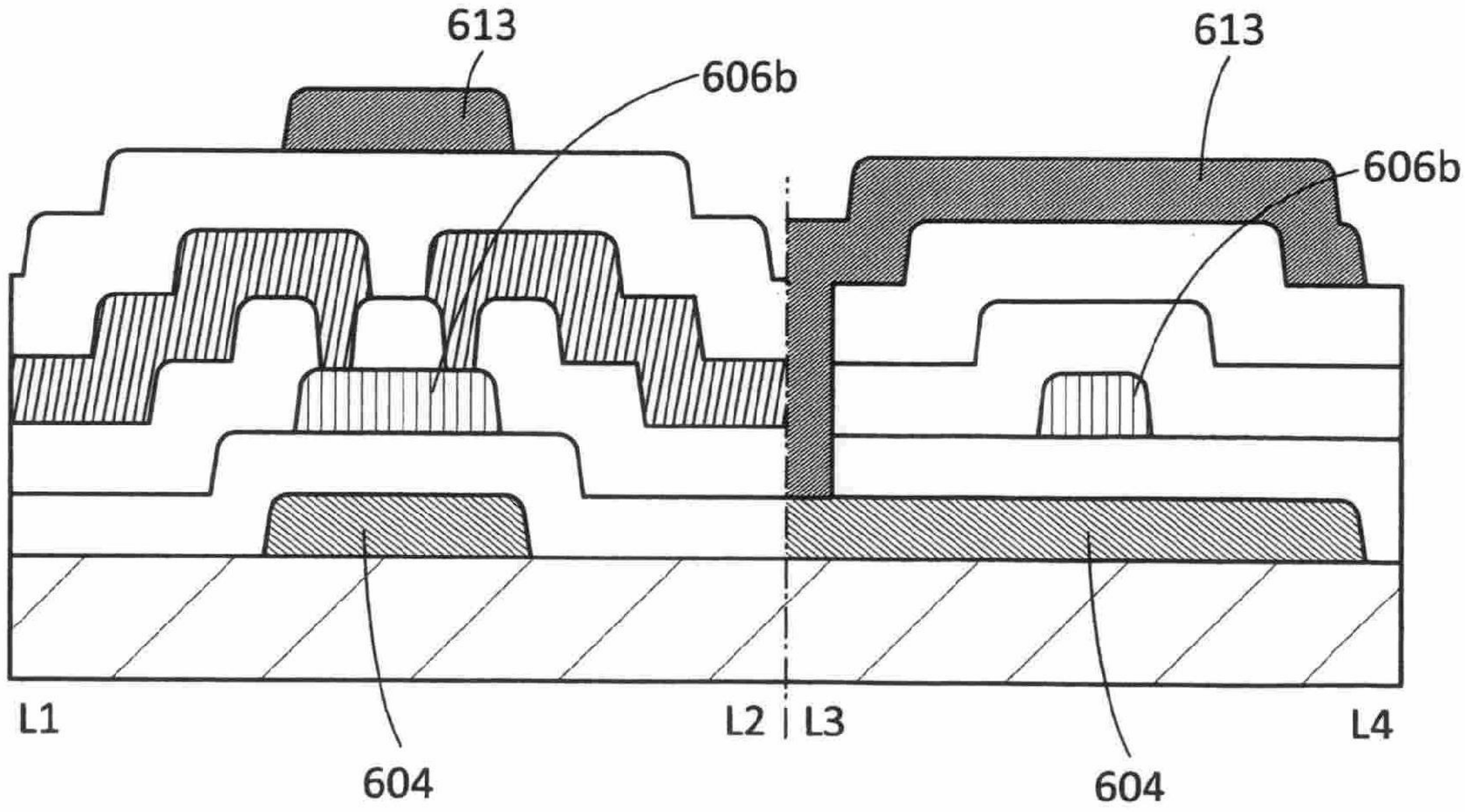

613
606b
613
606b
L1
L2
L3
L4
604
604

圖 21A

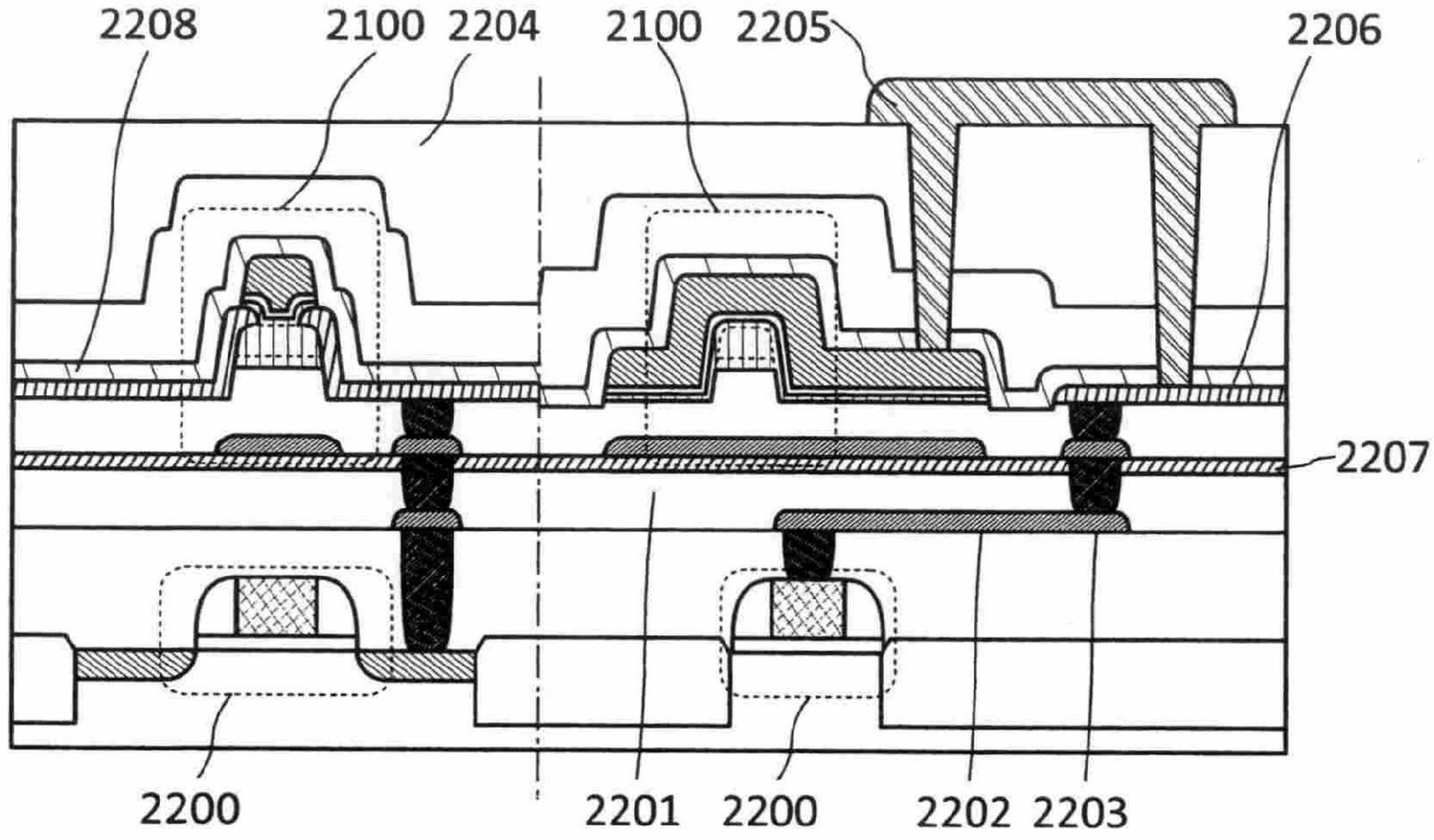

2208
2100
2204
2100
2205
2206
2207
2200
2201
2200
2202
2203

圖 21B

2213
2100
2204
2215
2100
2205
2208
2206
2207
2215
2200
2214
2211
2201
2200
2214
2213
2212
2211

圖 22A

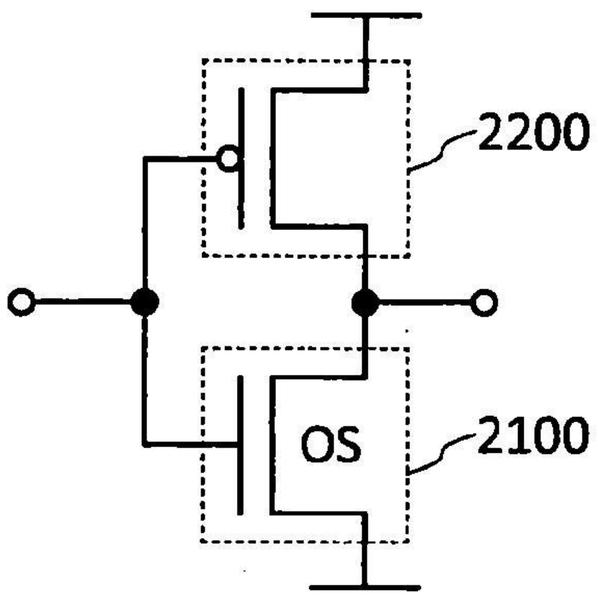


圖 22B

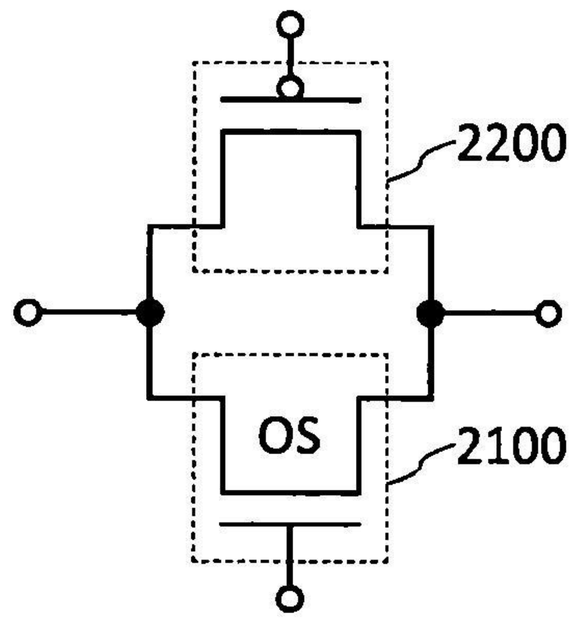


圖 23A

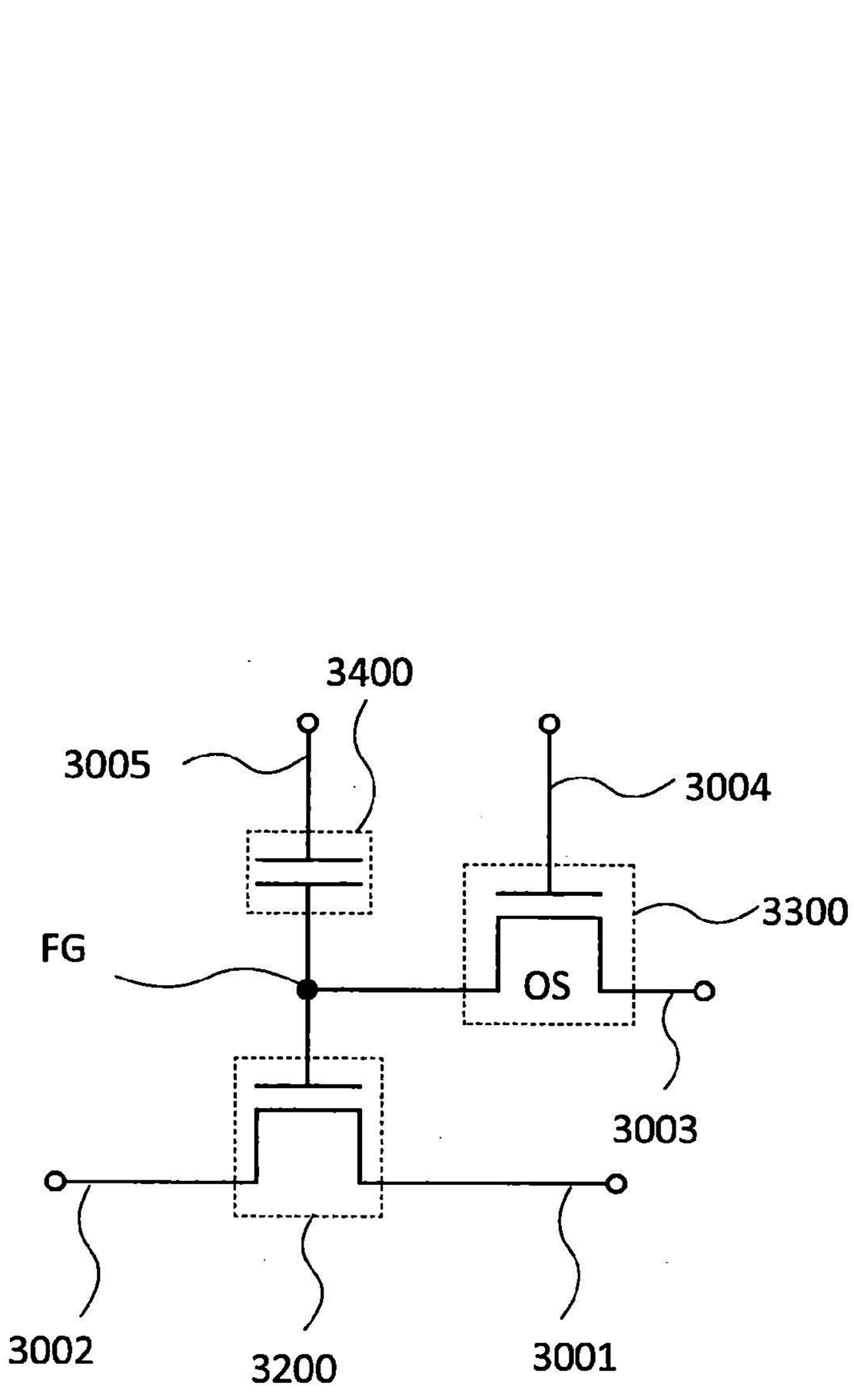
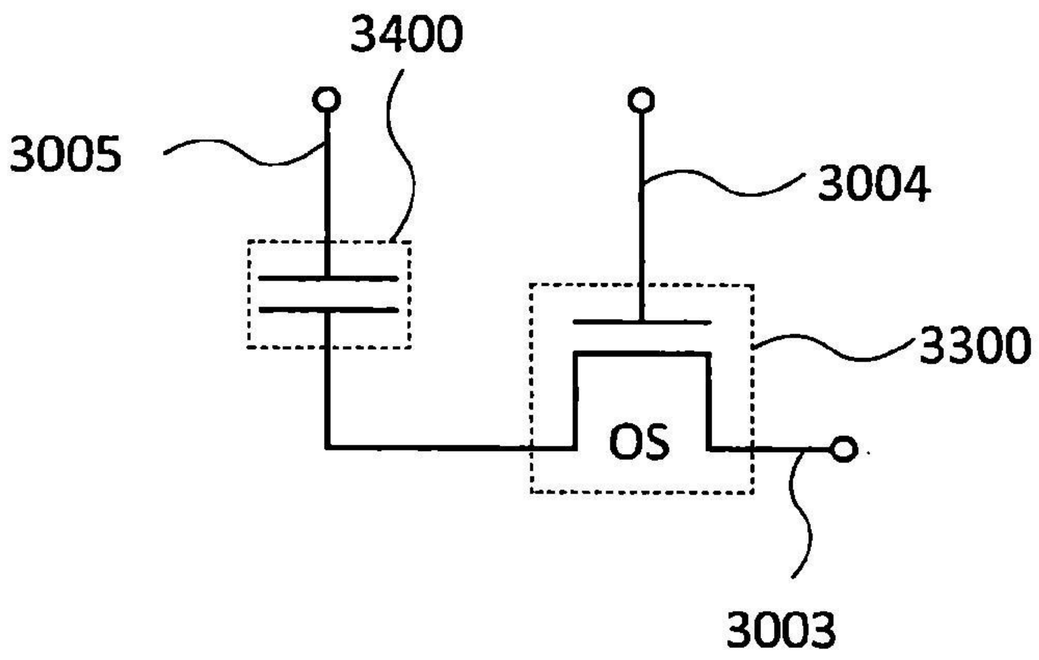

3400
3005
3004
3300
FG
OS
3003
3002
3200
3001

圖 23B


3400
3005
3004
3300
OS
3003

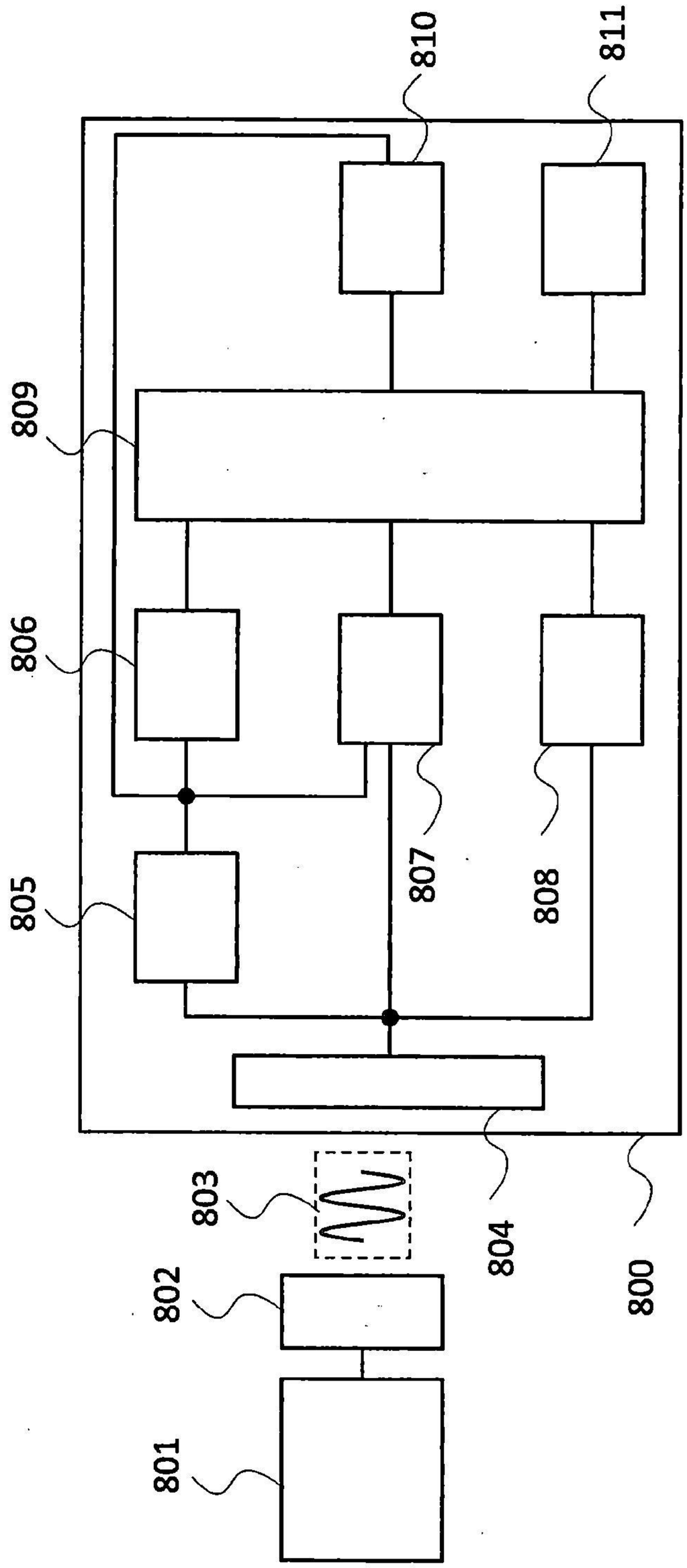


圖 24

圖 25A

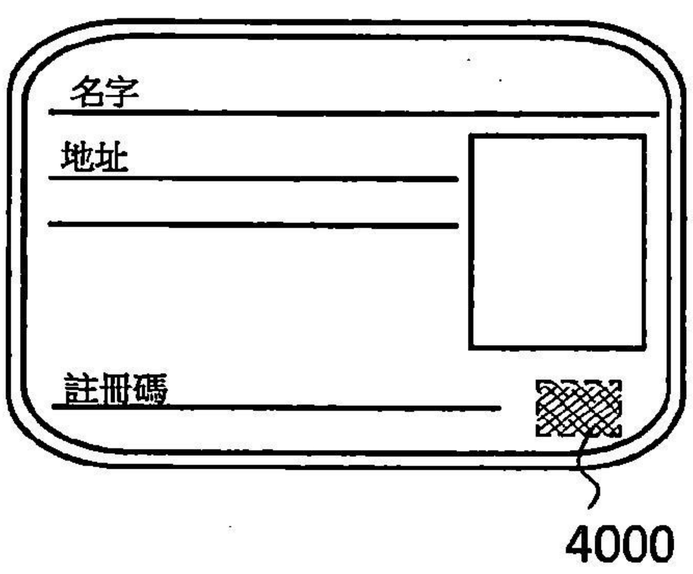


圖 25B

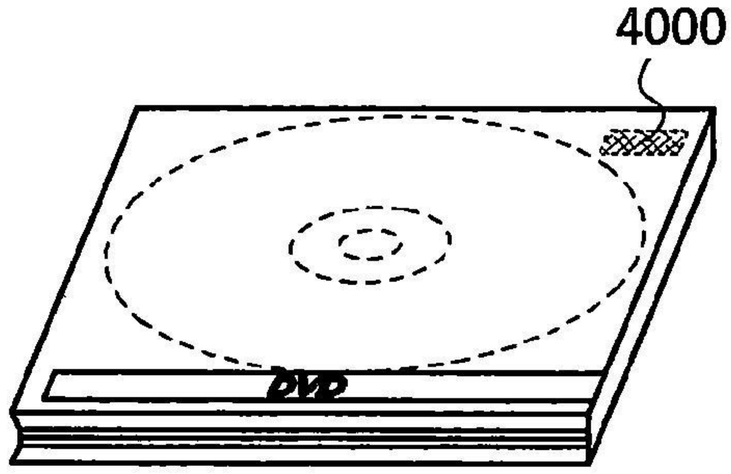


圖 25C

圖 25D

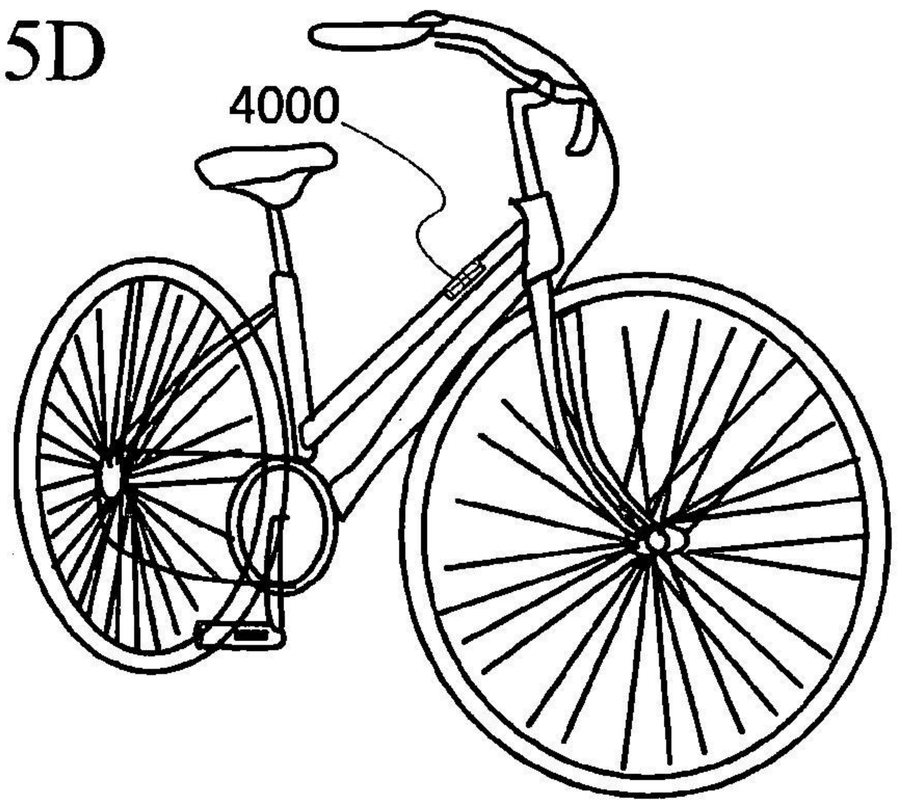


圖 25E

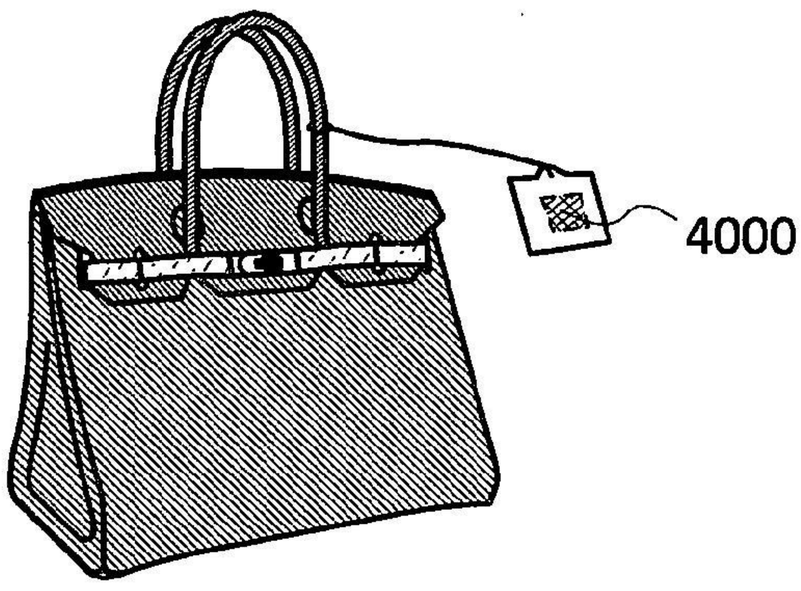


圖 25F

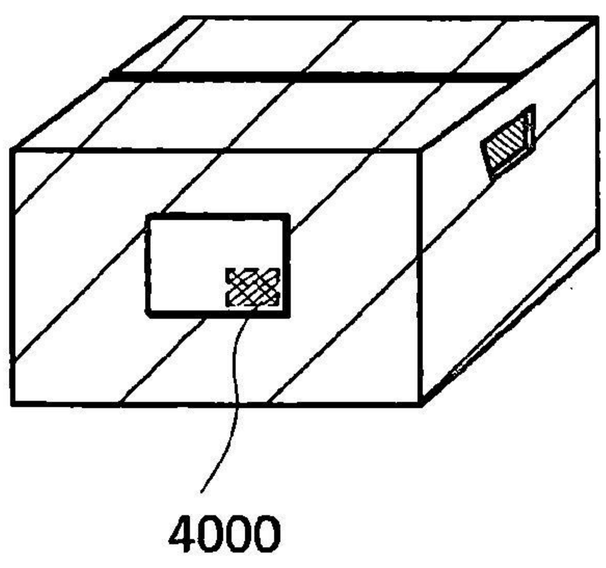


圖 26

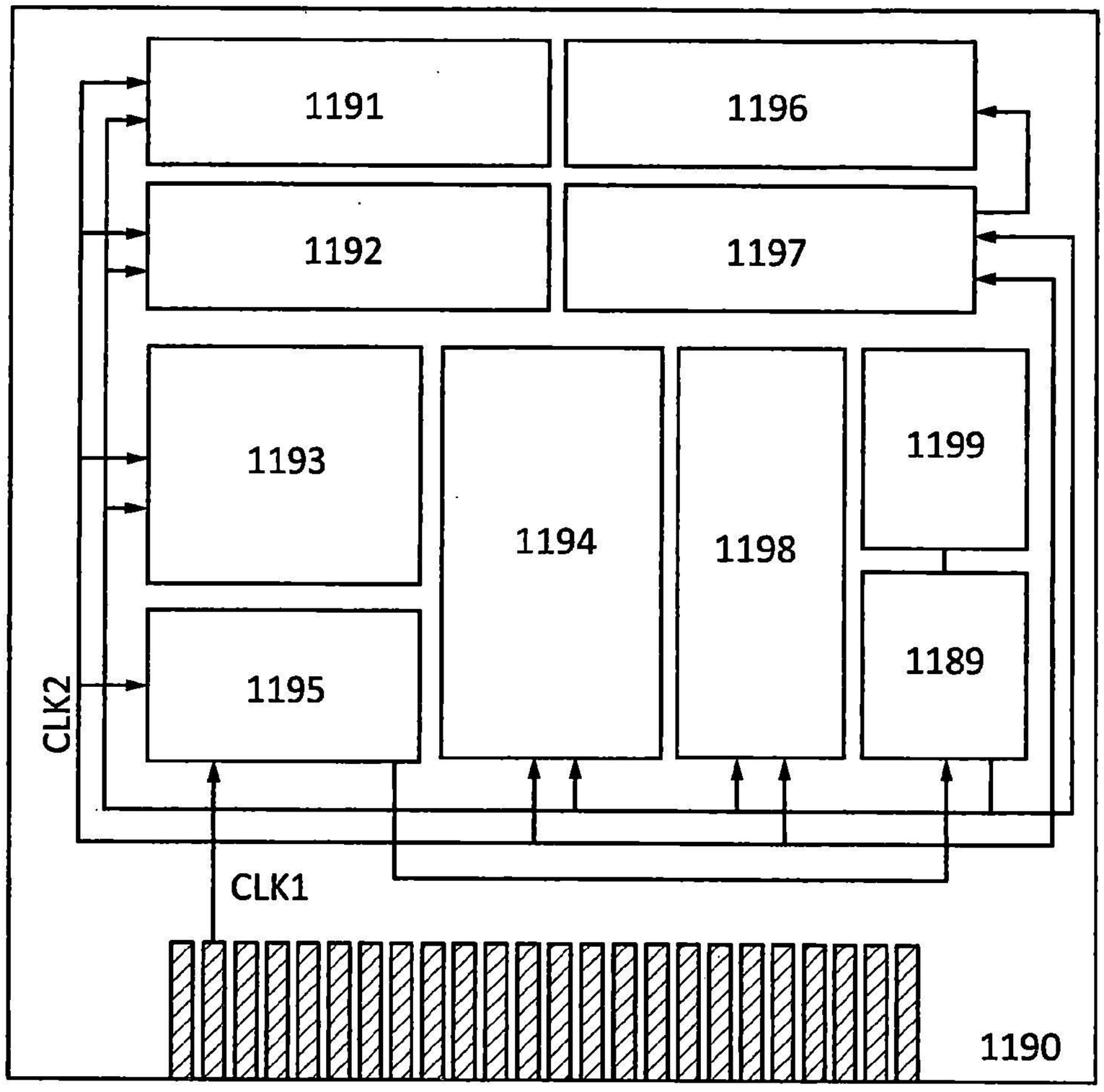

1191
1196
1192
1197
1193
1194
1198
1199
1189
1195
CLK2
CLK1
1190

圖 27

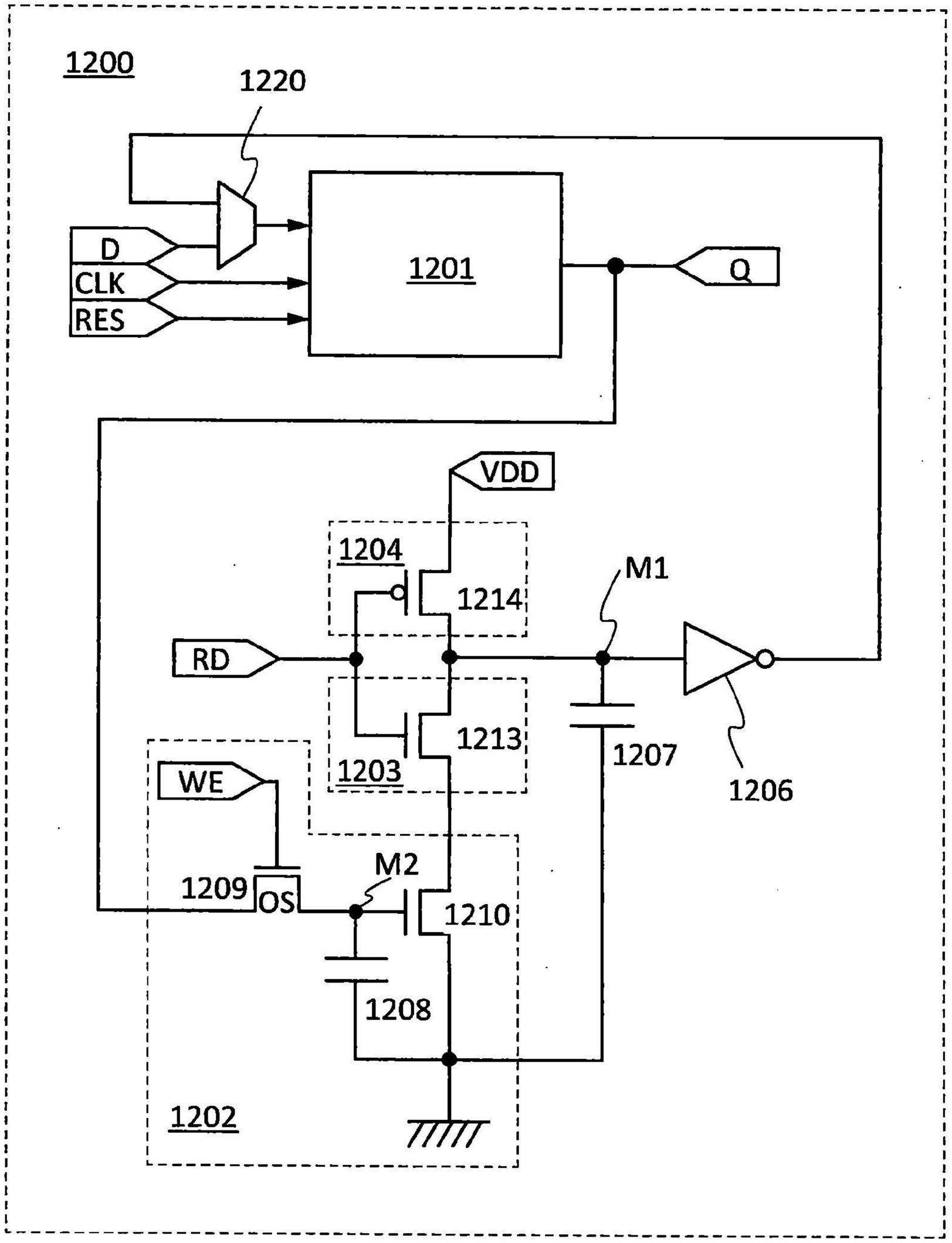

1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1203
1207
1206
WE
M2
1209
OS
1210
1208
1202

圖 28A

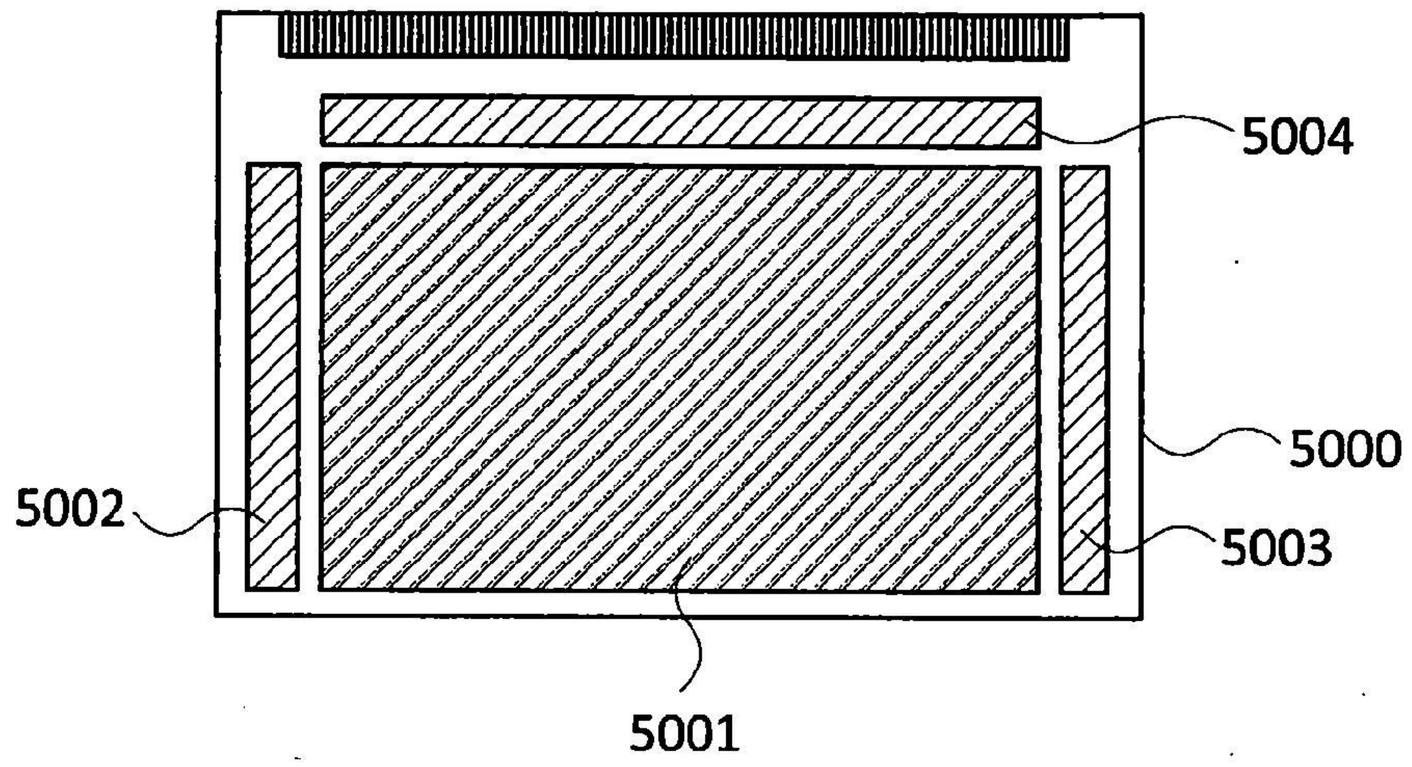


圖 28B

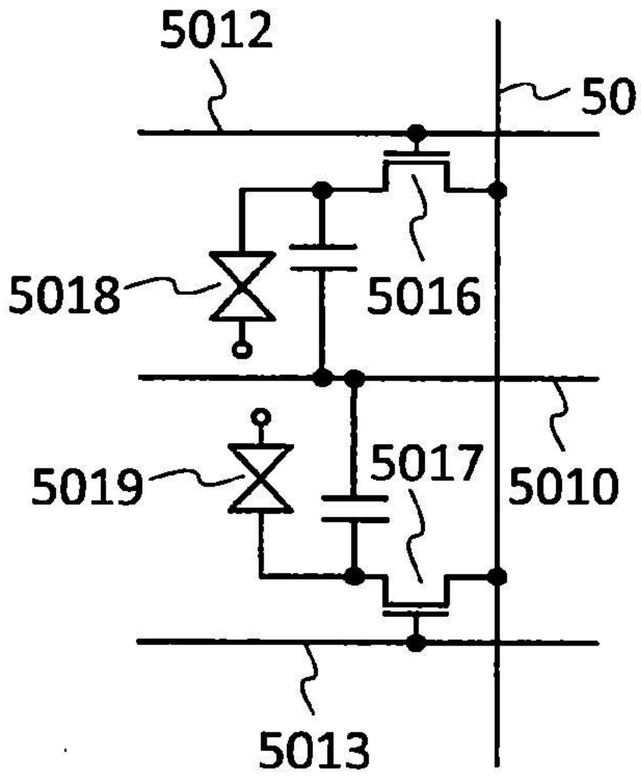


圖 28C

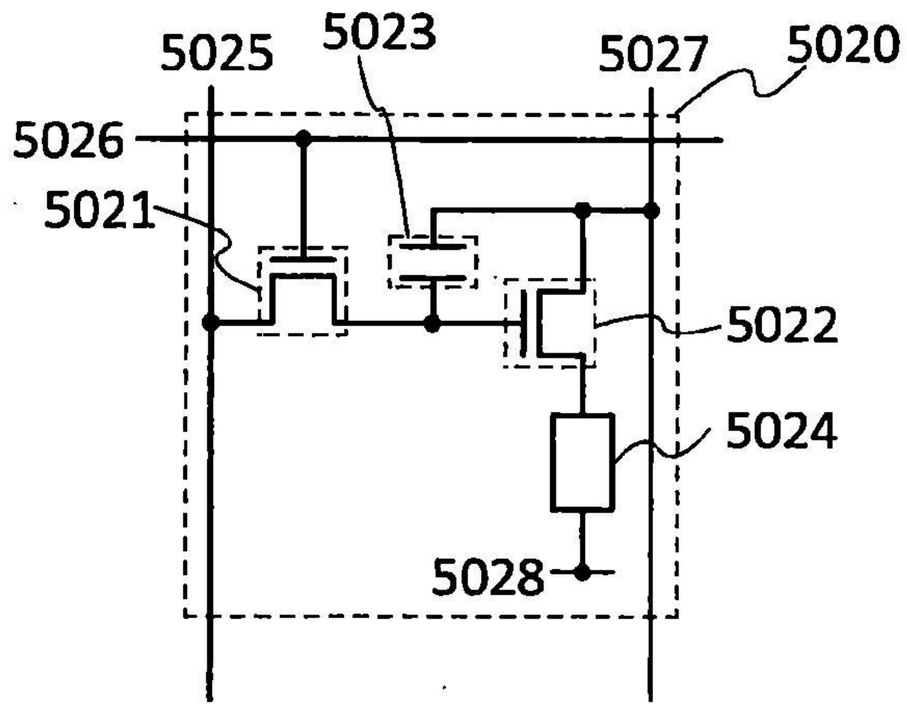


圖 29

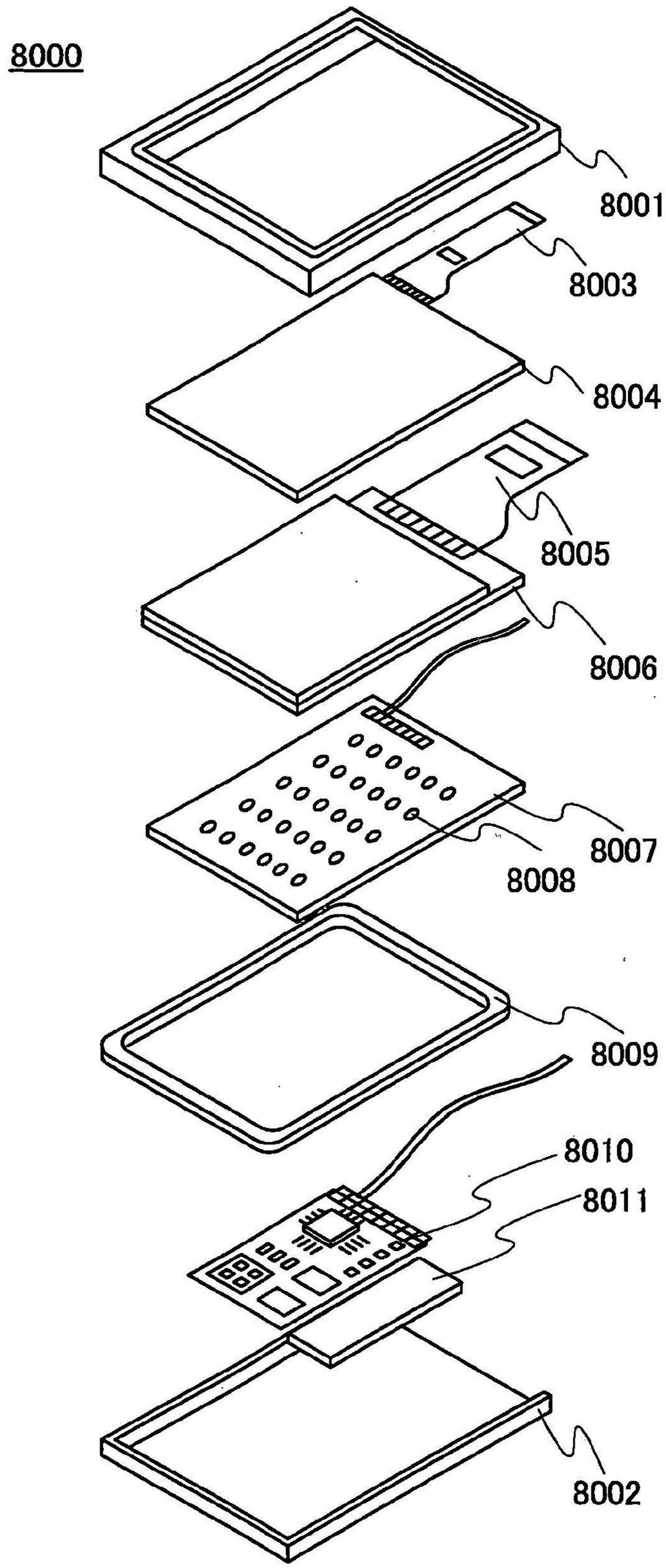


圖 30A

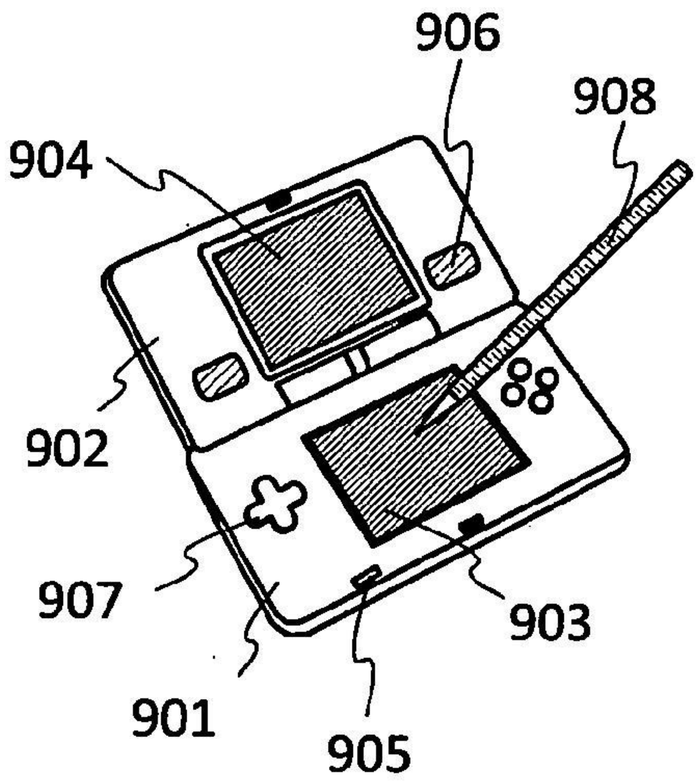


圖 30B

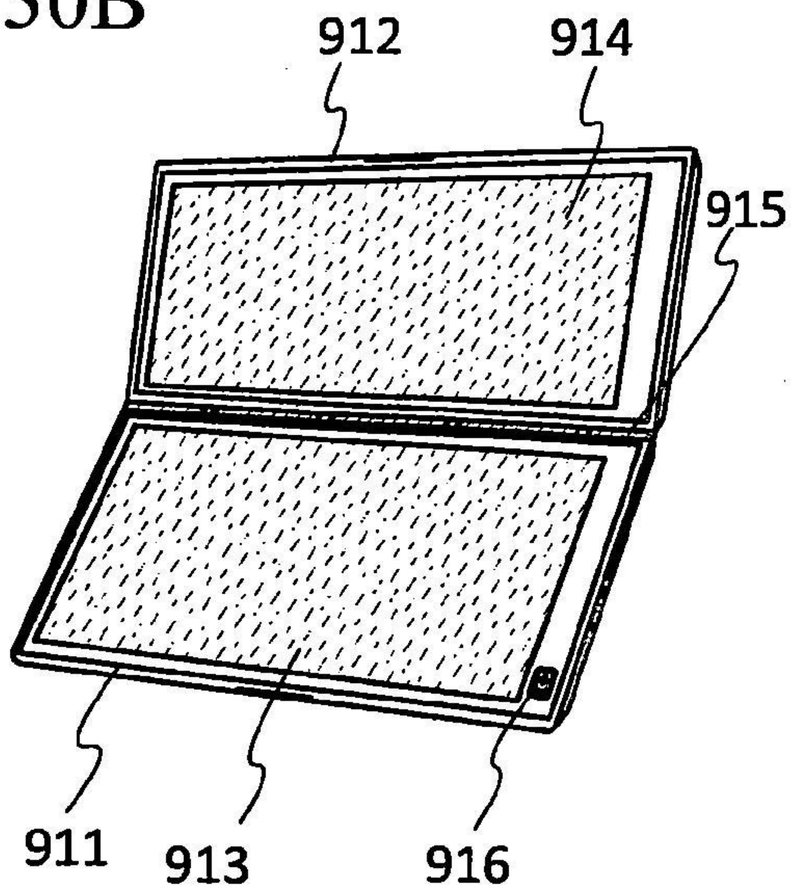


圖 30C

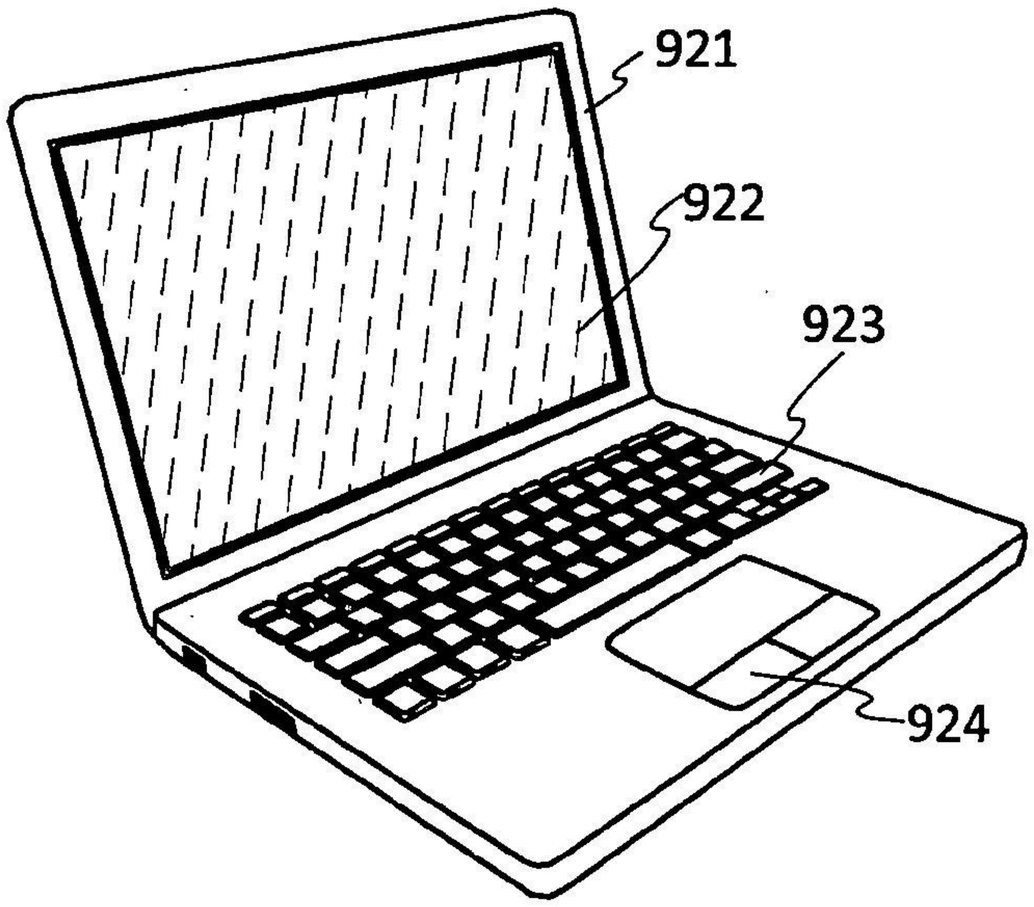


圖 30D

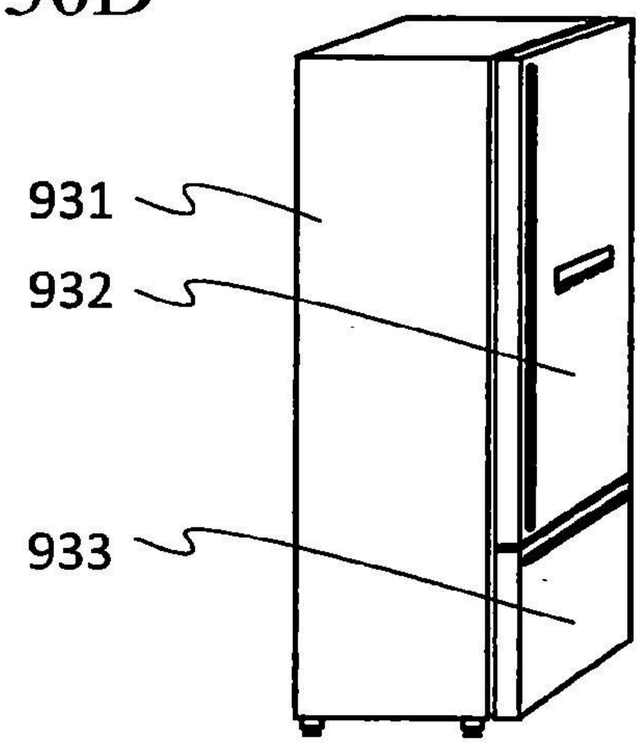


圖 30E

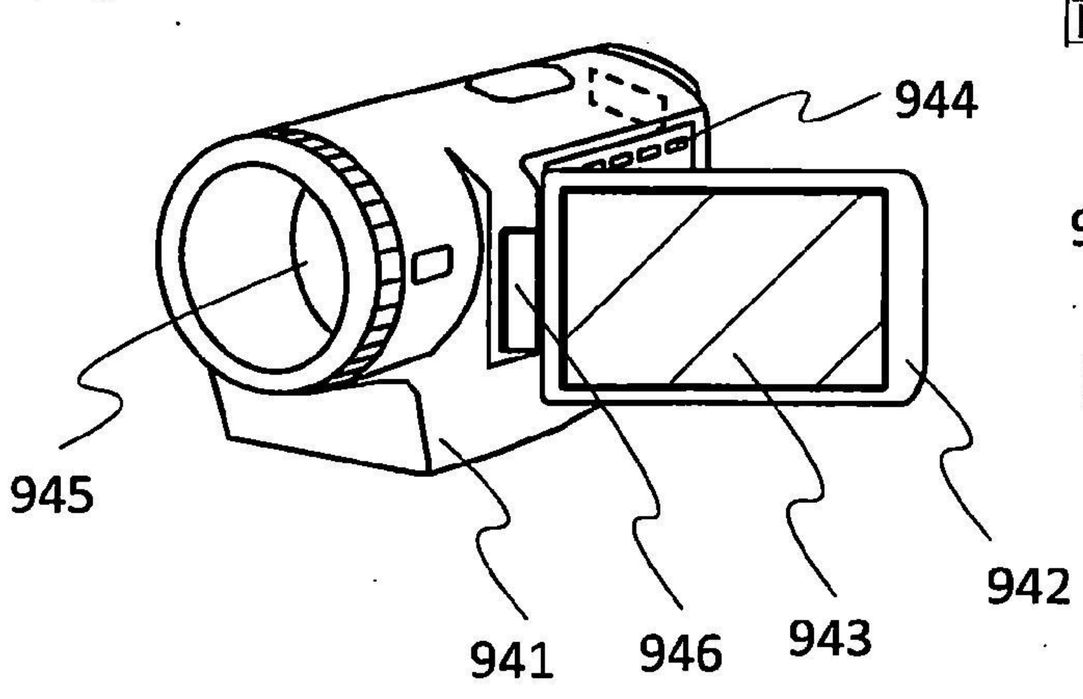


圖 30F

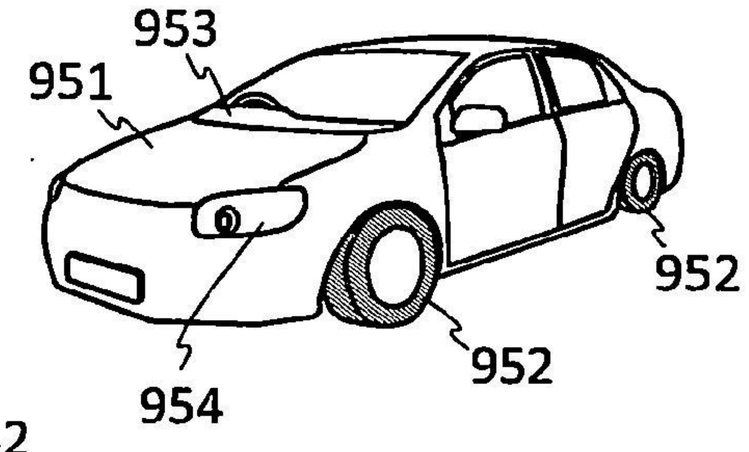


圖 31A

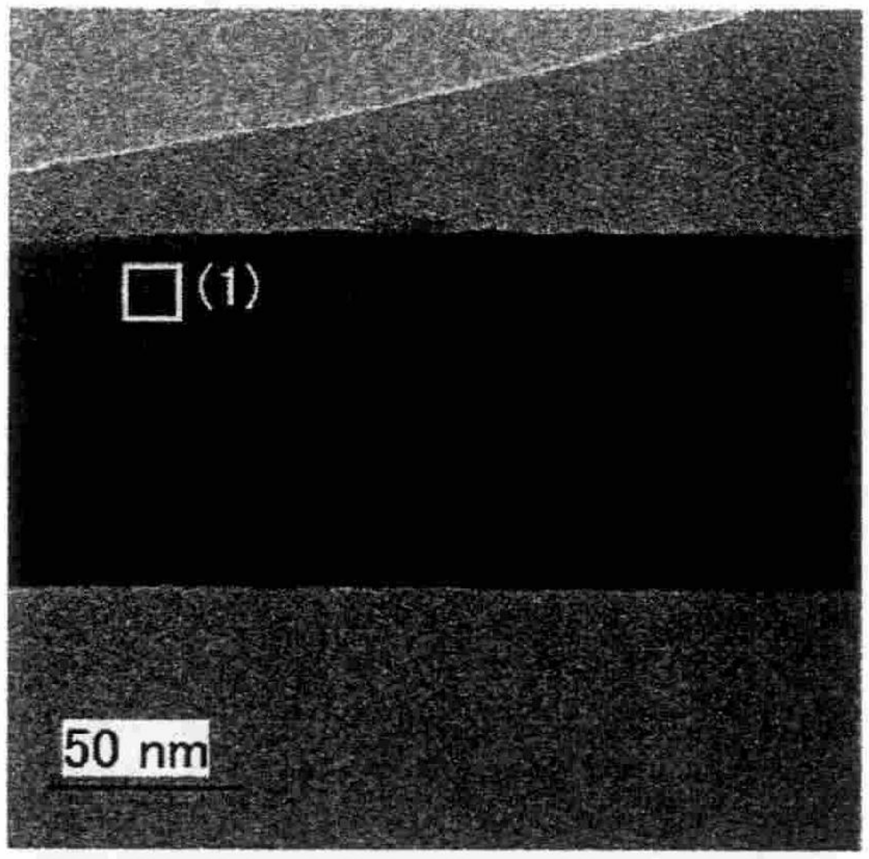


圖 31B

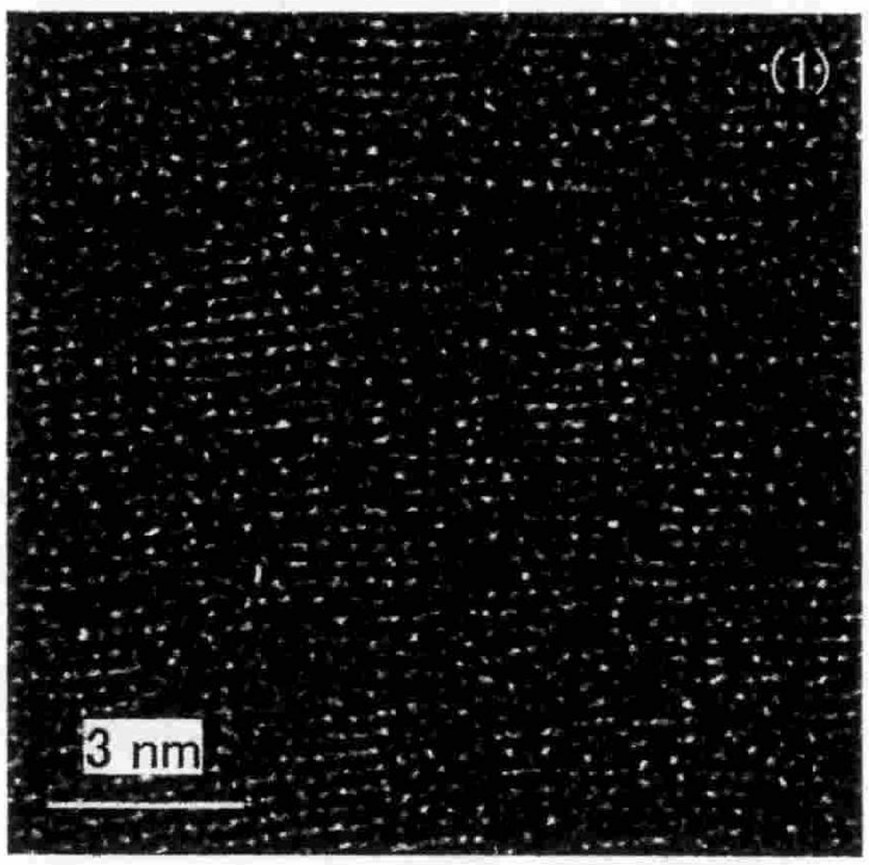


圖 31C

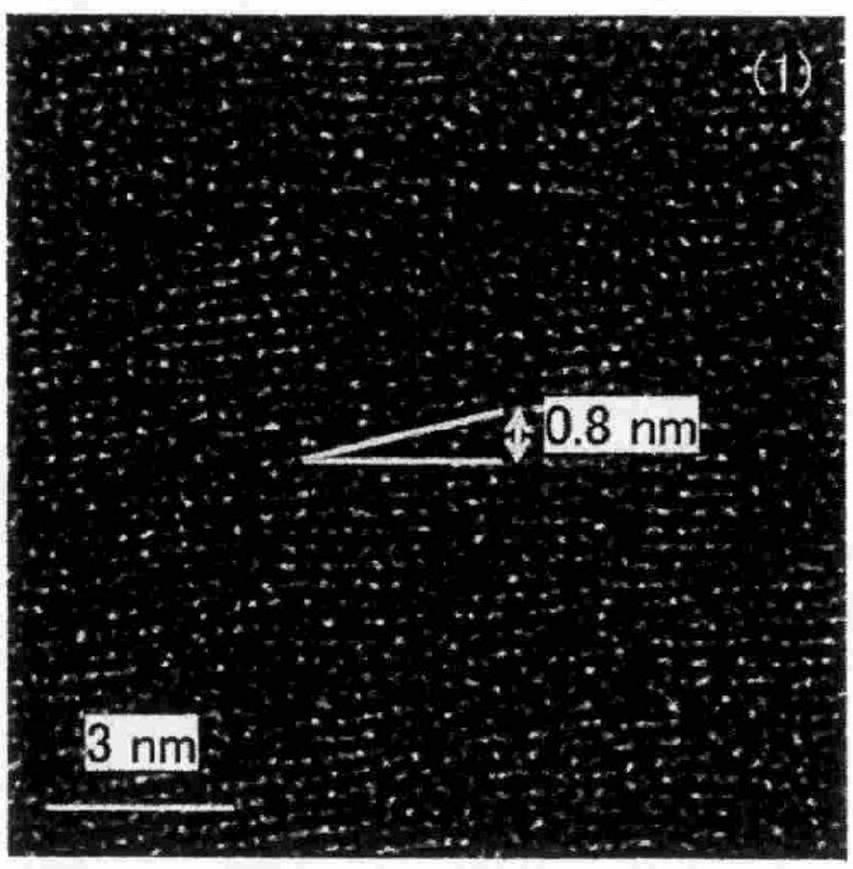


圖 31D

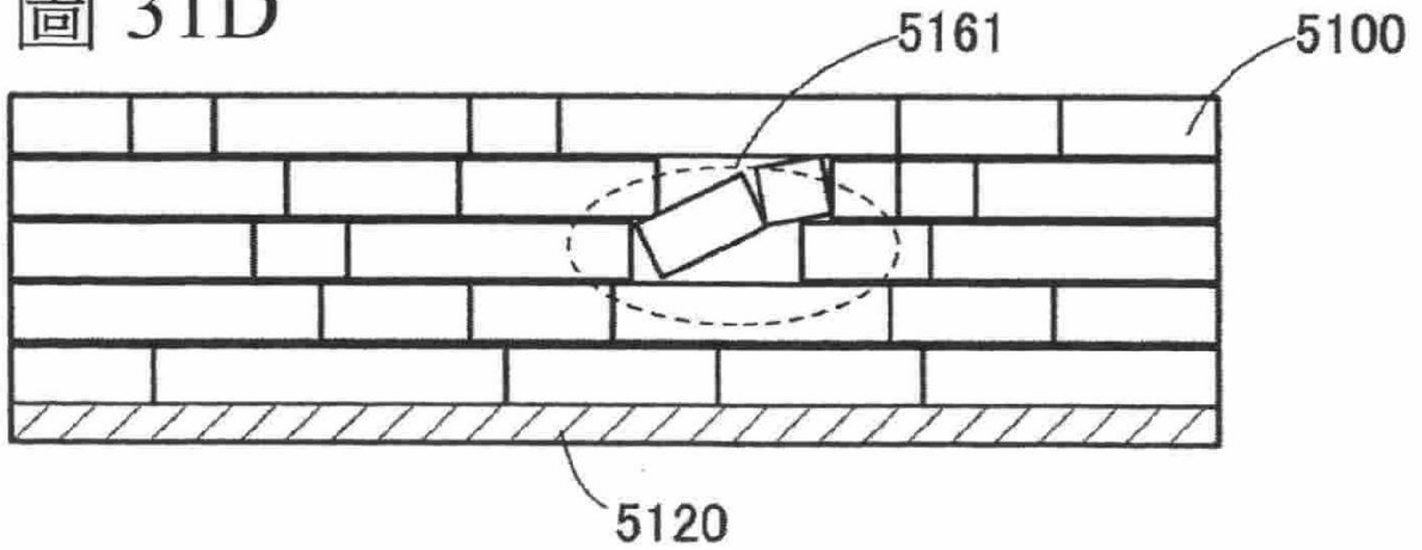


圖 32A

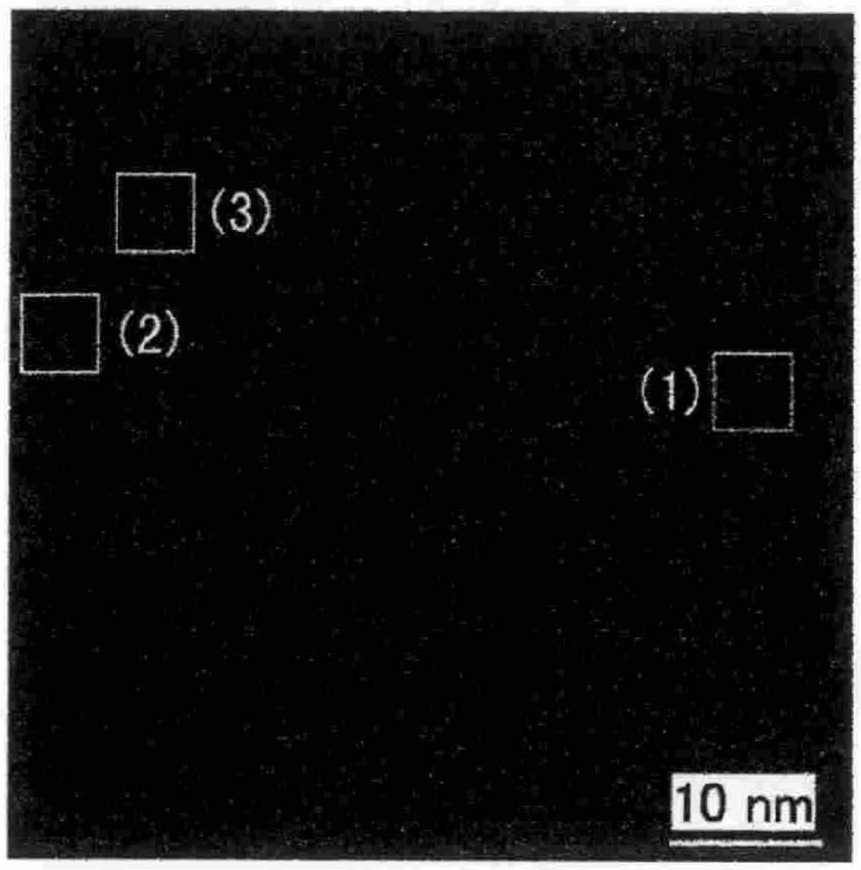


圖 32B

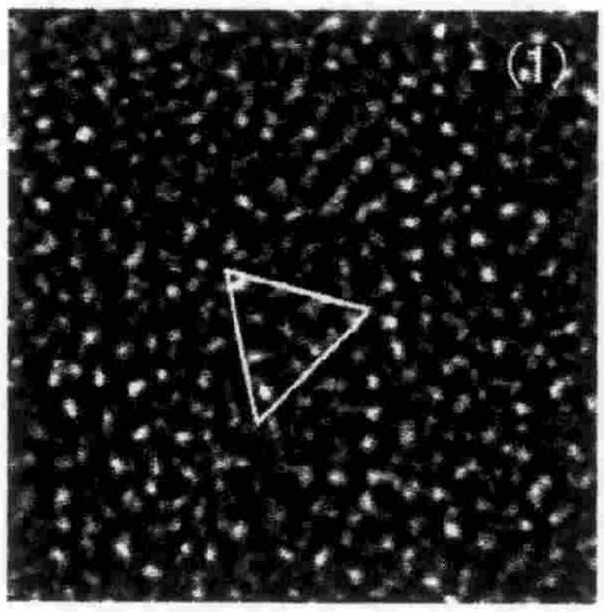


圖 32C

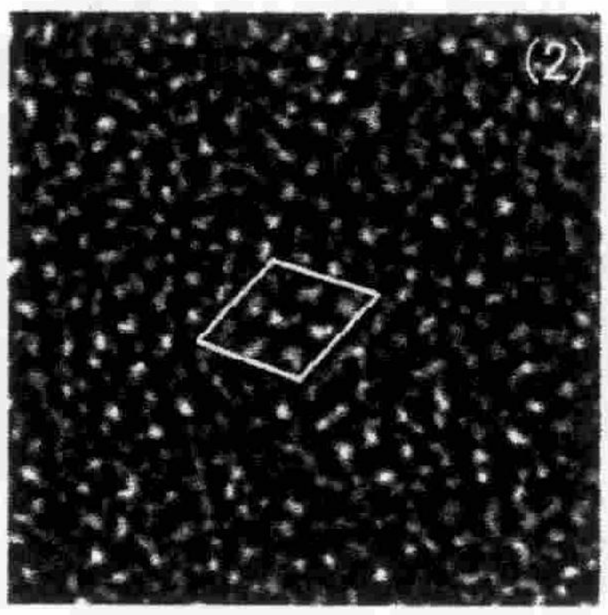


圖 32D

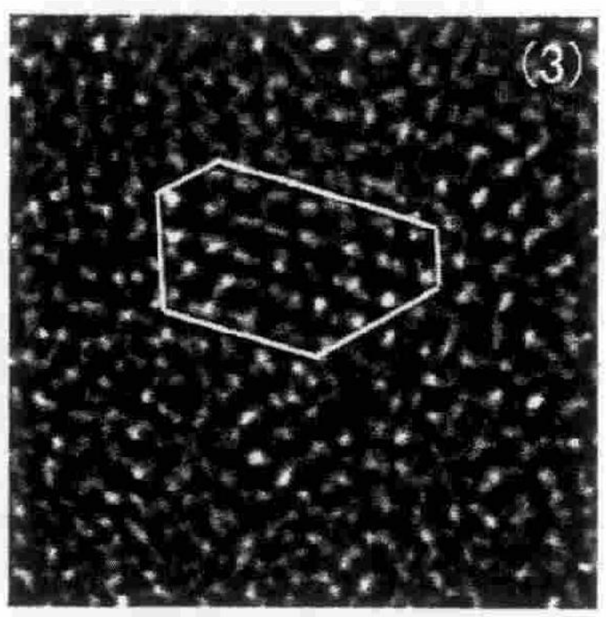


圖 33A

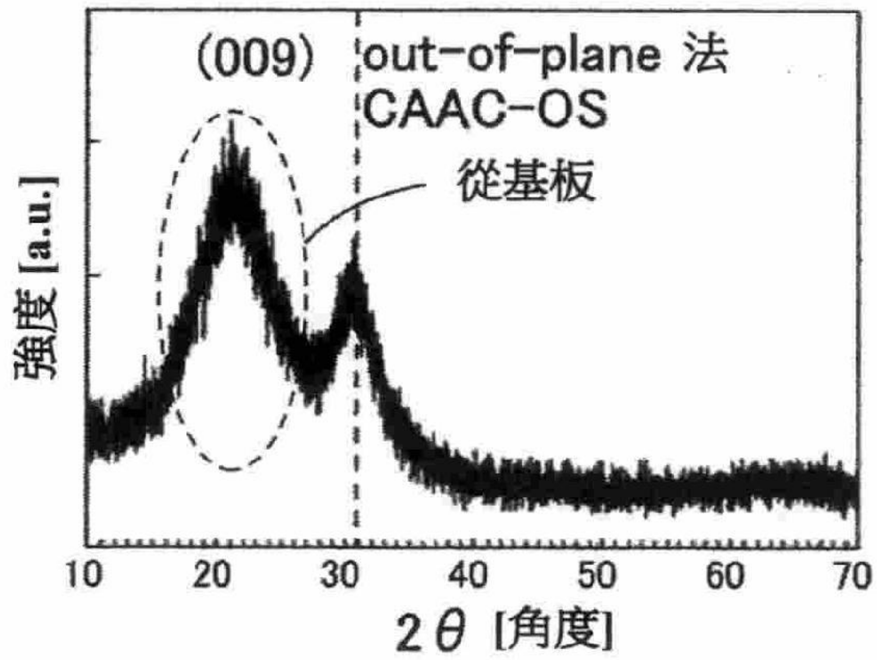


圖 33B

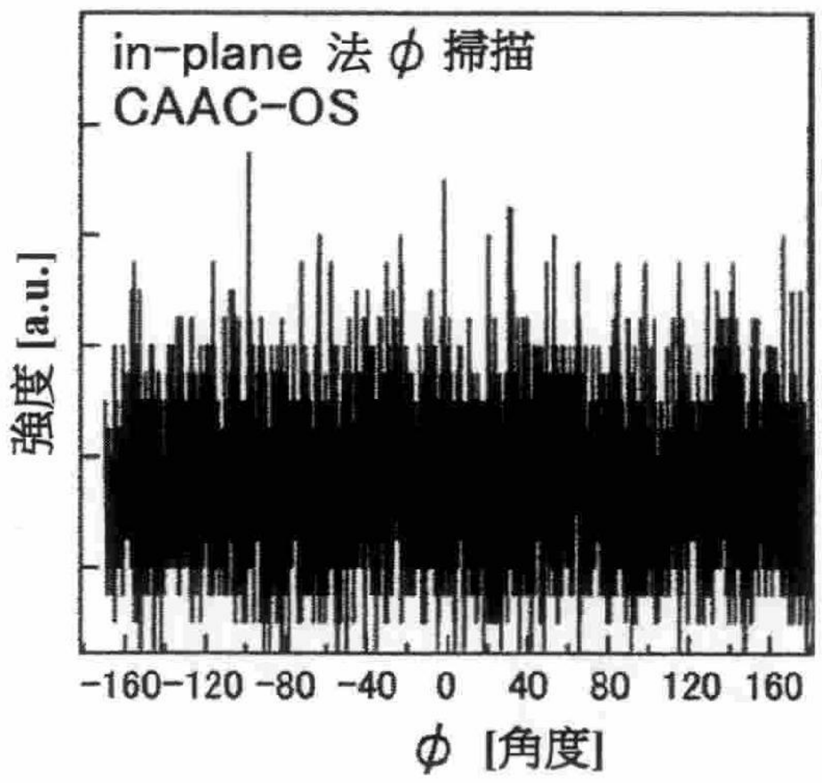


圖 33C

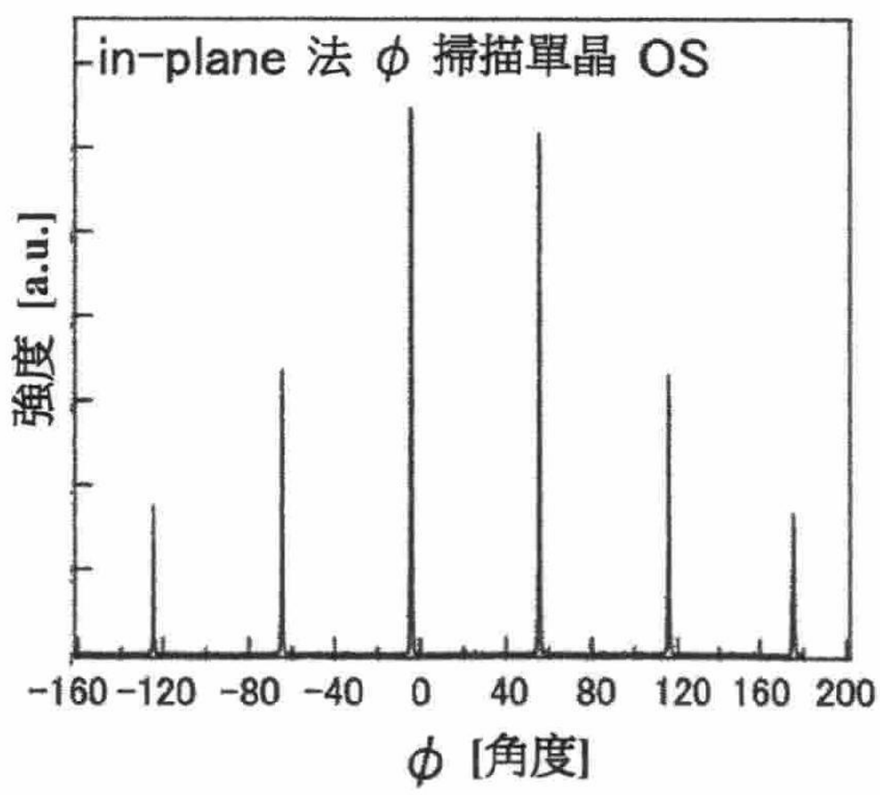


圖 34

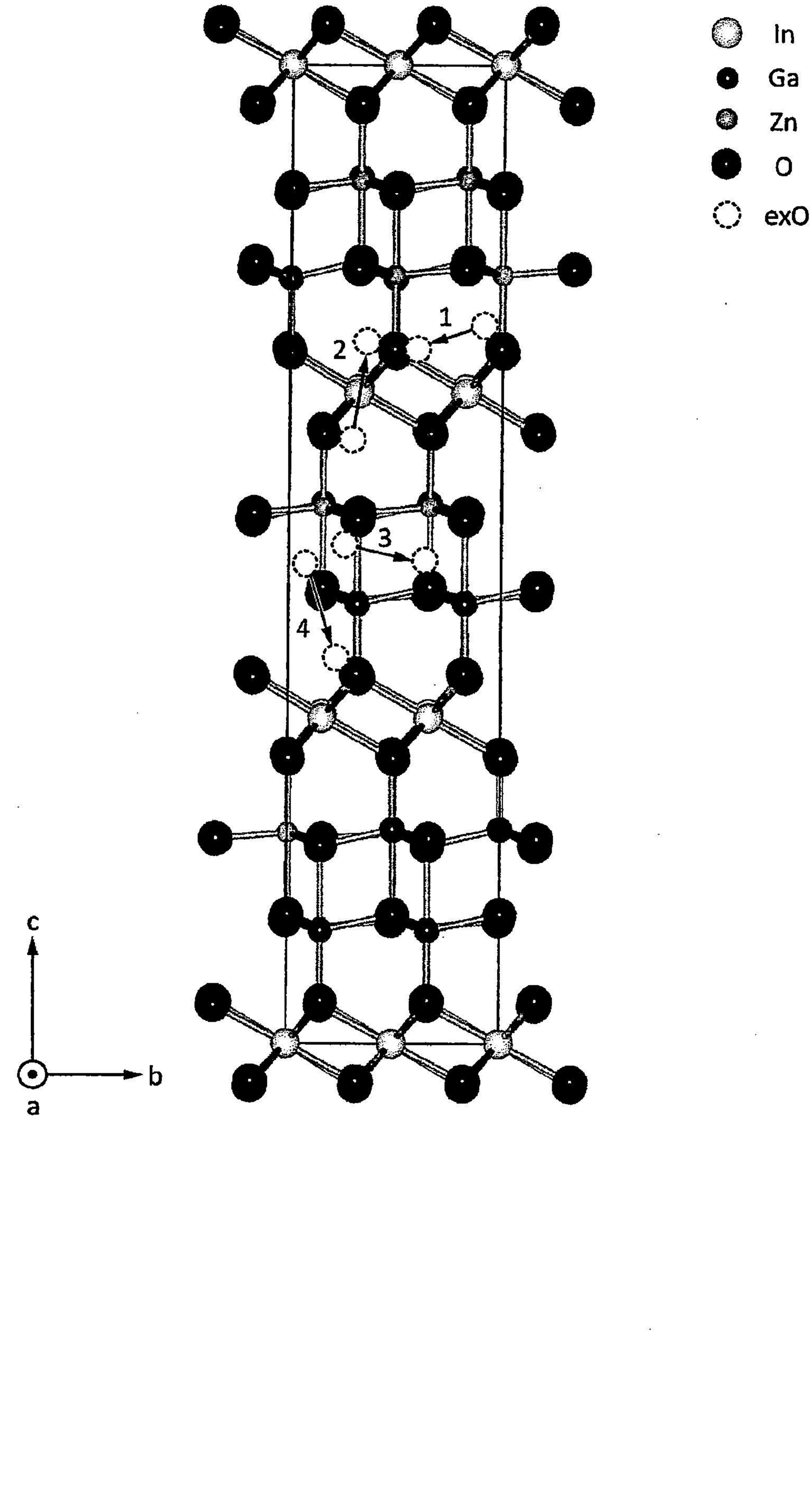


圖 35A

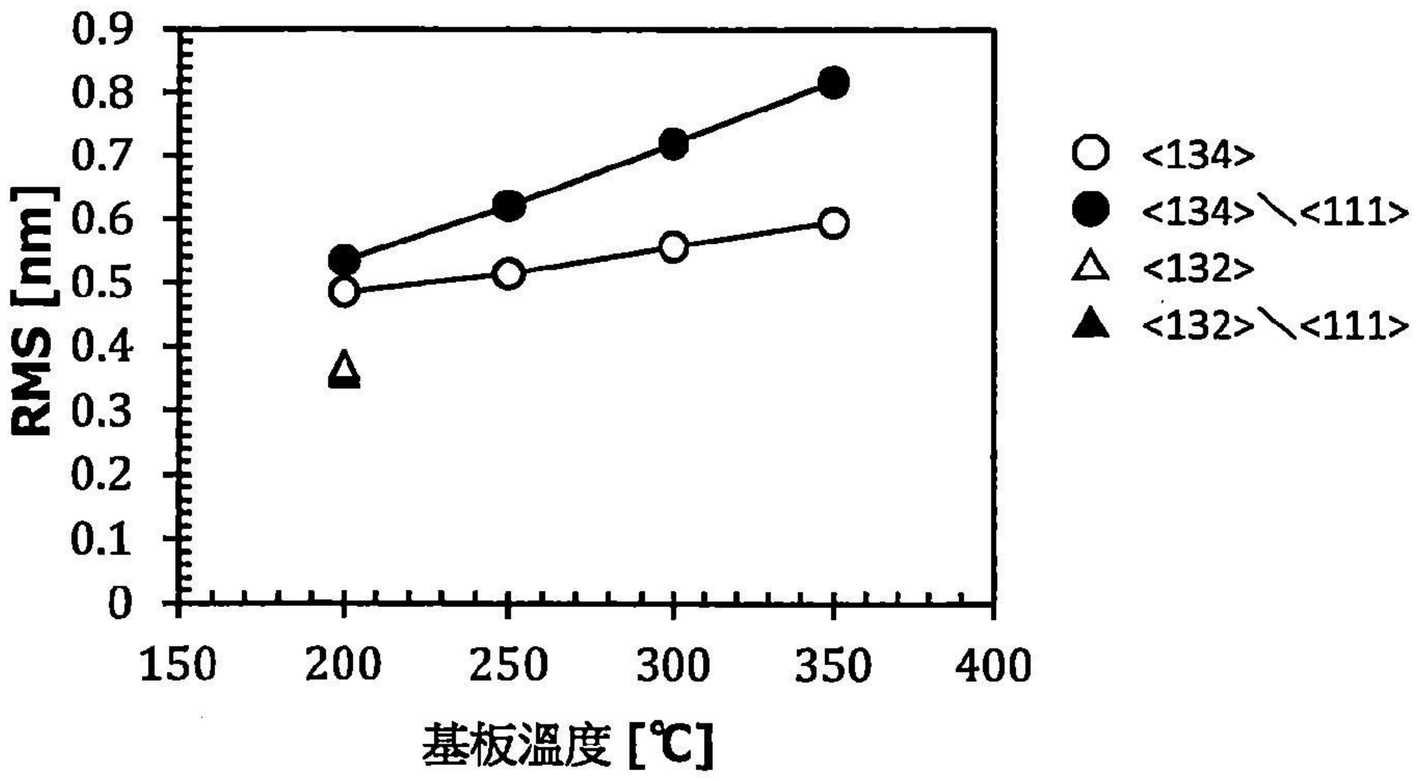


圖 35B

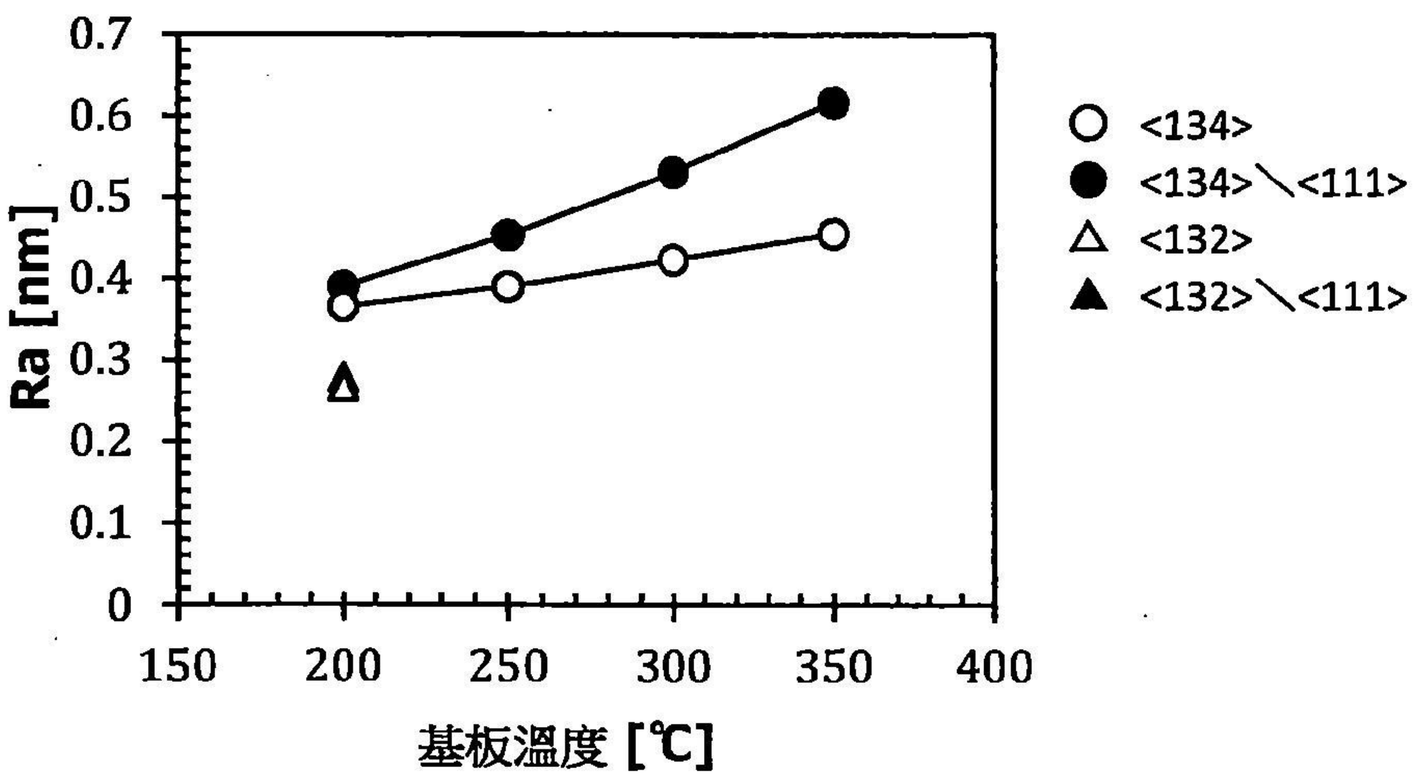


圖 35C

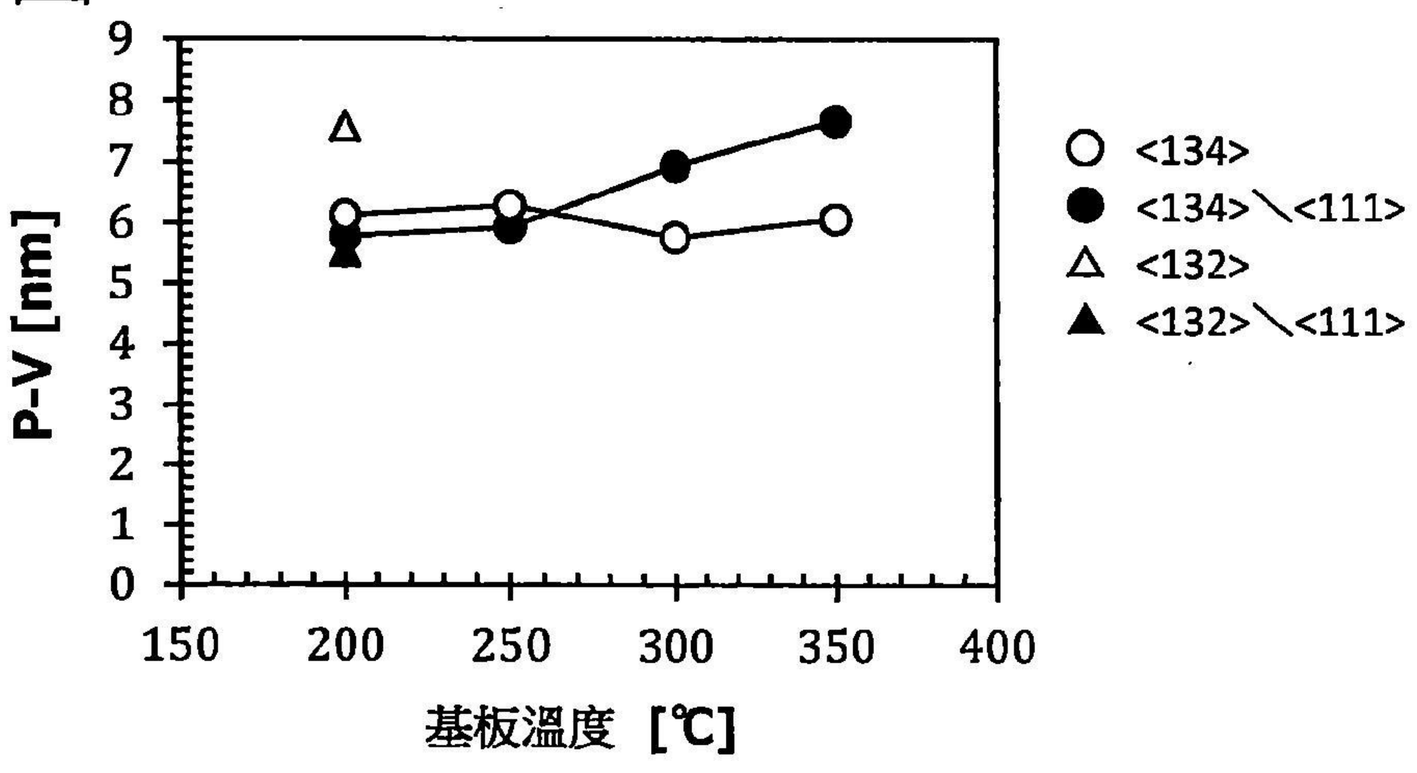


圖 36A

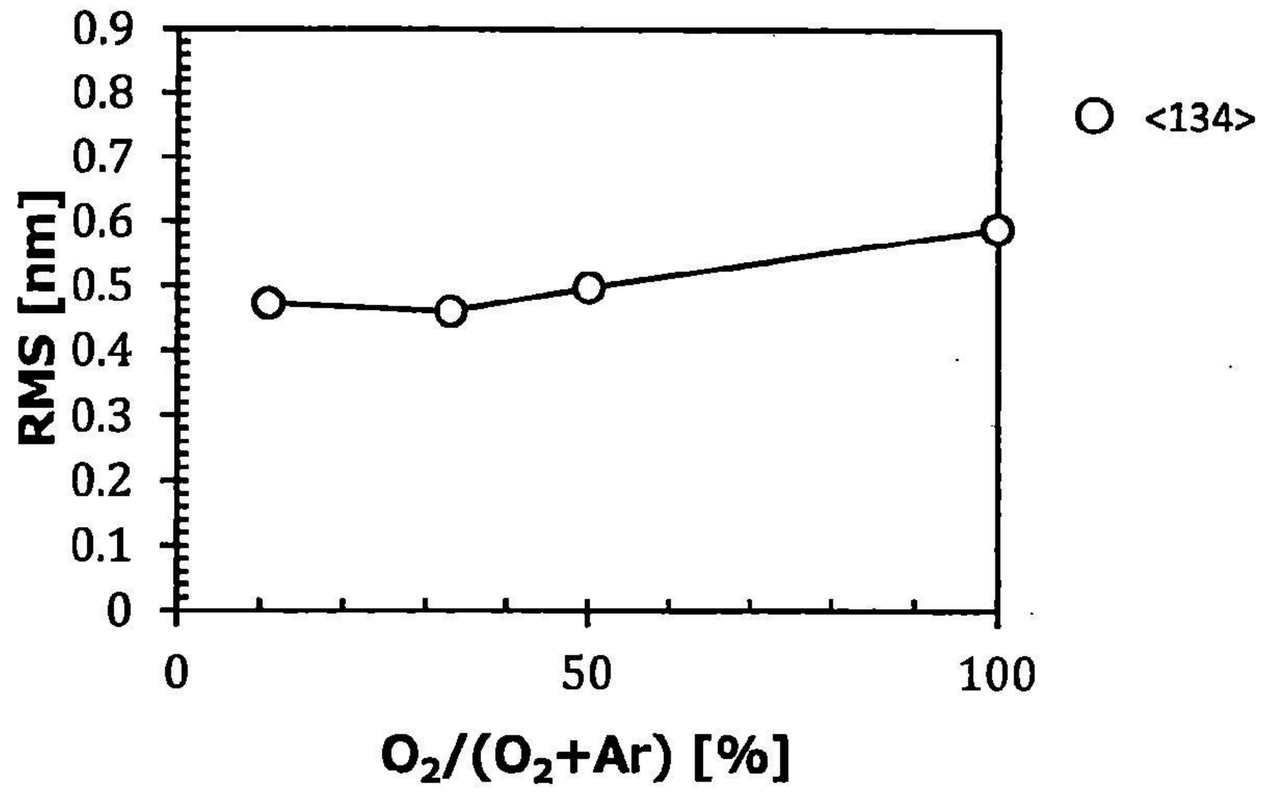


圖 36B

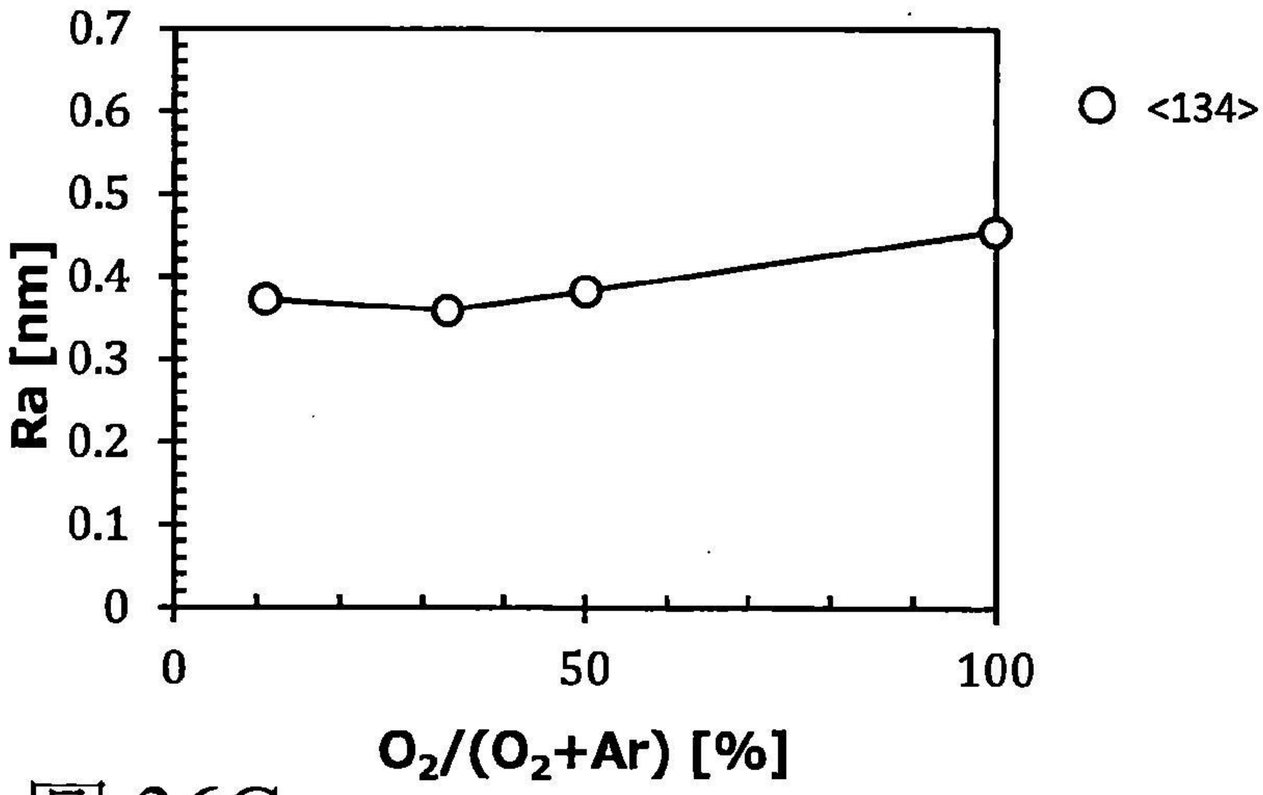


圖 36C

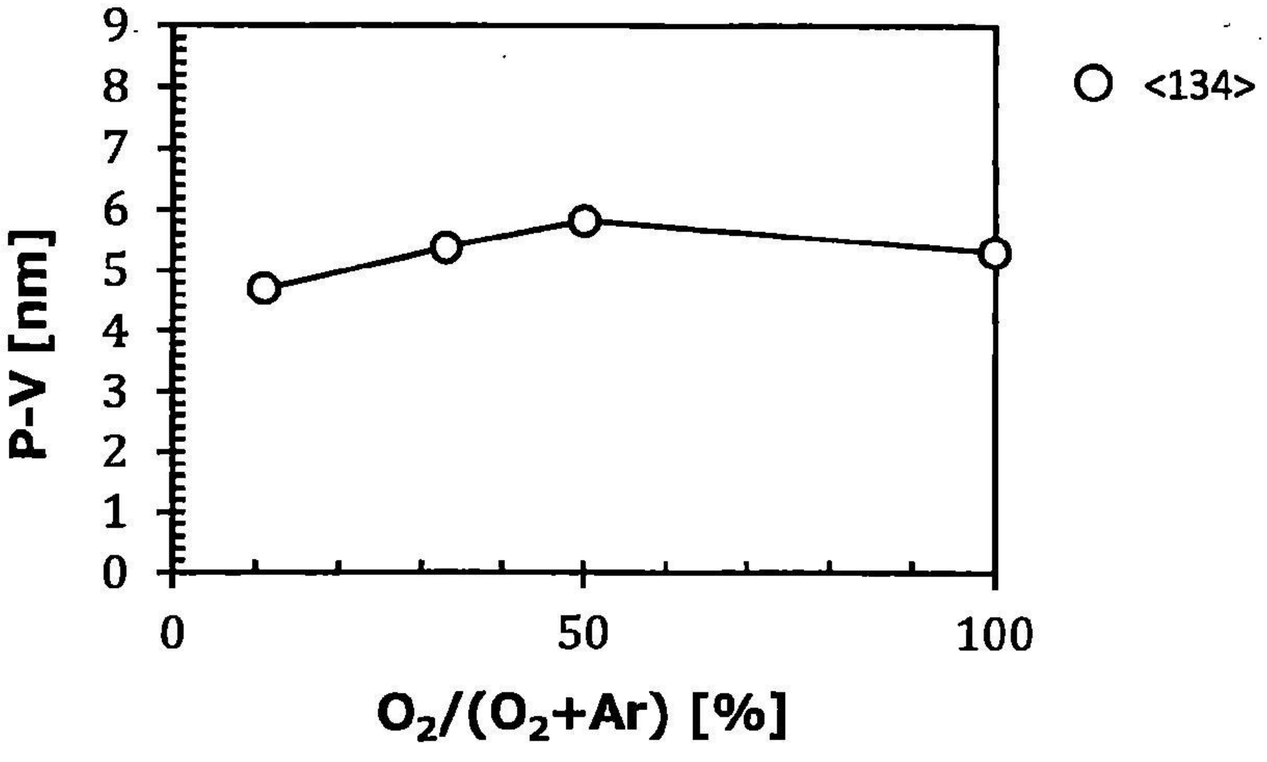
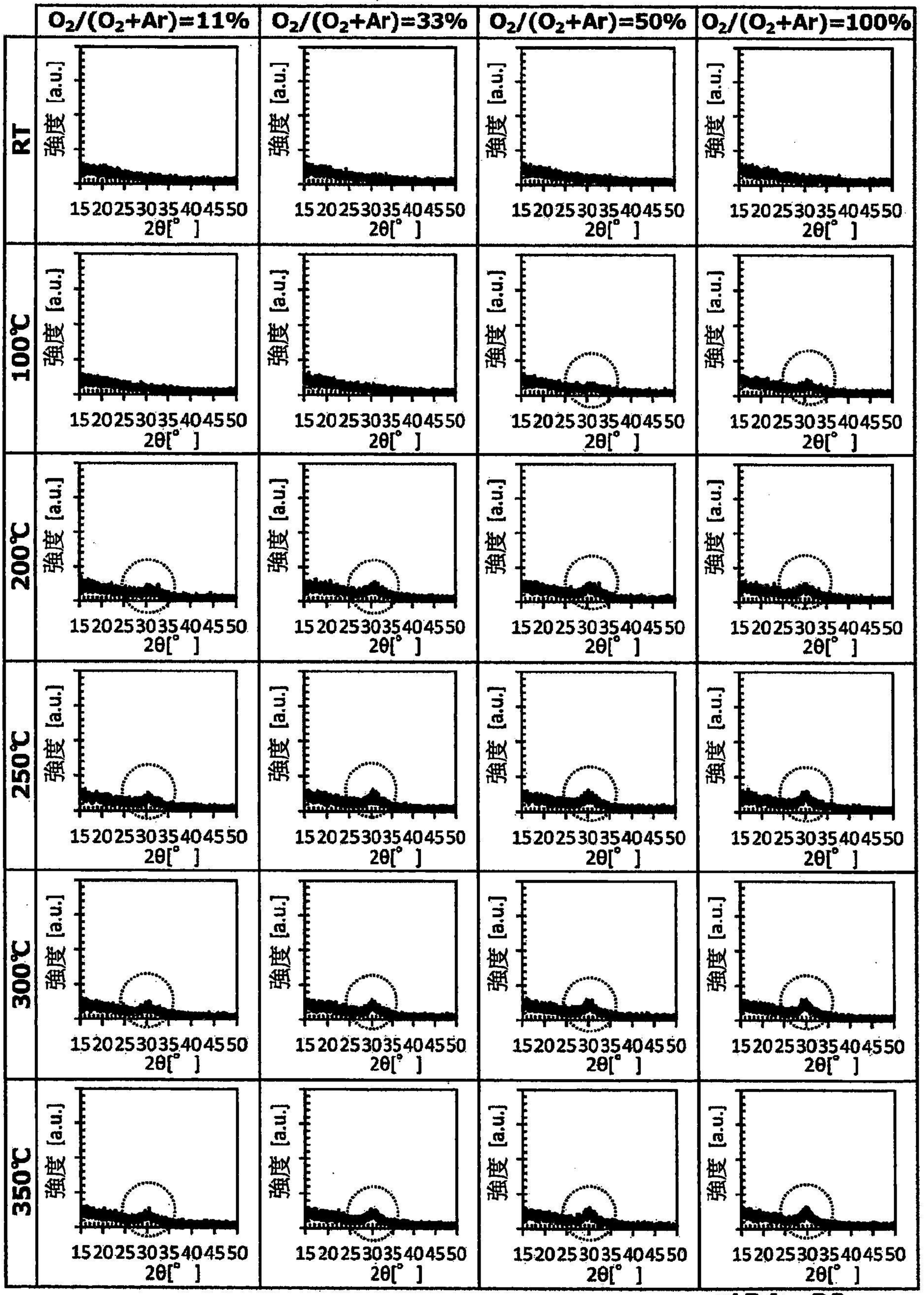
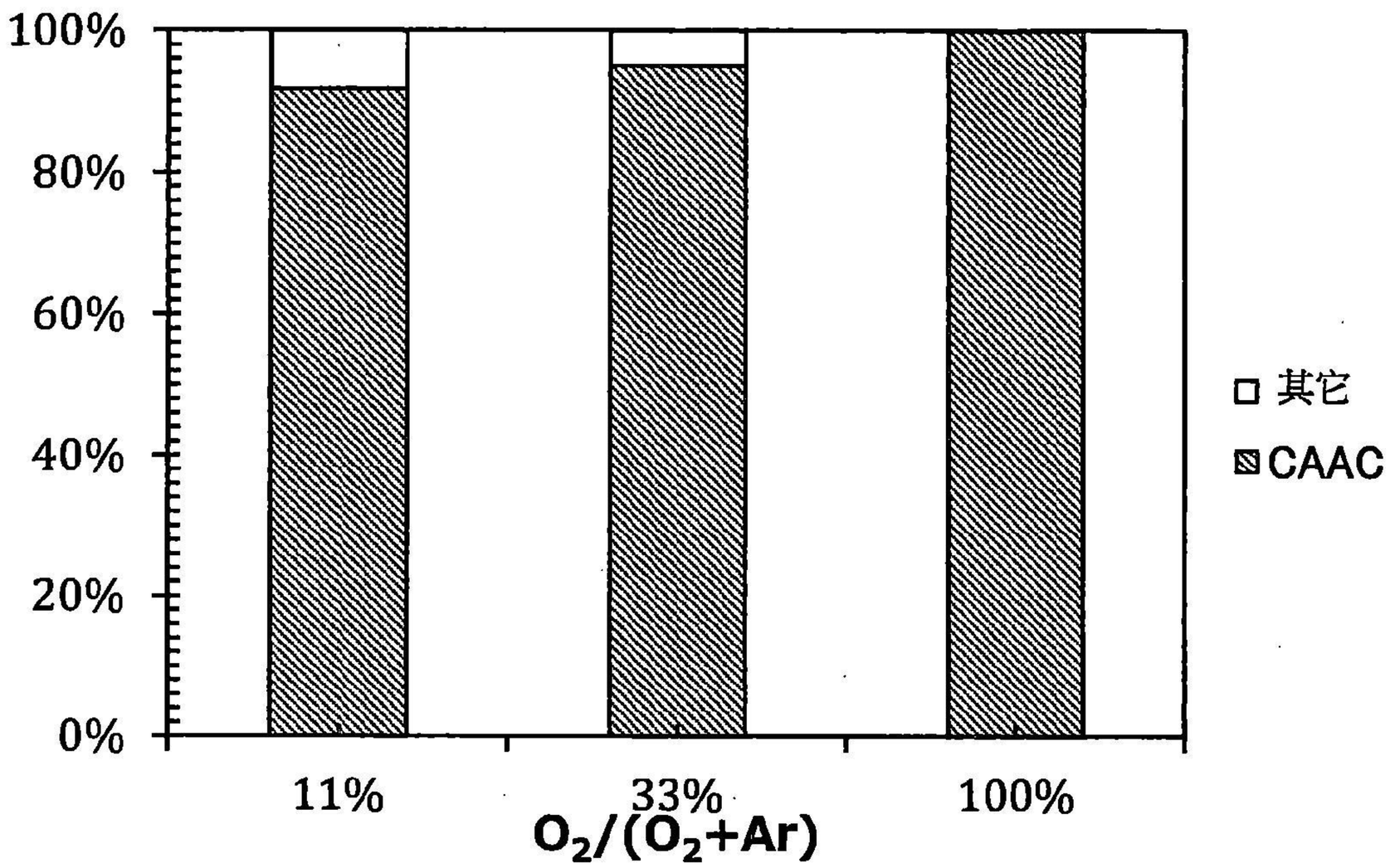


圖 37


O2/(O2+Ar)=11%
O2/(O2+Ar)=33%
O2/(O2+Ar)=50%
O2/(O2+Ar)=100%
RT
100℃
200℃
250℃
300℃
350℃
強度 [a.u.]
15 20 25 30 35 40 45 50
2θ[°]

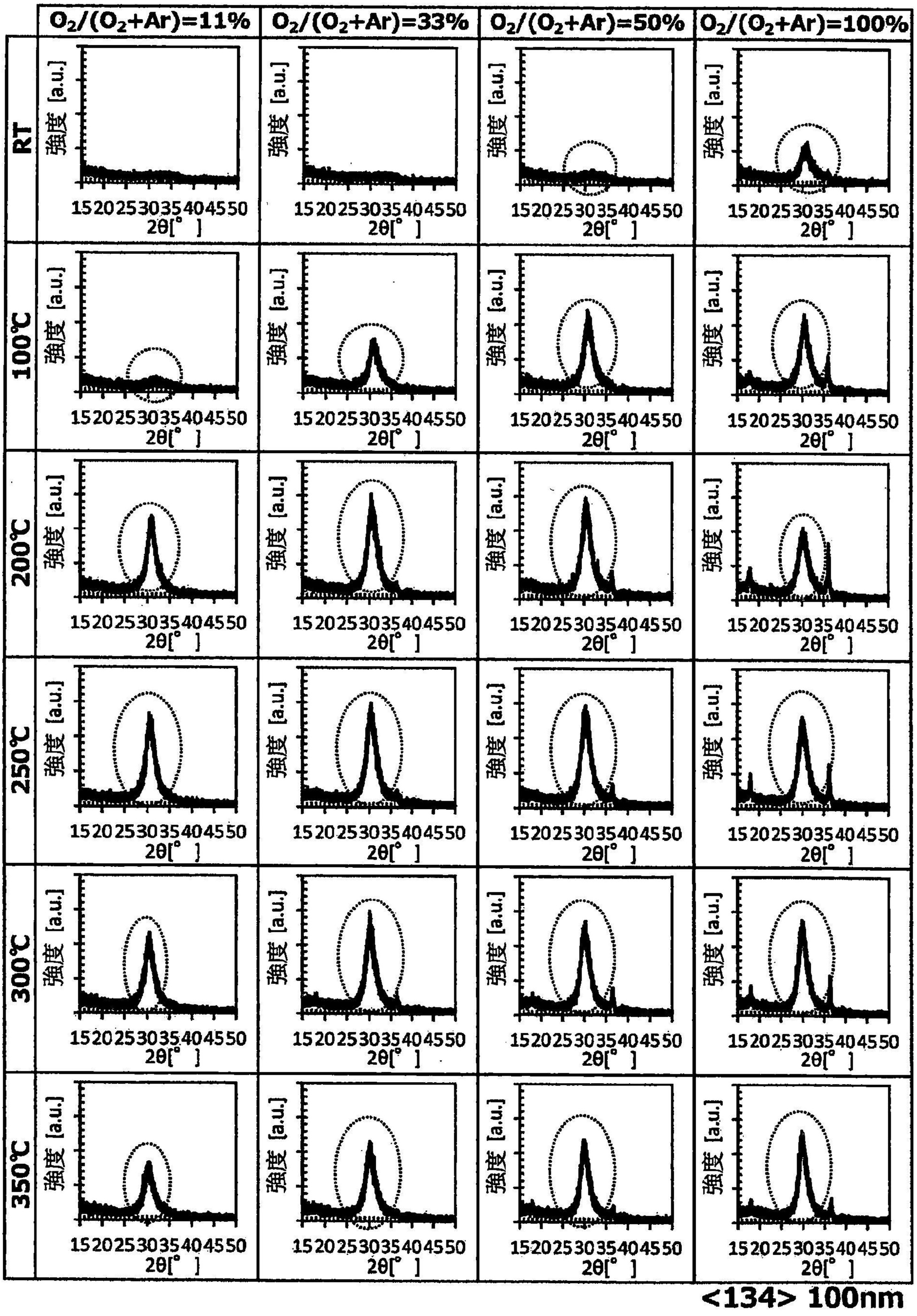
<134> 20nm

圖 38



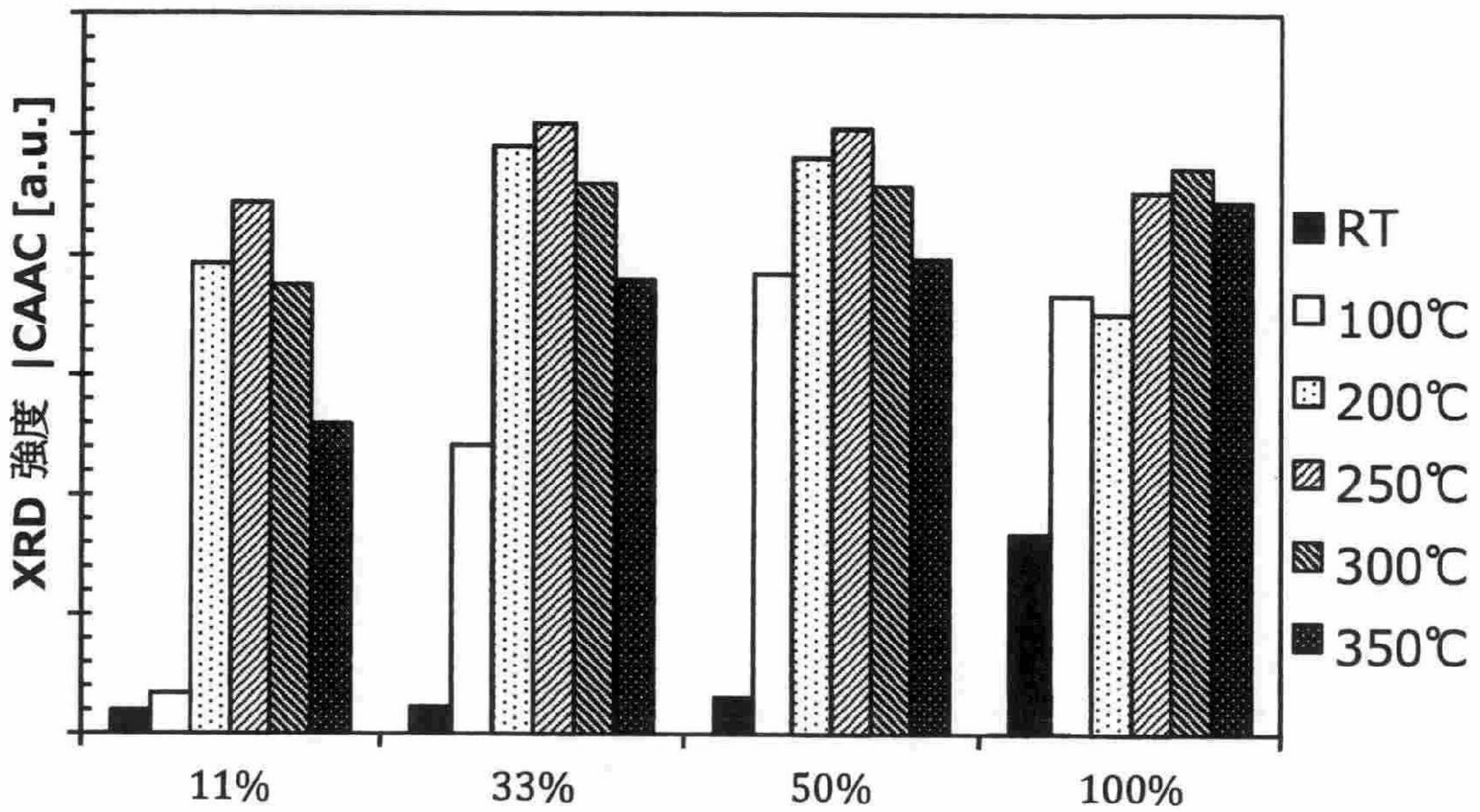
<134> 20nm

圖 39



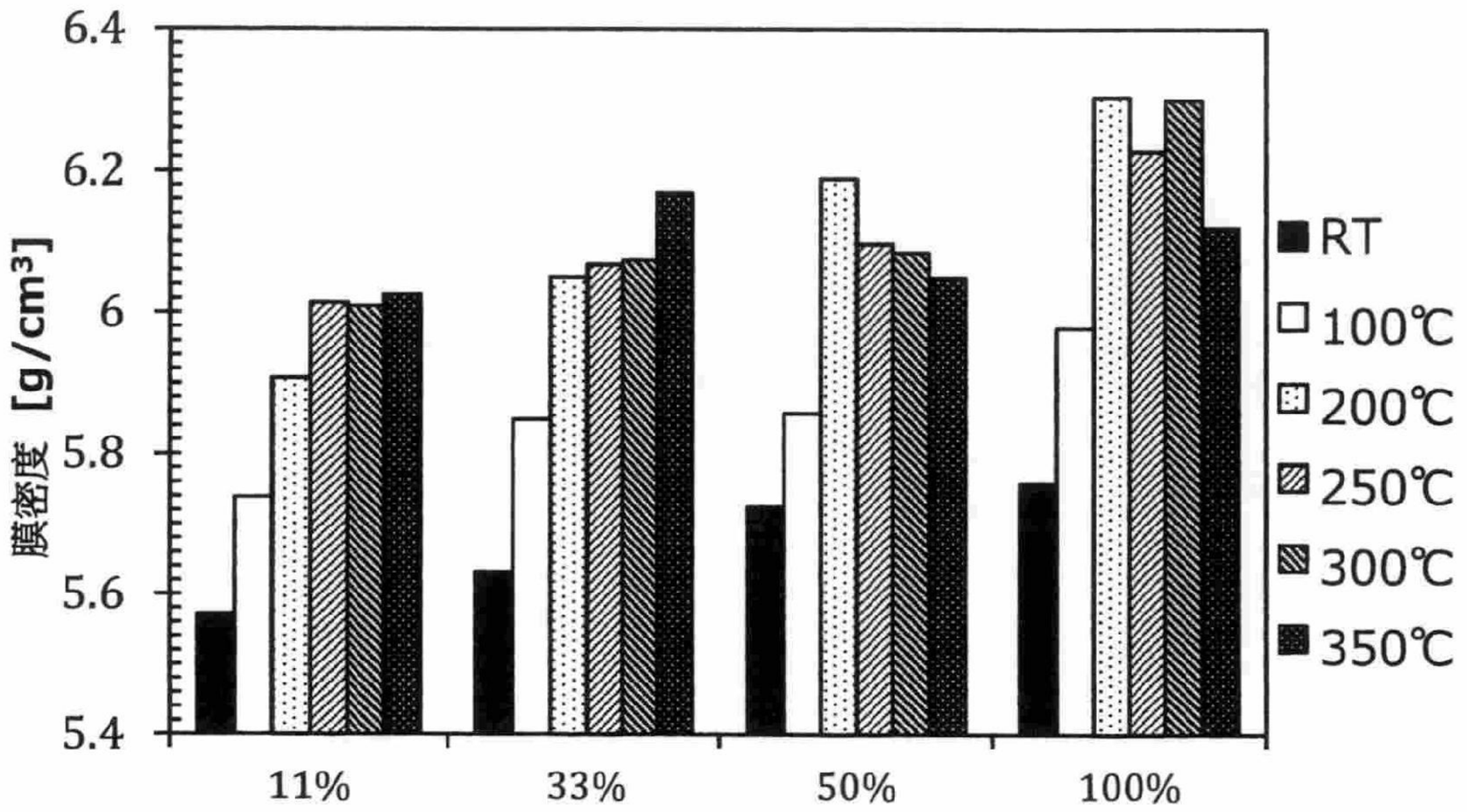
<134> 100nm

圖 40



<134> 100nm

圖 41


6.4
6.2
6
5.8
5.6
5.4
膜密度 [g/cm³]
RT
100℃
200℃
250℃
300℃
350℃
11%
33%
50%
100%
O2/(O2+Ar)

<134> 20nm

圖 42

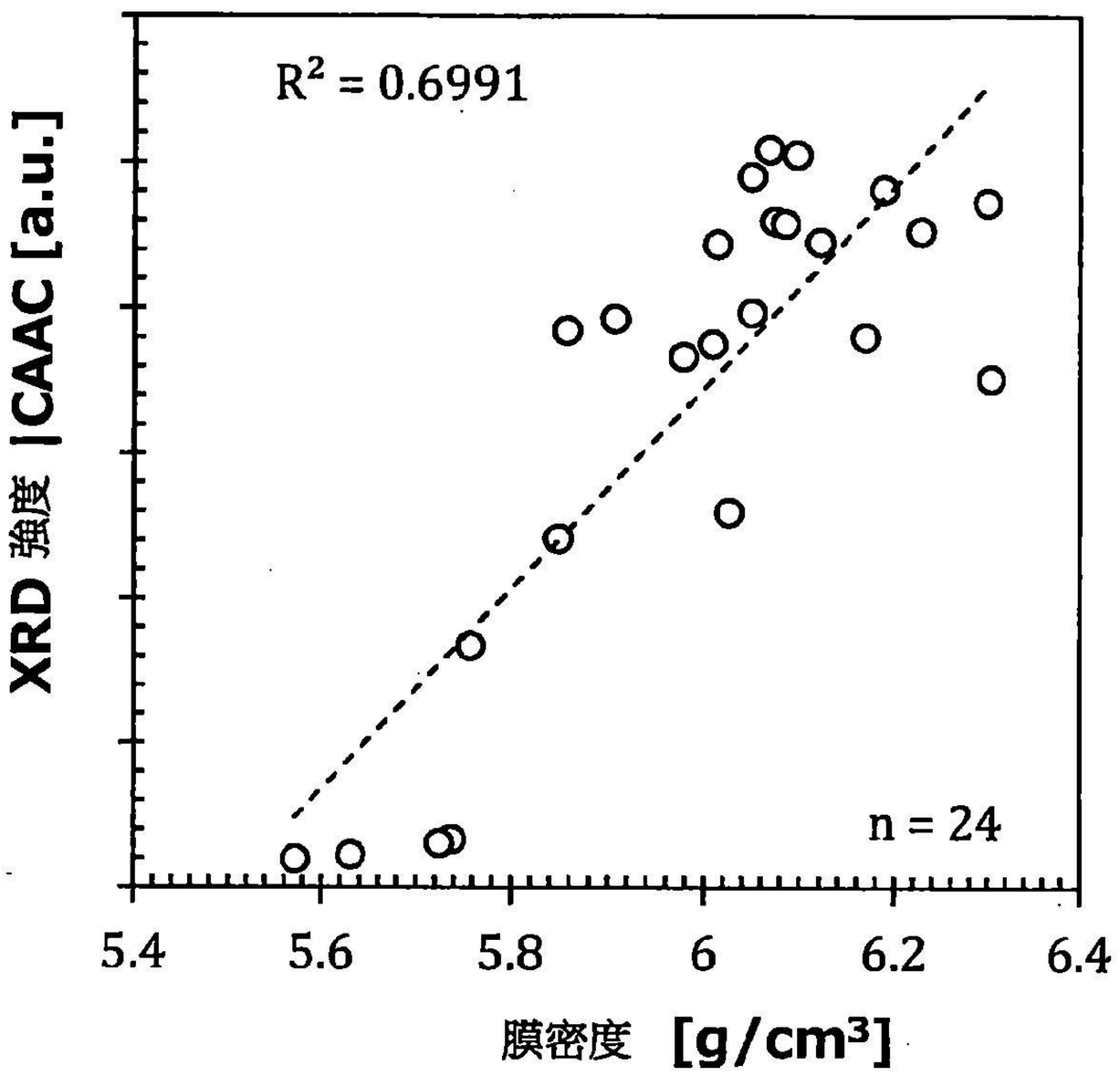


圖 43

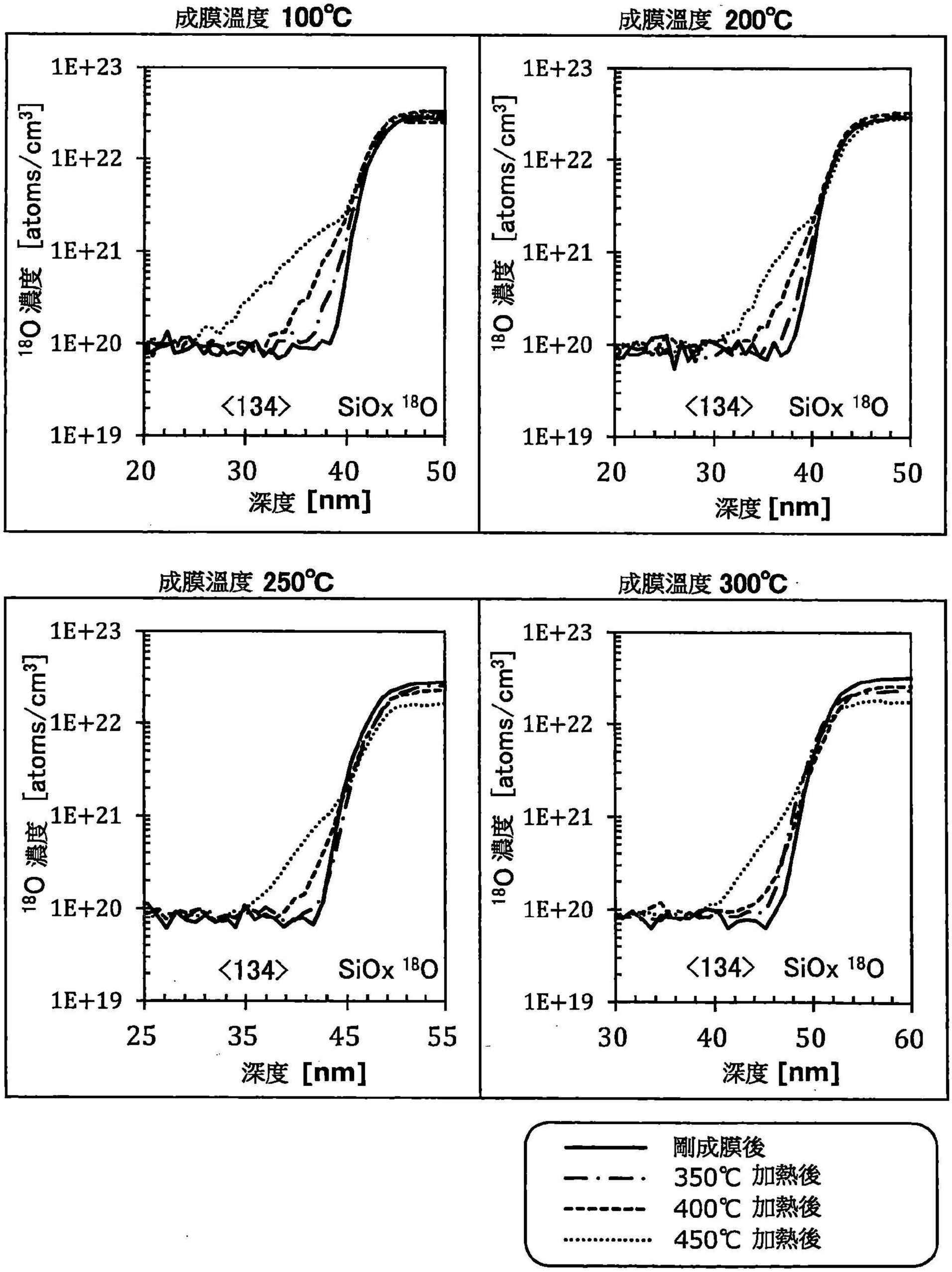

成膜溫度 100℃
成膜溫度 200℃
成膜溫度 250℃
成膜溫度 300℃
^{18}O 濃度 [atoms/cm^3]
1E+23
1E+22
1E+21
1E+20
1E+19
〈134〉 SiOx ^{18}O
深度 [nm]
20
30
40
50
25
35
45
55
60
剛成膜後
350℃ 加熱後
400℃ 加熱後
450℃ 加熱後

圖 44

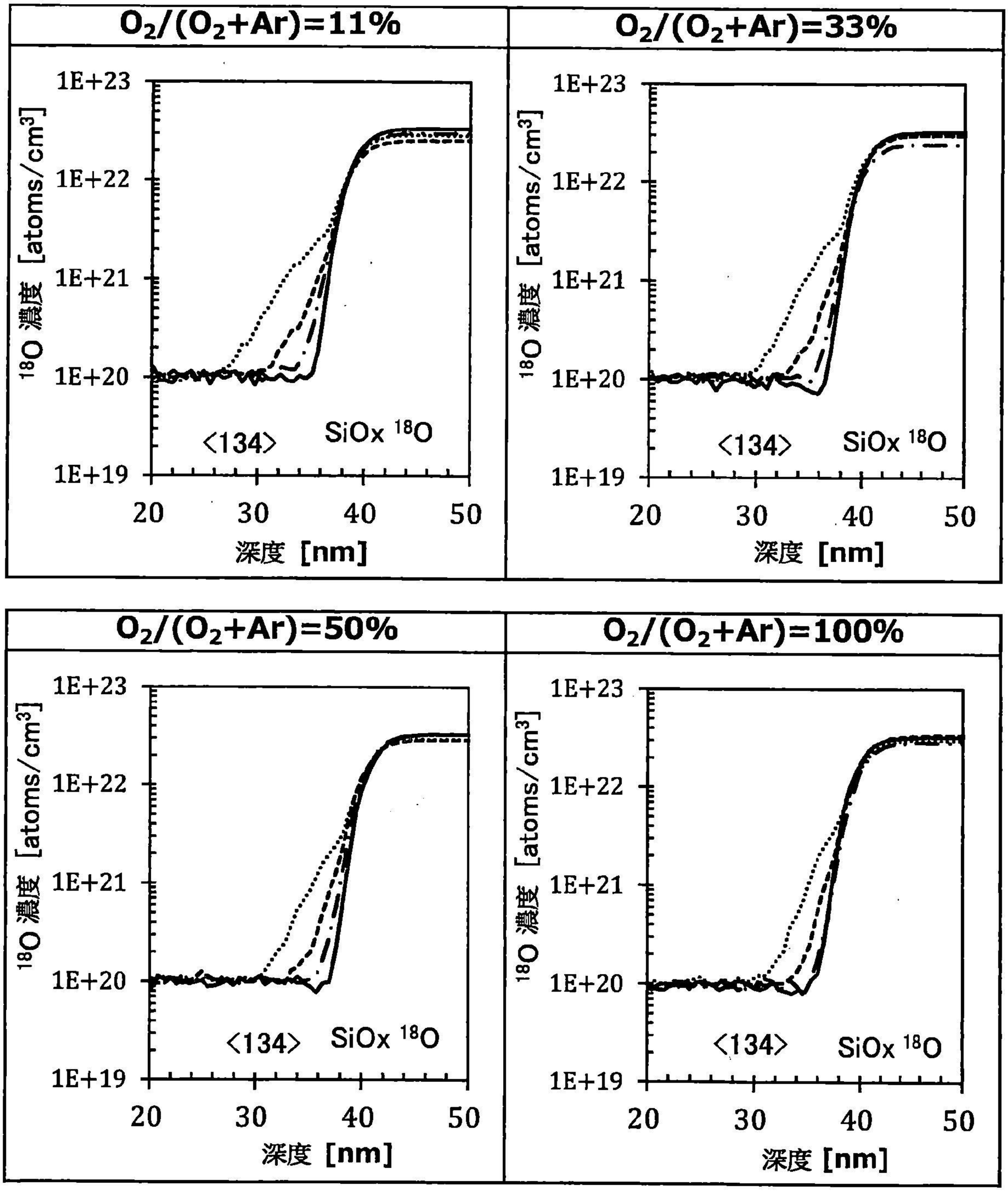

O2/(O2+Ar)=11%
O2/(O2+Ar)=33%
O2/(O2+Ar)=50%
O2/(O2+Ar)=100%
18O 濃度 [atoms/cm3]
1E+23
1E+22
1E+21
1E+20
1E+19
20
30
40
50
深度 [nm]
<134>
SiOx 18O
剛成膜後
350℃ 加熱後
400℃ 加熱後
450℃ 加熱後

圖 45

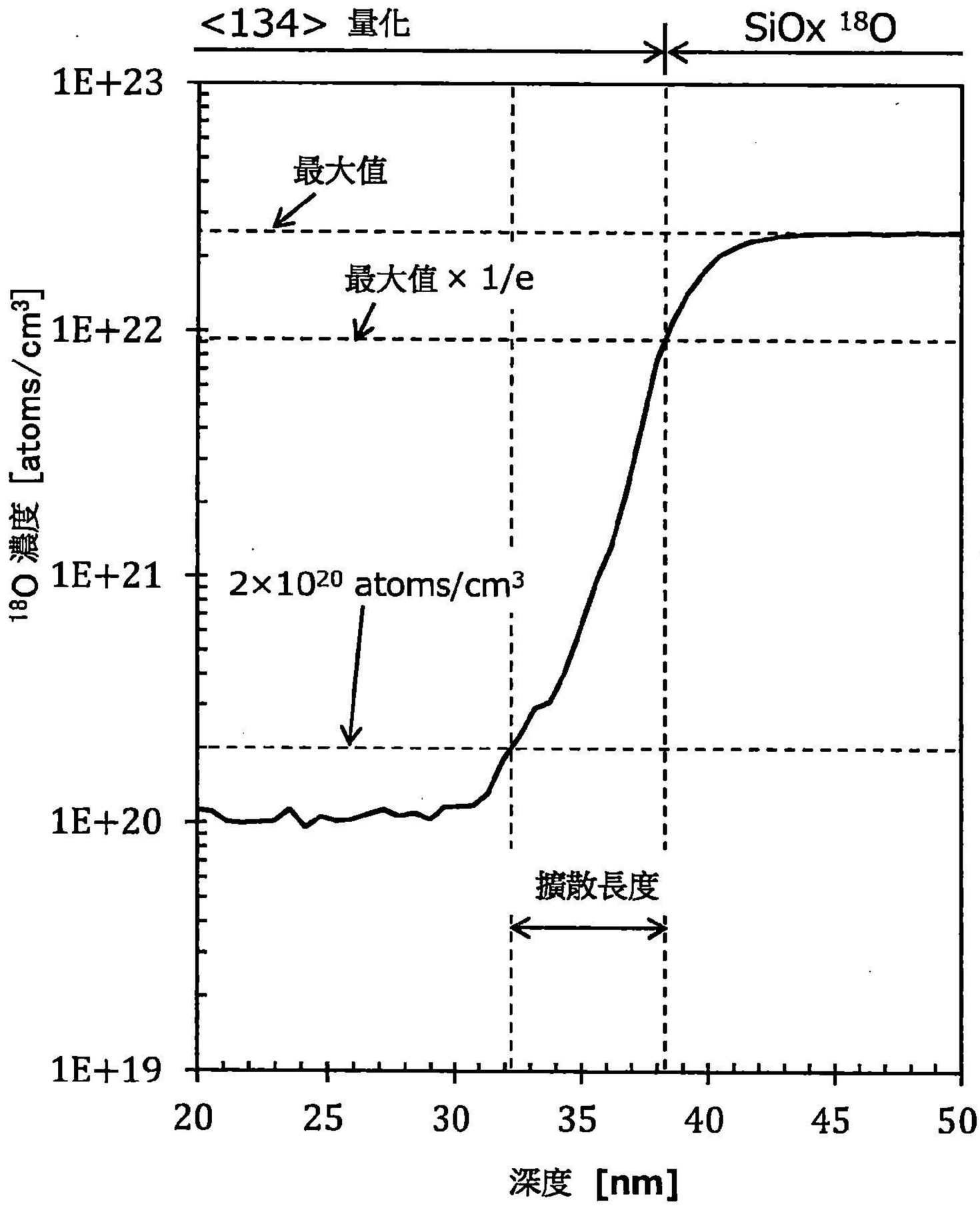

<134> 量化
SiOx ^{18}O
1E+23
最大值
最大值 × 1/e
1E+22
^{18}O 濃度 [atoms/cm^3]
1E+21
2×10^{20} atoms/cm^3
1E+20
擴散長度
1E+19
20
25
30
35
40
45
50
深度 [nm]

圖 46

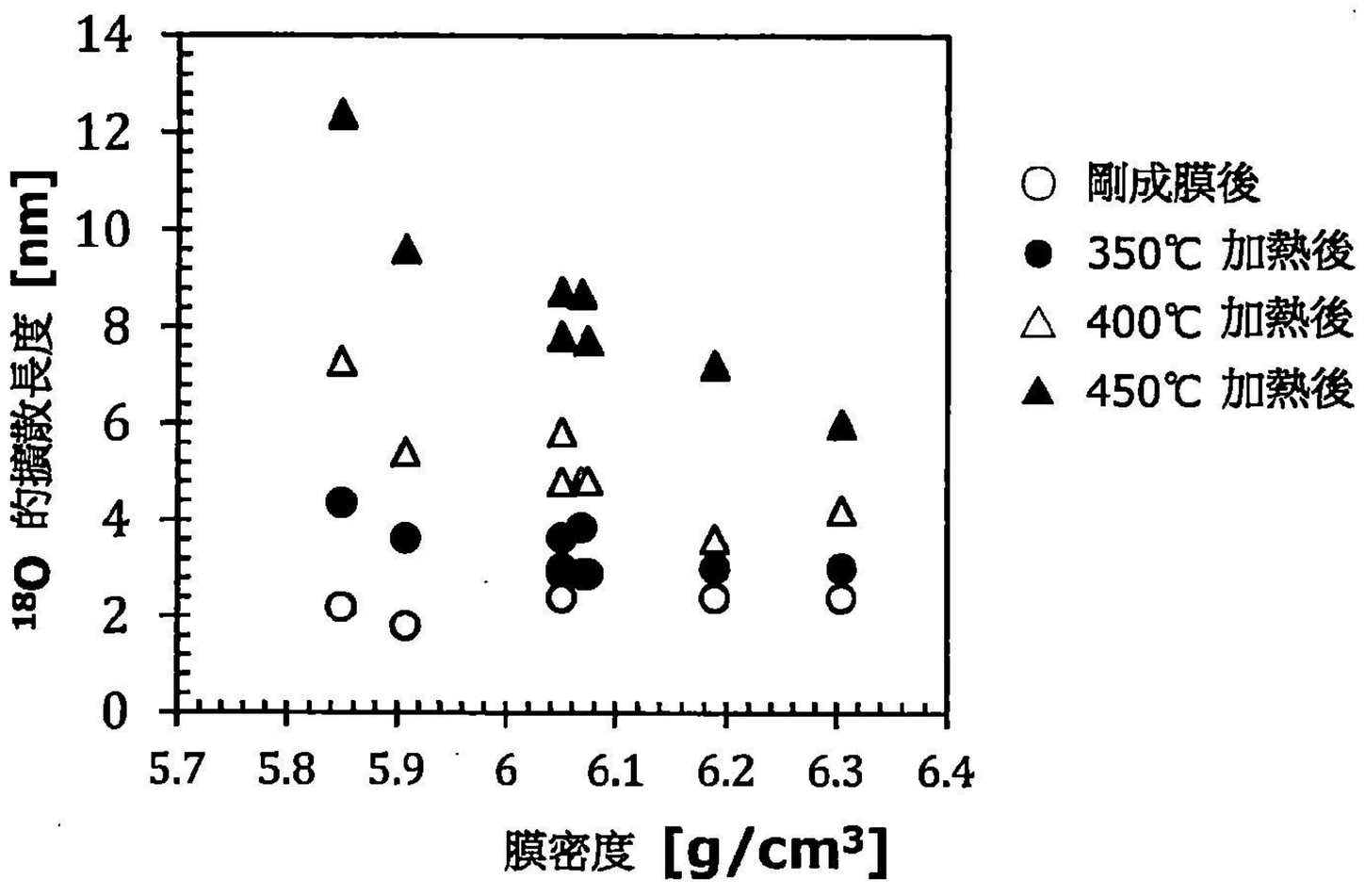

14
12
10
8
6
4
2
0
^{18}O 的擴散長度 [nm]
○ 剛成膜後
● 350℃ 加熱後
△ 400℃ 加熱後
▲ 450℃ 加熱後
5.7
5.8
5.9
6
6.1
6.2
6.3
6.4
膜密度 [g/cm³]

圖 47

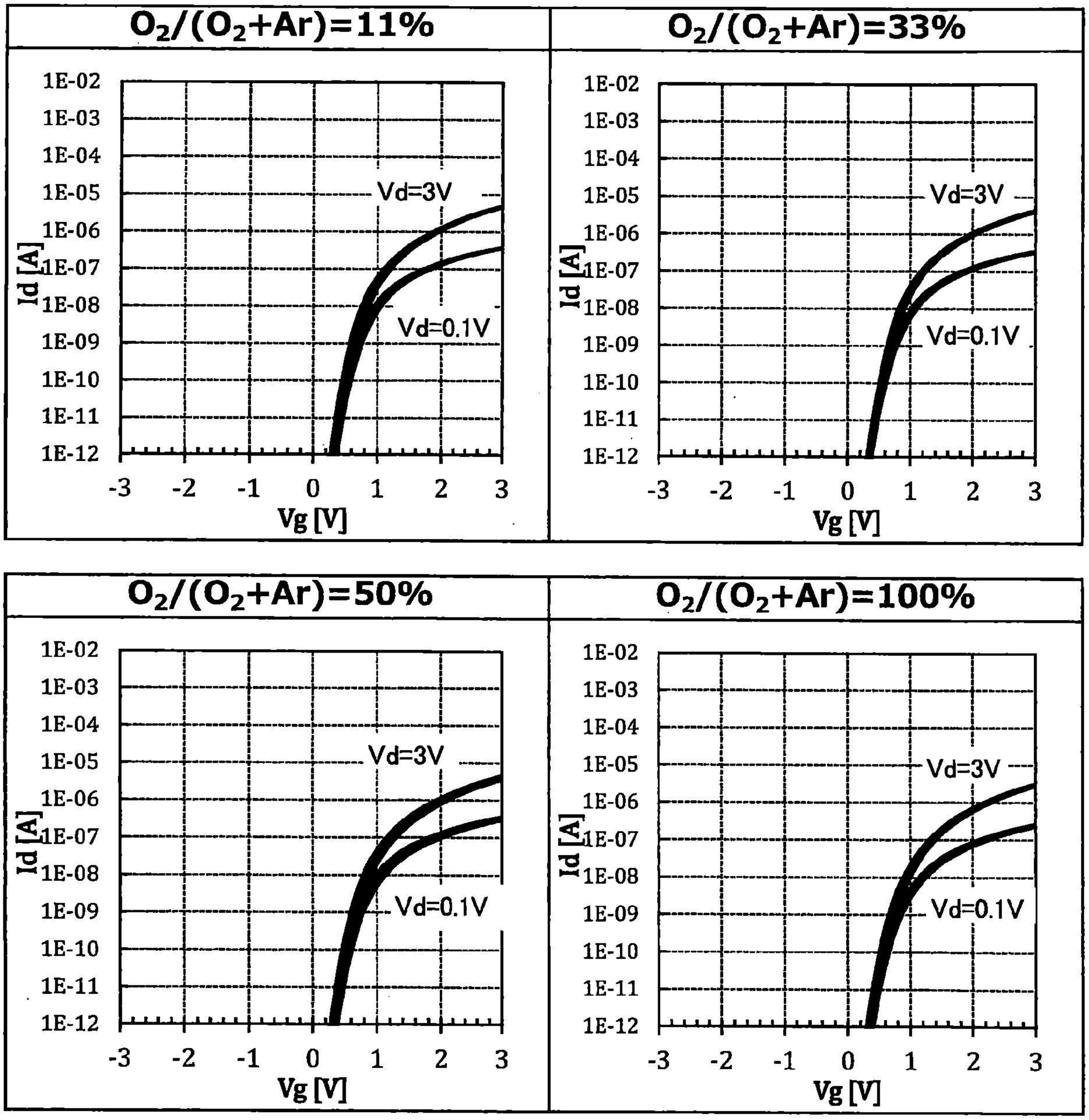
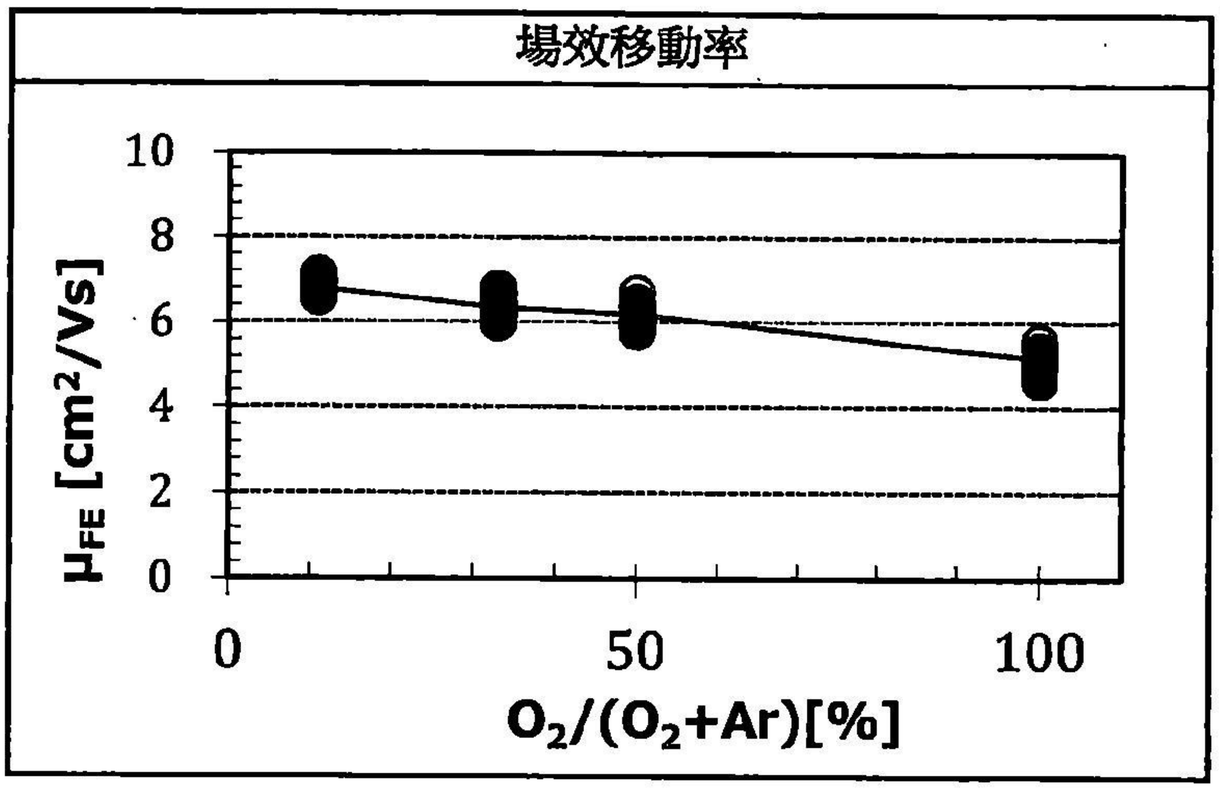
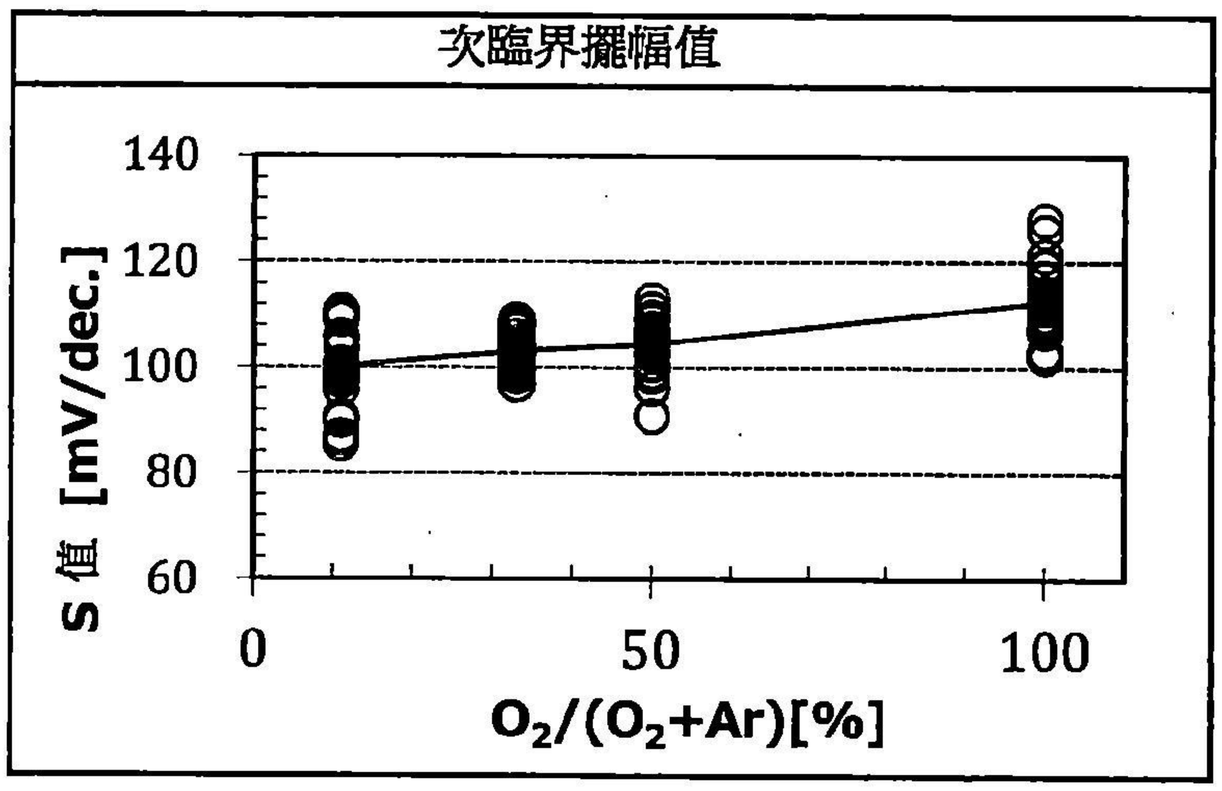

O2/(O2+Ar)=11%
O2/(O2+Ar)=33%
O2/(O2+Ar)=50%
O2/(O2+Ar)=100%
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
Vd=3V
Vd=0.1V
-3
-2
-1
0
1
2
3
Vg [V]

圖 48


場效移動率
10
8
6
4
2
0
μFE [cm²/Vs]
0
50
100
O2/(O2+Ar)[%]


次臨界擺幅值
140
120
100
80
60
S 值 [mV/dec.]
0
50
100
O2/(O2+Ar)[%]

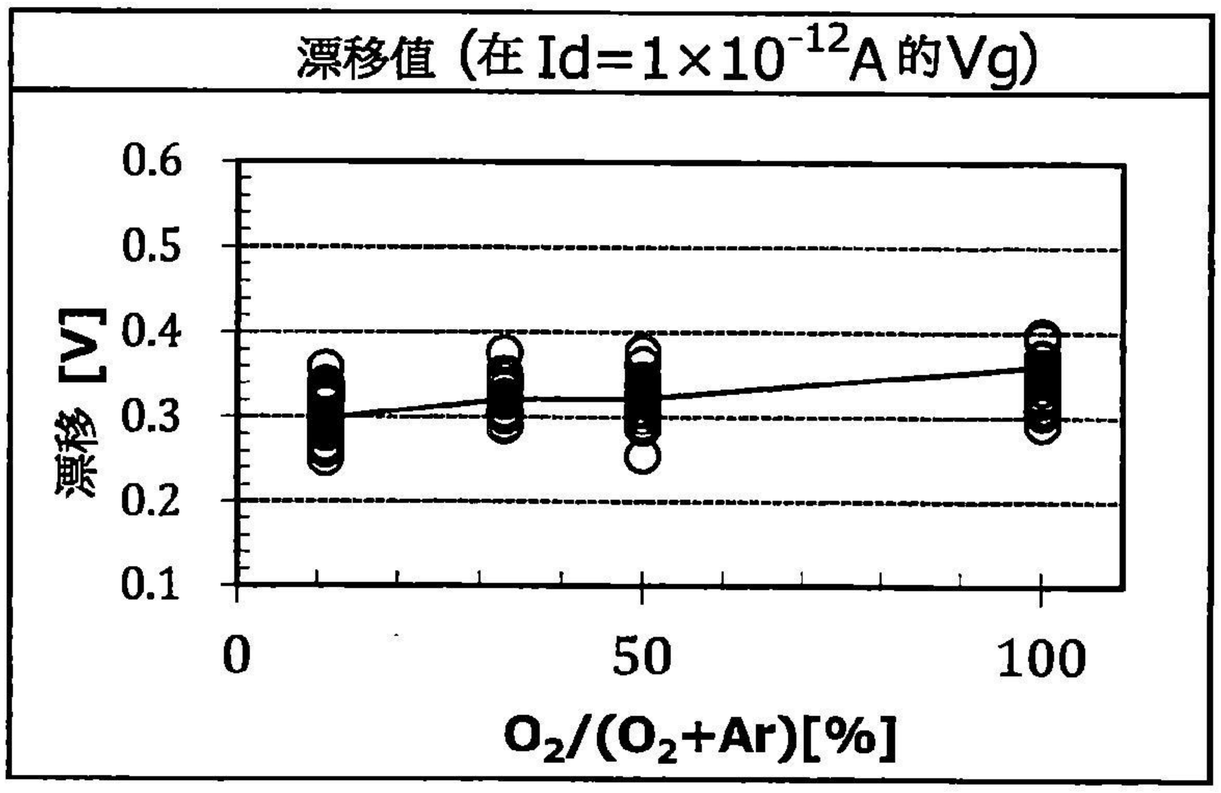

漂移值 (在 Id=1×10-12A 的Vg)
0.6
0.5
0.4
0.3
0.2
0.1
漂移 [V]
0
50
100
O2/(O2+Ar)[%]

圖 49

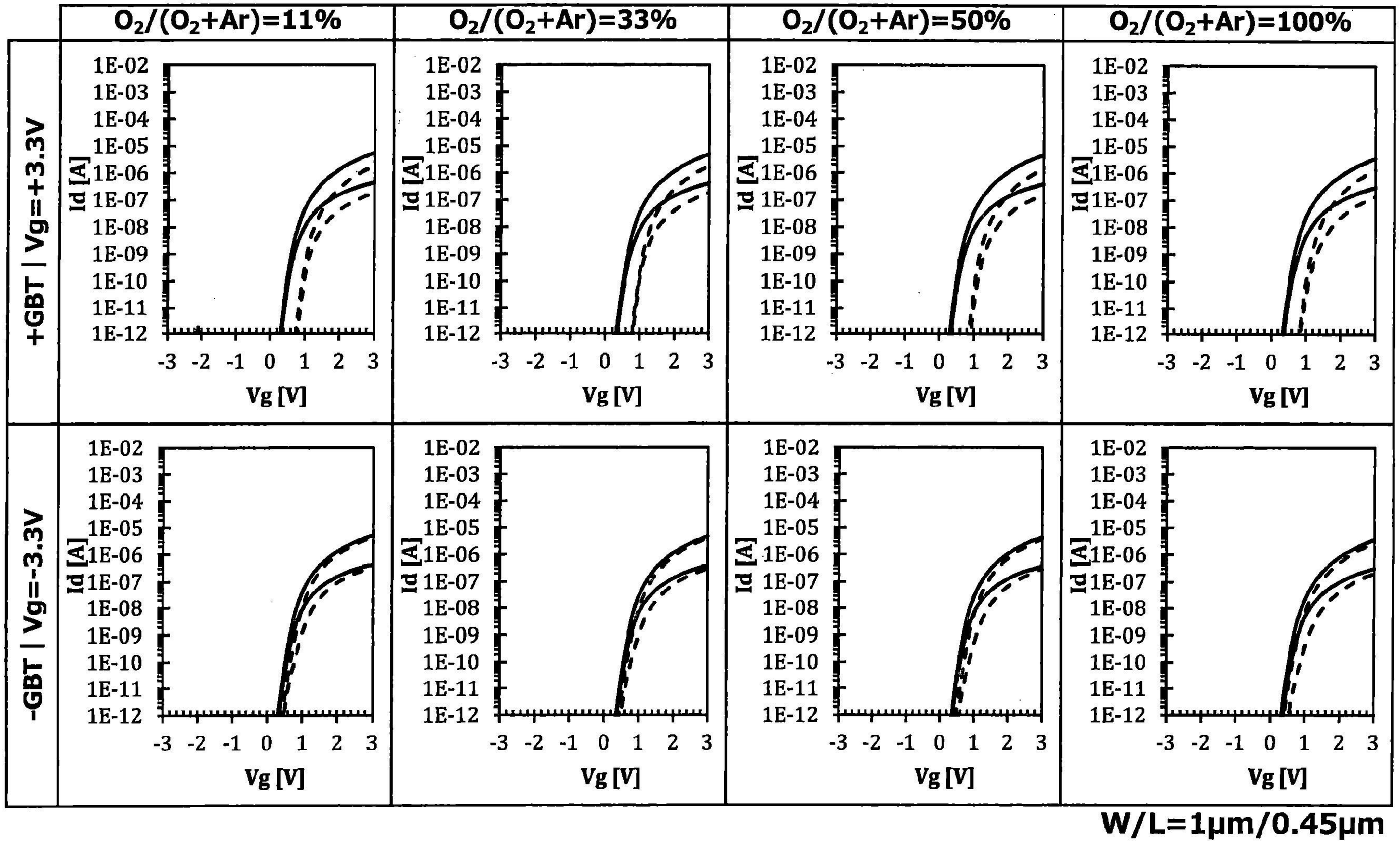
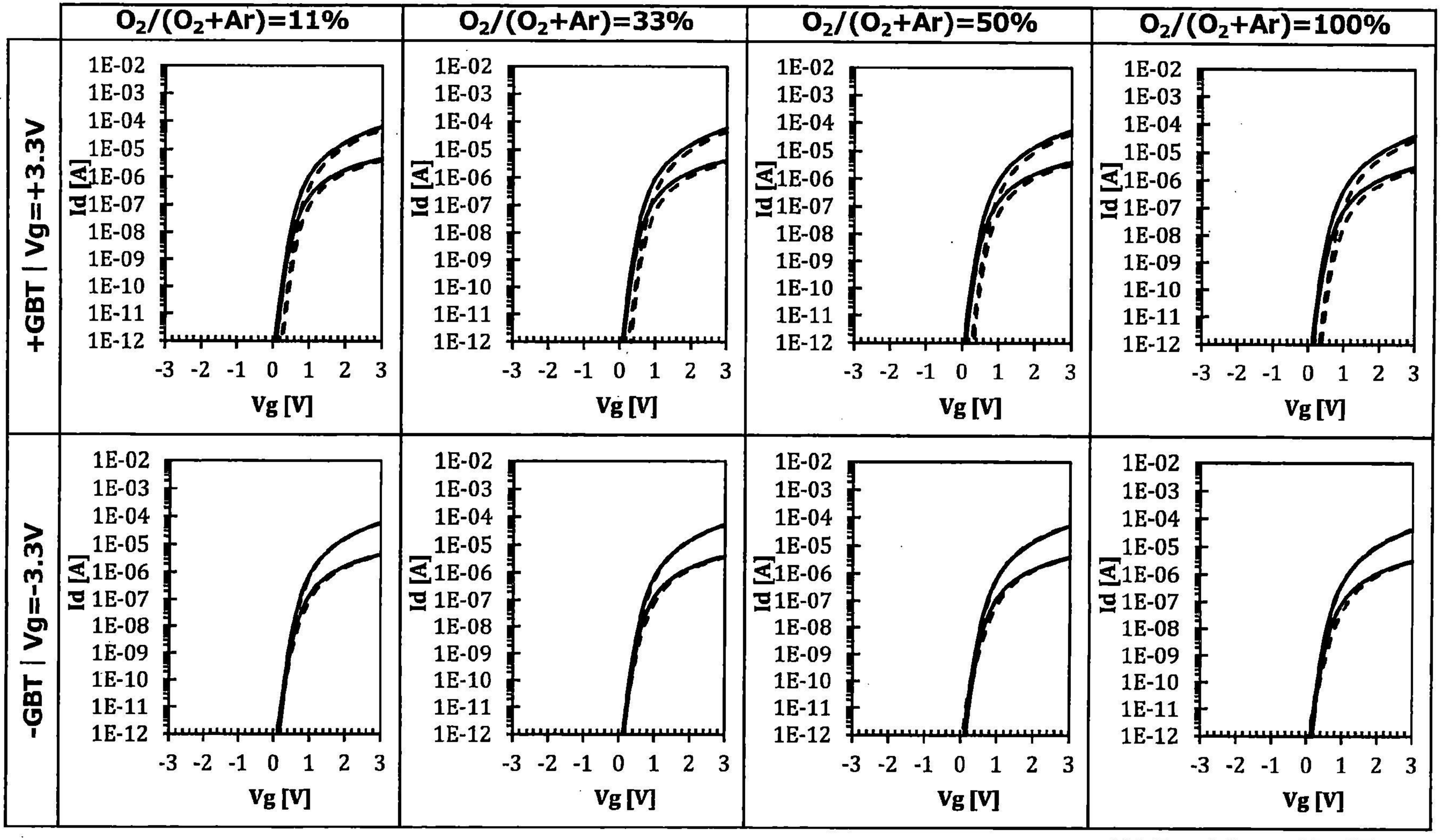

O2/(O2+Ar)=11%
O2/(O2+Ar)=33%
O2/(O2+Ar)=50%
O2/(O2+Ar)=100%
+GBT | Vg=+3.3V
-GBT | Vg=-3.3V
Id [A]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
-3 -2 -1 0 1 2 3
Vg [V]
W/L=1μm/0.45μm

圖 50



W/L=10μm/0.45μm

圖 51A

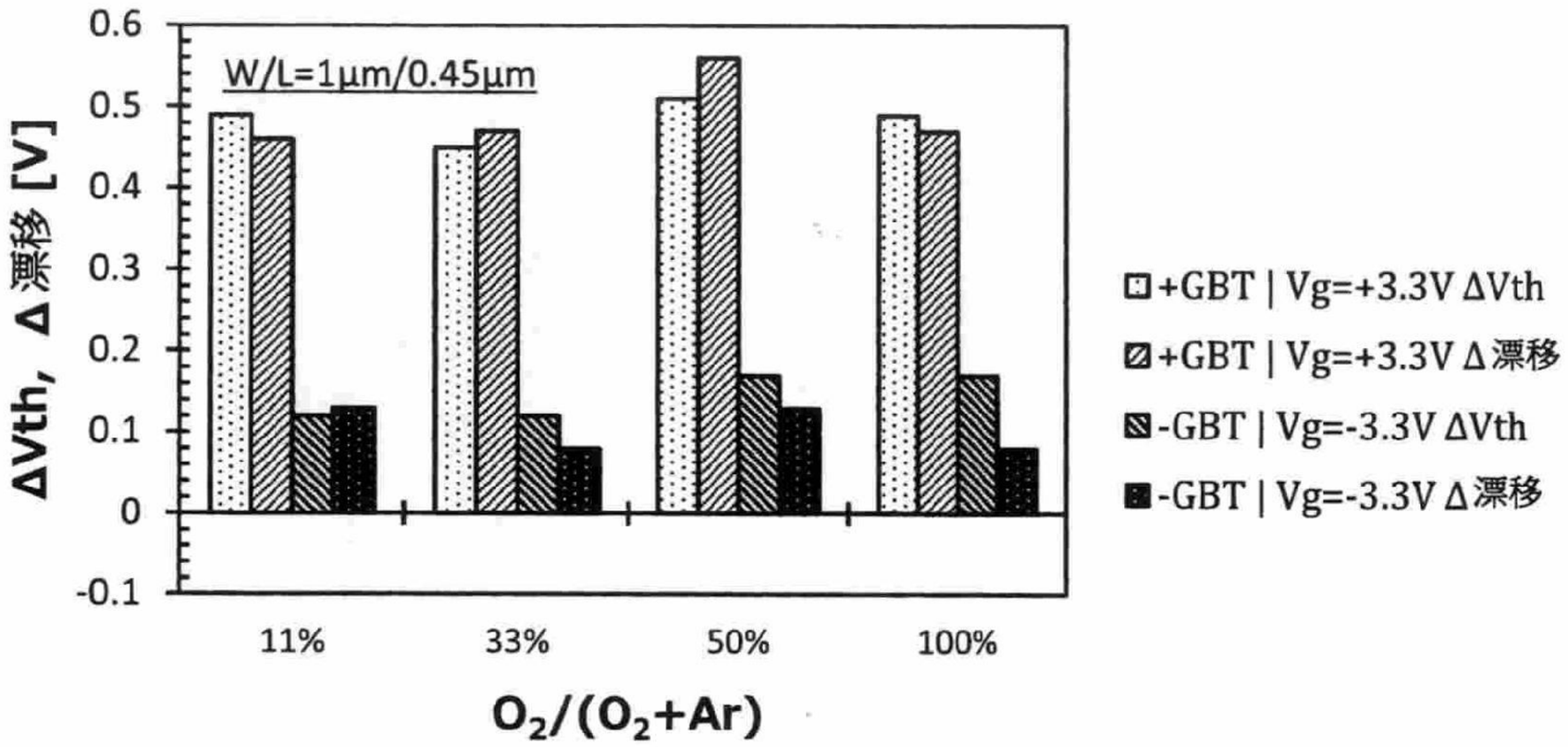

W/L=1μm/0.45μm
ΔVth, Δ漂移 [V]
0.6
0.5
0.4
0.3
0.2
0.1
0
-0.1
11%
33%
50%
100%
O2/(O2+Ar)
+GBT | Vg=+3.3V ΔVth
+GBT | Vg=+3.3V Δ漂移
-GBT | Vg=-3.3V ΔVth
-GBT | Vg=-3.3V Δ漂移

圖 51B

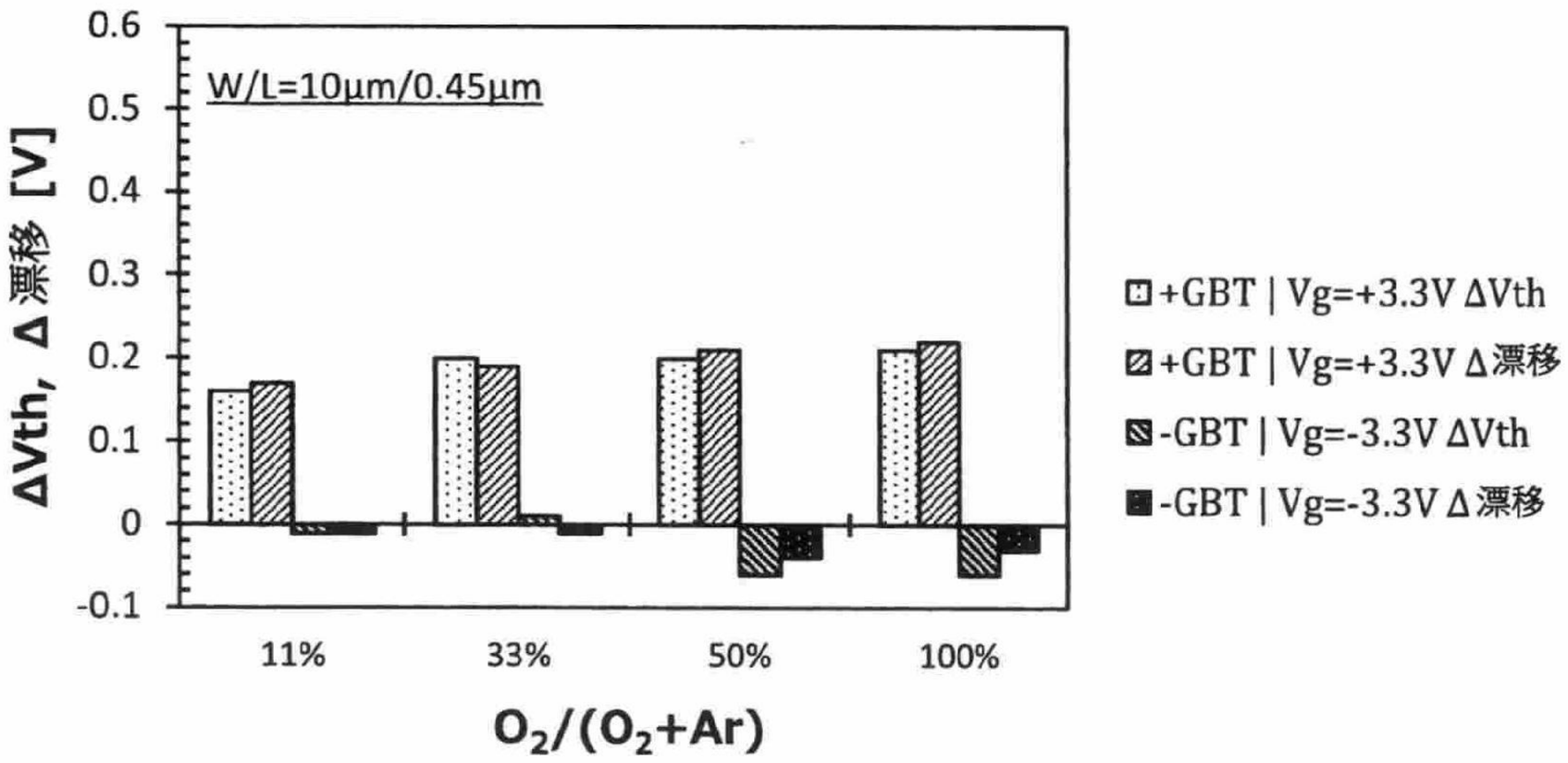
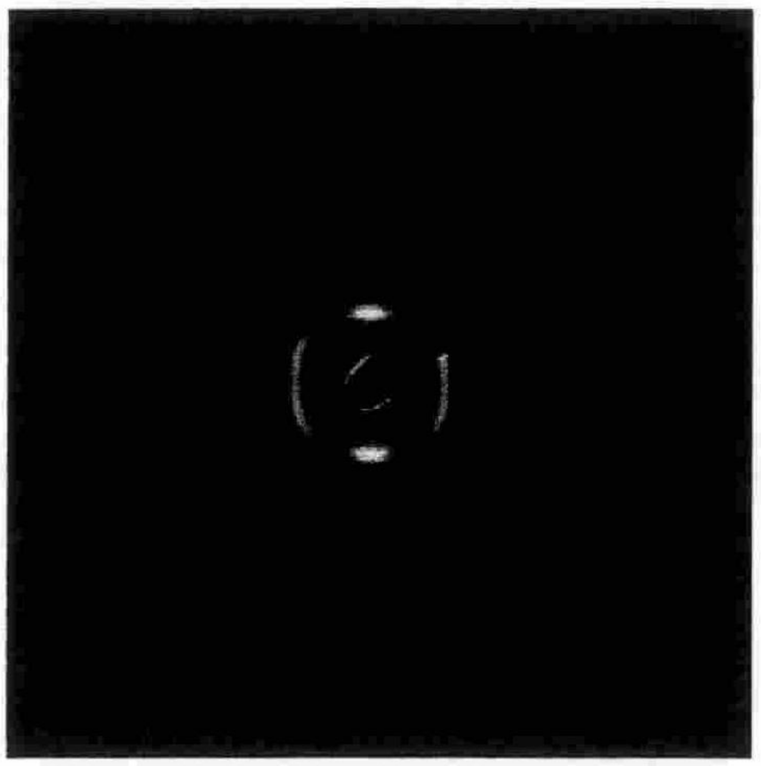
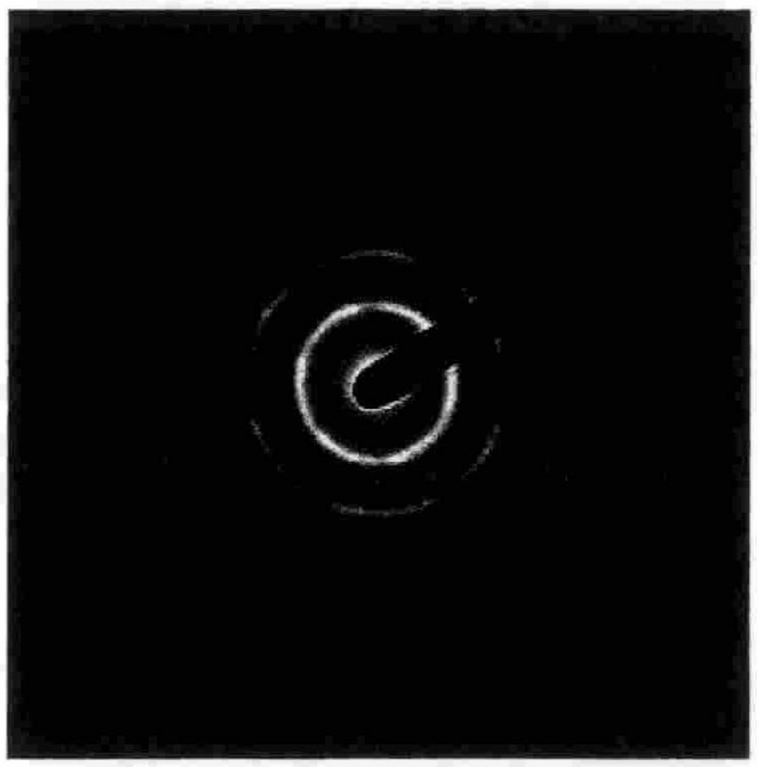

W/L=10μm/0.45μm
ΔVth, Δ漂移 [V]
0.6
0.5
0.4
0.3
0.2
0.1
0
-0.1
11%
33%
50%
100%
O2/(O2+Ar)
+GBT | Vg=+3.3V ΔVth
+GBT | Vg=+3.3V Δ漂移
-GBT | Vg=-3.3V ΔVth
-GBT | Vg=-3.3V Δ漂移

圖 52A



電子束從平行樣本表面的方向入射

圖 52B



電子束從垂直樣本表面的方向入射

圖 53