



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월09일
(11) 등록번호 10-1013302
(24) 등록일자 2011년01월28일

(51) Int. Cl.

H01L 27/108 (2006.01) H01L 21/8242 (2006.01)

(21) 출원번호 10-2008-7004060

(22) 출원일자(국제출원일자) 2006년06월27일

심사청구일자 2008년09월29일

(85) 번역문제출일자 2008년02월20일

(65) 공개번호 10-2008-0036202

(43) 공개일자 2008년04월25일

(86) 국제출원번호 PCT/EP2006/063581

(87) 국제공개번호 WO 2007/023011

국제공개일자 2007년03월01일

(30) 우선권주장

11/161,962 2005년08월24일 미국(US)

(56) 선행기술조사문현

US04763181 A1

JP2001230329 A

전체 청구항 수 : 총 7 항

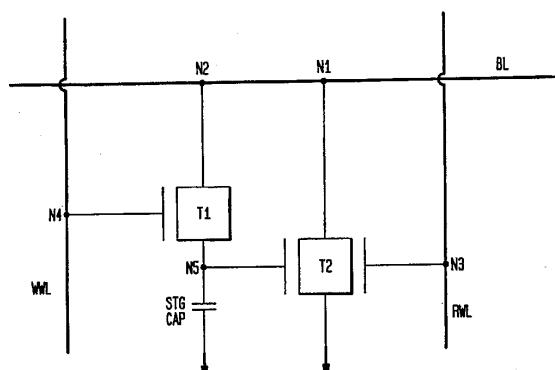
심사관 : 김용훈

(54) 측면 및 상부 게이트가 형성된 판독 트랜지스터를 가진듀얼 포트 게인 셀

(57) 요 약

고밀도 (20×20 또는 18×18) 레이아웃을 제조하기 위한 DRAM 메모리 셀 및 프로세스 시퀀스가 반도체 온 인슐레이터(SOI) CMOS 기술을 이용하여 제조된다. 구체적으로는, 본 발명은 기존의 SOI CMOS 기술들과 양립가능한 고밀도, 고성능 SRAM 셀 대체 방식을 제공한다. 여러 게인 셀 레이아웃이 당해 기술 분야에 알려져 있다. 본 발명은 SOI CMOS로 제조되는 고밀도 레이아웃을 제공하여 당해 기술 상태를 향상시킨다. 일반적인 면에서, 메모리 셀은 게이트, 소스 및 드레인을 각각 갖는 제1 트랜지스터와; 제2 게이트, 제2 게이트, 소스 및 드레인을 각각 갖는 제2 트랜지스터와; 제1 단자를 갖는 커패시터로서, 상기 커패시터의 제1 단자와 상기 제2 트랜지스터의 제2 게이트는 단일의 엔티티를 형성하는 것인 커패시터를 포함한다.

대 표 도 - 도1



(72) 발명자

디바카루니 라마찬드라

미국 뉴욕주 10562 오시닝 서우드 애비뉴 60

라렌스 칼

미국 뉴욕주 12540 라그란즈빌 쿠클러 드라이브 35

왕 경

미국 뉴욕주 12582 스톰빌 시먼 로드 386

특허청구의 범위

청구항 1

반도체 구조를 형성하는 방법으로서,

반도체 온 인슐레이터(SOI) 기판의 SOI 층과 매립된 절연층을 관통하여 연장되는 하나 이상의 비아 콘택트와, 노드 컨덕터를 포함한 하나 이상의 저장 커패시터를 포함하는 반도체 온 인슐레이터 기판을 제공하는 단계와;

상기 노드 컨덕터의 일부분을 노출된 상태로 남겨놓고 상기 노드 컨덕터의 다른 일부분 상부에 산화물 캡을 제공하는 단계와;

상기 노드 컨덕터의 노출된 부분을 오목처리하고, 오목처리한 부분에 도전성 스트랩을 형성하는 단계와;

상기 산화물 캡을 제거하고 상기 노드 컨덕터의 일부분 및 상기 도전성 스트랩 상부에 상부 트렌치 산화물을 형성하는 단계와;

상기 상부 트렌치 산화물을 상부에 판독 워드라인을 형성하고 상기 SOI 층의 노출된 표면 상부에 기록 워드라인을 형성하는 단계

를 포함하며, 상기 판독 워드라인은 측면 게이트와 상부 게이트를 포함하는 트랜지스터의 소자인 것인 반도체 구조 형성 방법.

청구항 2

제1항에 있어서,

상기 비아 콘택트를 둘러싸는 상기 SOI 층에 도펀트 영역을 형성하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 3

제1항에 있어서,

상기 산화물 캡을 제거한 후 그리고 상기 상부 트렌치 산화물을 형성하기 전에 질화물 층을 형성하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 4

제1항에 있어서,

상기 저장 트렌치 내에 위치되어 있는 유전체 재료가 형성되며, 상기 유전체 재료는 측면 게이트의 게이트 유전체로서 기능하는 것인 반도체 구조 형성 방법.

청구항 5

제1항에 있어서,

상부에 위치된 트랜스퍼 게이트 산화물을 포함하는 상기 SOI 층의 표면 상에 상기 판독 워드라인에 인접하는 하나 이상의 기록 워드라인을 형성하는 단계를 더 포함하는 반도체 구조의 형성 방법.

청구항 6

제1항에 있어서,

상기 SOI 층으로 아래로 연장되는 상기 판독 워드라인에 적어도 인접하는 무경계(borderless) 비트라인 콘택트를 형성하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 7

제6항에 있어서,

상기 판독 워드라인에 직교하는 방향으로 뻗어있는 상기 무경계 비트라인 콘택트 상부에 비트라인 컨덕터를 형

성하는 단계를 더 포함하는 반도체 구조 형성 방법.

명세서

기술분야

[0001]

본 발명은 반도체 메모리 셀 및 그 제조 방법에 관한 것이다. 보다 자세하게는, 본 발명은 기존의 상보형 금속 산화물 반도체(CMOS) 기술과 양립가능한 고밀도, 고성능 다이내믹 랜덤 액세스 메모리(DRAM) 셀에 관한 것이다.

배경기술

[0002]

마이크로프로세서의 성능에서의 현재의 진전은 DRAM의 성능을 앞질러 왔다. 이러한 속도 불일치성 때문에, 현대의 애플리케이션들의 메모리 대역폭 요구들을 충족시키기 위하여 마이크로프로세서 칩 상에 점점 더 큰 양의 캐시 메모리를 제공하는 것이 점점 더 중요해진다. 스테이틱 랜덤 액세스 메모리(SRAM)는 역사적으로 프로세스 통합의 상대적 용이성 때문에, 프로세서 칩 상의 캐시 메모리에 이용되어 왔다. 그러나, 보다 큰 양의 온칩(on-chip) 메모리에 대한 요구 때문에, SRAM 셀의 크기로 인해 그 이용이 덜 매력적으로 되어 왔다. SRAM 메모리가 점점 더 큰 퍼센티지의 칩 면적을 점유하기 때문에, 이것은 칩 크기, 수율, 칩 당 비용의 주요 결정요인이 된다. 따라서, 다이내믹 랜덤 액세스 메모리(DRAM)의 고밀도 및 낮은 비용 때문에, 온칩 캐시 메모리에 대해 다이내믹 랜덤 액세스 메모리(DRAM)를 이용하는 것에 대한 관심이 증가하고 있다. 그러나, CMOS 로직과 DRAM의 통합은 고성능 저임계 전압(V_t)로직 디바이스와 저누설 DRAM 어레이 디바이스의 경합 필요성 때문에 증가된 프로세스 복잡성을 수반한다. 추가적으로, DRAM 셀은 표준의 CMOS 로직 프로세스들에 의해 제공되지 않는 큰 저장 커패시터를 필요로 한다. 또한, CMOS 로직 프로세스에 이들 큰 DRAM 저장 커패시터를 제공하는 비용은 특정한 애플리케이션에 대하여 엄청나게 비쌀 수 있다. 계속해서 최소 배선 폭이 감소함에 따라, DRAM 셀에 대한 높은 저장 용량을 획득하기가 점점 더 어렵게 되고 비용이 들게 된다.

[0003]

상술한 관점에서, 고성능 로직이 통합된 SRAM 캐시들에 대한 고밀도, 비용 효과적인 대체 기술을 제공하는 것이 반도체 산업에 필요하다.

발명의 상세한 설명

[0004]

본 발명은 반도체 온 인슐레이터(SOI) CMOS 기술로 제조되는 고밀도 (20×20 또는 18×18) 레이아웃을 제조하기 위한 DRAM 메모리 셀 및 프로세스 시퀀스를 제공한다. 구체적으로, 본 발명은 기존의 SOI CMOS 기술들과 양립 가능한 고밀도, 고성능 DRAM 셀 대체 기술을 제공한다. 여러 게인 셀 레이아웃들이 당해 기술 분야에 알려져 있다. 본 발명은 SOI CMOS로 제조되는 고밀도 레이아웃을 제공하여 당해 기술의 상태를 개선한다.

[0005]

넓은 관점에서, 본 발명은 게이트, 소스 및 드레인을 각각 갖는 제1 트랜지스터와; 제1 게이트, 제2 게이트, 소스 및 드레인을 각각 갖는 제2 트랜지스터와; 제1 단자를 갖는 커패시터를 포함하는 메모리 셀을 제공하며, 상기 커패시터의 제1 단자 및 상기 제2 트랜지스터의 제2 게이트는 단일의 엔티티를 형성한다.

[0006]

본 발명의 제1 실시예에서, 고밀도 (20×20) 단일 포트 메모리 셀 레이아웃이 제공된다. 본 발명의 제2 실시예에서, 고밀도 (18×18) 듀얼 포트 메모리 셀 레이아웃이 제공된다.

[0007]

모든 게인 셀에 대해서는, 저장 커패시터 요건들이 종래의 DRAM 셀에 비하여 크게 완화된다. 본 발명의 제1 실시예에서, 단일 포트 셀 레이아웃이 제공되며, 이 셀 레이아웃에서, 판독 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)에는 저장 커패시터의 노드인 측면 게이트와 상부면 상의 판독 워드라인 게이트로 이중으로 게이트 형성(gating)된다. 저장 커패시터에 의한 측면 게이트 형성은 판독 MOSFET의 임계 전압(V_t)을 변조한다.

[0008]

"1"이 저장되는 경우, 판독 트랜지스터의 V_t 는 높아야 한다. "0"이 저장되는 경우, 판독 트랜지스터의 V_t 는 낮아야 한다. 판독 워드라인(RWL)이 승압되는 경우, 판독 MOSFET의 저항에 의해 "1"이 "0"과 구별된다. 따라서, 셀과 비트라인 사이에 전하의 전달이 요구되지 않기 때문에 저전압 감지가 가능하게 된다. 제1 실시예의 진보된 셀은 3 개의 어드레스 라인들, 기록 워드라인(WWL), 판독 워드라인(RWL) 및 비트라인(BL)을 채용한다. 제1 실시예의 진보된 구조는 판독 및 기록 동작 양쪽 모두에 대하여 비트라인이 공유될 수 있게 한다. 이것은 4개의 어드레스 라인: WWL, RWL, 기록 비트라인(WBL) 및 판독 비트라인(RBL)을 필요로 하는 종래의 게인 셀들에 비하여 진보함을 보여준다.

[0009]

보다 자세하게 그리고 일반적인 관점에서, 본 발명의 제1 실시예의 메모리 셀은 메모리 어레이의 기록 워드라인, 제1 노드 및 상기 메모리 어레이의 비트라인에 각각 연결되어 있는 게이트, 소스 및 드레인을 갖는

제1 트랜지스터와; 판독 워드라인, 상기 제1 노드, 전압 소스 및 상기 비트 라인에 각각 연결되어 있는 제1 게이트, 제2 게이트, 소스 및 드레인을 갖는 제2 트랜지스터와; 상기 제1 노드에 접속된 제1 단자와 전압 소스에 접속된 제2 단자를 갖는 커패시터를 포함하며, 상기 커패시터의 제1 단자와 상기 제2 트랜지스터의 제2 게이트는 단일 엔티티를 형성한다.

[0010] 본 발명의 제2 실시예에서, 셀 레이아웃이 제공되며, 이 셀 레이아웃에서 판독 MOSFET은 또한 저장 커패시터의 액츄얼 노드 컨덕터이며 판독 MOSFET에 직접 연결되어 있는 측면 게이트와 상부면 상의 판독 워드라인 게이트를 가짐으로써 이중으로 게이트가 형성된다. 이 실시예에서 저장 커패시터에 의한 측면 게이트 형성은 또한 판독 MOSFET의 임계 전압(V_t)을 변조한다.

[0011] "1"이 저장되는 경우, 판독 트랜지스터의 V_t 는 로우이다. "0"이 저장되는 경우, 판독 트랜지스터의 V_t 는 하이이다. 판독 워드라인(RWL)이 승압되는 경우 판독 MOSFET의 저항에 의해 "1"이 "0"과 구별된다. 따라서, 셀과 비트 라인 사이의 전하의 전달이 요구되지 않기 때문에 로우 전압 감지가 가능하게 된다. 제2 실시예의 진보된 셀은 셀로부터의 데이터의 동시 기록 및 판독을 가능하게 하는 듀얼 포트 설계이다. 제2 실시예의 진보된 셀은 오직 단일 포트 개인 셀만이 채용되는 제1 실시예에 설명된 셀과 구별되는 것으로 보여지고 있다.

[0012] 보다 자세하게 그리고 일반적인 관점에서, 본 발명의 제2 실시예의 메모리 셀은 메모리 어레이의 기록 워드라인, 제1 노드, 및 상기 메모리 어레이의 기록 비트라인에 각각 연결되어 있는 게이트, 소스 및 드레인을 갖는 제1 트랜지스터와; 판독 워드라인, 상기 제1 노드, 전압 소스 및 판독 비트라인에 각각 연결되어 있는 제1 게이트, 제2 게이트, 소스 및 드레인을 갖는 제2 트랜지스터와; 상기 제1 노드에 접속된 제1 단자 및 전압 소스에 접속된 제2 단자를 갖는 커패시터를 포함하며, 상기 커패시터의 제1 단자와 상기 제2 트랜지스터의 제2 게이트는 단일의 엔티티를 형성하고 있다.

[0013] 본 발명 및 상술한 실시예의 어느 것에 따르면, 제2 트랜지스터는 제1 표면 및 제2 표면을 포함하며, 상기 제2 트랜지스터의 제1 표면은 수평방향으로 배향되어 있고, 상기 제2 트랜지스터의 제2 표면은 수직 방향으로 배향되어 있다. 또한, 본 발명에 따르면, 제1 표면은 제2 표면의 근단부(proximal end)에 인접하는 근단부를 포함하며, 제1 표면의 원단부(distal end)는 제2 표면의 원단부에 인접하여 있다. 본 발명의 메모리 셀의 제2 트랜지스터는 근단부 또는 원단부 중 하나에 위치되어 있는 소스, 및 근단부 또는 원단부 중 다른 하나에 위치되어 있는 드레인을 더 포함한다.

[0014] 또한, 본 발명에 따르면, 제2 트랜지스터의 제1 게이트가 제1 표면에 배치되고, 제2 트랜지스터의 제2 게이트가 제2 표면에 배치된다. 본 발명의 메모리 셀에서는, 단일의 엔티티가 SOI 기판 내에 위치되어 있는 저장 노드 커패시터의 커패시터 전극임을 주지해야 한다.

[0015] 본 발명은 또한 DRAM 셀의 판독 소자로서 이용하기 위한 이중 게이트형 트랜지스터에 대하여 개시되어 있으며, 이중 게이트형 트랜지스터는, 저장 커패시터의 표면 상부에 위치되어 있는 판독 워드라인 게이트로서, 상기 저장 커패시터는 반도체 온 인슐레이터 기판 내에 위치되어 있는 것인 판독 워드라인 게이트와; 상기 반도체 온 인슐레이터 기판 내에 위치되어 있으며 저장 커패시터의 노드 컨덕터를 포함하는 측면 게이트를 포함한다.

[0016] 본 발명은 또한 제1 실시예 및 제2 실시예의 상술한 반도체 구조 각각을 제조하기 위한 방법 뿐만 아니라 이중 게이트형 판독 워드라인 트랜지스터를 제조하는 방법에 관한 것이다.

[0017] 넓은 면에서, 본 발명의 방법은, 반도체 온 인슐레이터 기판의 매립된 절연층 및 SOI 층을 통하여 연장되는 하나 이상의 비아 콘택트를 포함하는 반도체 온 인슐레이터 기판과, 노드 컨덕터를 포함하는 하나 이상의 저장 커패시터를 제공하는 단계와;

[0018] 상기 노드 컨덕터의 일부분을 노출되도록 남겨진 상태에서 상기 노드 컨덕터의 다른 부분 상부에 산화물 캡을 제공하는 단계와;

[0019] 노드 컨덕터의 노출된 부분을 오목처리(recess)하고 이 오목부에 도전성 스트랩을 형성하는 단계와;

[0020] 산화물 캡을 제거하고 상기 노드 컨덕터의 일부분과 상기 도전성 스트랩 상부에 상부 트렌치 산화물을 형성하는 단계와;

[0021] 상부 트렌치 산화물 상부에 판독 워드라인을 형성하고 상기 SOI 층의 노출된 표면 상부에 기록 워드라인을 형성하는 단계를 포함하며, 상기 판독 워드라인은 측면 게이트 및 상부 게이트를 포함한다.

실시예

[0028] 이하, 본 발명은 본 발명에 첨부된 도면을 참조로 한 다음의 설명을 인용하여 보다 자세히 설명될 것이다. 본 발명의 도면들이 설명 목적으로 제공된 것이기 때문에 이들 도면이 일정한 비례 관계를 갖고 도시된 것이 아닌 것으로 보여지고 있다.

[0029] 먼저, 본 발명의 제1 실시예에 따라 이중 게이트형 판독 디바이스를 갖는 2T/1C 게인 셀의 개략도를 나타낸 도 1을 참조한다. 도시된 게인 셀에서는 2개의 게이트를 갖는 트랜지스터(T2)가 이용되고 있음이 강조된다. 보다 자세하게는, T2는 커페시터의 저장 노드(STG CAP)에 접속된 측면 게이트와 판독 워드라인(RWL)에 접속된 상부 게이트를 포함한다. T2에 더하여, T1도 또한 도시되어 있는데, 이 T1은 셀의 기록 트랜지스터이다. T1은 종래의 플래너 MOSFET인 것으로 보여지고 있다. 도면에서, BL은 T1과 T2가 모두 접속되어 있는 공통 비트라인을 의미하며 WWL은 T1의 게이트와 접속하고 있는 기록 워드라인을 의미한다.

[0030] 도 1에 도시된 셀에서, "1" 또는 "0"은 기록 워드라인(WWL)을 층압하고 비트라인(BL)과 저장 커페시터 간에 전하를 전달함으로써 저장 커페시터(STG CAP)에 기록된다. 저장 커페시터의 노드는 판독 MOSFET, 즉, T2의 2개의 게이트 중 한 게이트로서 기능한다. 상술한 바와 같이, 판독 트랜지스터(T2)는 2개의 게이트, 즉, 판독 워드라인에 접속된 상부 게이트와 저장 노드에 접속된 측면 게이트로 구성된다. 이 실시예에서, T2의 측벽에 게이트가 형성된 노드는 저장 커페시터와 통합되어 신규의 소형 구조를 독립적으로 형성한다. 이것은 고밀도 셀 레이아웃이 형성될 수 있게 한다.

[0031] 판독 전류가 비트라인으로부터 T2를 통하여 접지부로 감지되기 때문에 도 1에 도시된 셀은 단일의 비트라인(BL)만을 필요로 한다. 종래 기술의 게인 셀은 2개의 비트라인(판독 및 기록 비트라인)을 필요로 하며, 따라서, 도 1에 도시된 본 발명의 셀에 비하여 레이아웃에서 단점으로 된다.

[0032] 구체적으로, 도 1은 노드(N1 및 N2)를 갖는 단일의 비트라인(BL)을 포함한다. N1은 T2를 BL에 연결하는 노드인 한편, N2는 T1을 BL에 연결하는 노드이다. 또한, 도 1에는, BL과 수직방향으로 뻗어있는 기록 워드라인(WWL)과 판독 워드라인(RWL)이 도시되어 있다. 도시된 바와 같이, T1은 N4를 통하여 WWL에 연결되어 있으며, T2는 N3를 통하여 RWL에 연결되어 있다. N5는 T2를 T1에 연결하는데 이용된다. 도 1에서, T1은 SOI 기판의 표면 상의 저장 커페시터(STG CAP)에 인접하여 위치되며, T2는 N5를 통하여 STG CAP에 접속되는 측면 게이트를 갖는 것으로 또한 보여지고 있다.

[0033] 도 2는 본 발명의 제1 실시예에 따른 메모리 셀의 일부분의 레이아웃의 평면도를 나타낸다(명료화를 위하여 비트라인 컨덕터가 생략되어 있음을 주지한다). 도 2에서, 8개의 셀(M1...M8)이 도시되어 있다. 이 레이아웃에서, SOI 기판의 뒷면에 매립된 절연층을 통하여 형성된 비아 콘택트(VC)에 의해 SOI 층과 기판 사이에 접지 콘택트가 제공된다. 각각의 VC는 4개의 셀에 의해 공유되며 판독 전류에 대해 접지부로의 경로를 제공한다. 레이아웃(도시 생략) 상에 수직방향으로 뻗어 있는 비트라인들과 액티브 영역(RX) 간의 콘택트는 X로 표시되어 있다. 판독 워드라인(RWL)과 기록 워드라인(WWL)은 레이아웃 상에 수평방향으로 뻗어있다. RWL과 함께 판독 MOSFET의 측면 게이트(일련의 수직방향 접들로 표시됨)는 상부 게이트가 형성된 표면 상으로 뻗어있음을 주지한다.

[0034] 도 2에 도시된 요소들이 아래 보다 자세히 설명되어 있다. 도면에서, 절단선 A-A, B-B 및 C-C가 도시되어 있다. 절단선 A-A는 비트라인들 중 한 비트라인과 평행한 방향을 따르는, 제1 실시예의 반도체 구조를 나타낸다. 절단선 B-B는 판독 워드라인의 한 판독 워드라인과 평행한 방향을 따르는, 본 발명의 제1 실시예의 반도체 구조를 나타낸다. 절단선 C-C는 워드라인들과 직교하는 방향으로 비아 콘택트(VC)를 관통하는 본 발명의 제1 실시예의 구조를 나타낸다.

[0035] 본 발명의 제1 실시예 내의 각각의 메모리 셀은, 메모리 어레이의 기록 워드라인(WWL), 제1 노드 및 상기 메모리 어레이의 비트라인(BL)에 각각 연결되어 있는 게이트, 소스 및 드레인을 제공하는 제1 트랜지스터(T1)와; 판독 워드라인(RWL), 상기 제1 노드, 전압 소스 및 비트라인(BL)에 각각 연결되어 있는 제1 게이트, 제2 게이트, 소스 및 드레인을 갖는 제2 트랜지스터(T2)와; 상기 제1 노드에 접속된 제1 단자와, 상기 전압 소스에 접속된 제2 단자를 갖는 커페시터(STG CAP)를 포함하며, 상기 커페시터의 제1 단자와 상기 제2 트랜지스터의 제2 게이트는 단일의 엔티티를 형성한다.

[0036] 이하, 도 2에 설명된 레이아웃을 제조하는 프로세스 흐름을 도 3 내지 도 19를 참조하여 보다 자세히 설명한다. 보다 자세하게는, 도 2에 나타낸 레이아웃은 도 3 및 도 4에 나타낸 구조를 먼저 제공함으로써 준비되어지며, 도 4는 도 3에 나타낸 C-C를 절단하여 본 단면도로서, 비아 콘택트와 주변의 도핑된 SOI 영역(14)을 나타낸다. 보다 자세하게는, 도 3 및 도 4는 매립된 절연층(12)을 통하여 기판층(10)에 SOI 층(14)을 접속하는 비아 콘택트(16)를 갖는 SOI 기판의 SOI 층(14)을 나타낸다. 또한, 이 구조는 SOI 층 내에서 제1 도전형 주입 영역을 형

성하는데 이용되는 블록 마스크(18)를 포함한다.

[0037] 도 3 및 도 4에 도시된 구조는 먼저, SOI(반도체 온 인슐레이터) 기판을 제공함으로써 형성된다. 상부 및 하부 반도체 층들은 예를 들어, Si, SiGe, SiC, SiGeC, Ge 등을 포함하는 어떠한 반도체 재료도 포함할 수 있다. 바람직하게는, SOI 기판의 상부 및 하부 반도체 층은 Si로 구성된다. 매립된 절연층(12)은 결정질 또는 비결정질 산화물 또는 질화물을 포함할 수 있으며, 결정질 산화물이 매우 바람직하다.

[0038] 하부 기판층(10), 매립된 절연층(12) 및 SOI 층(14)을 포함하는 SOI 기판은 당해 기술 분야의 당업자에게 잘 알려진 통상의 기술을 이용하여 형성된다. 예를 들어, SOI 기판은 웨이퍼 본딩 프로세스를 적어도 포함하는 층 트랜스퍼 프로세스를 이용하여 형성될 수 있다. 다른 방법으로, SOI 기판은 SIMOX(separation by implantation of oxygen; 산소 주입에 의한 분리)라 하는 프로세스에 의해 형성될 수 있는데, 여기서 산소 이온이 먼저 Si 기판에 주입되고 그 후, 어닐링 단계가 이용되어 주입된 산소 이온을 매립된 산화물 영역으로 침전시킨다.

[0039] SOI 기판을 형성하는데 이용될 수 있는 기술에도 불구하고, SOI 층(14)은 통상적으로 약 20 내지 약 200 nm의 두께를 가지며, 약 40 내지 약 120 nm의 두께를 갖는 것이 보다 통상적이다. SOI 층(14)의 두께는 이들을 형성하는데 이용되는 기술로부터 직접 구할 수 있거나 또는 다른 방법으로 예를 들어, 화학 기계적 폴리싱, 그라인딩, 또는 산화 및 에칭과 같은 박막화 프로세스를 이용하여 상기 언급된 범위 내에서의 두께를 갖는 SOI 층(14)을 제공할 수 있다. 매립된 절연층(12)은 통상적으로 약 20 내지 약 400 nm의 두께를 가지며, 약 40 내지 약 150 nm의 두께를 갖는 것이 보다 더 통상적이다. 기판 층(10)의 두께는 본 발명의 프로세스에 대해 중요한 것이 아니다.

[0040] SOI 기판을 제공한 후, 산화물 또는 질화물과 같은 하드마스크(도시 생략)가 당해 기술 분야에 잘 알려진 기술을 이용하여 SOI 층(14)의 상부 표면에 형성된다. 예를 들어, 하드마스크는 이들에 한정되는 것은 아니지만, 화학적 기상 증착(CVD), 플라즈마 인핸스드 화학적 기상 증착(PECVD), 열증발 증착, 화학 용액 성막, 스퍼터링 또는 원자층 증착을 포함하는 통상적인 성막 프로세스에 의해 형성될 수 있다. 다른 방법으로, 하드마스크는 통상적인 산화 또는 질화 프로세스에 의해 형성될 수 있다.

[0041] 그 후, 포토레지스트(도시 생략)가 하드마스크의 상부 표면에 도포된 다음, 포토레지스트가 통상적인 포토리소그래피 프로세스를 이용하여 패터닝된다. 포토리소그래피 프로세스는 방사의 패턴(이 경우, 비아 패턴)에 포토레지스트를 노광시키는 단계 및 통상의 레지스트 현상액(developer)을 이용하여 그 노광된 레지스트를 현상하는 단계를 포함한다. 포토레지스트에서의 패턴이 먼저 에칭 프로세스를 이용하여 하드마스크에 전사된 다음, 패터닝된 포토레지스트가 통상의 스트립핑 프로세스를 이용하여 스트립핑된다. 비아 패턴을 하드마스크에 전사시키는데 이용되는 에칭 단계는 예를 들어, 리액티브 이온 에칭, 이온빔 에칭 또는 플라즈마 에칭과 같은 드라이 에칭 프로세스를 포함한다. 그 후, SOI 층(14)의 노광된 부분들 및 하부에 있는 매립된 절연층(12)을 관통하여 에칭되고, 기판 층(10)의 표면 상부에서 에칭이 정지함으로써 비아 콘택트(16)가 형성된다. 본 발명의 이러한 단계에 이용되는 에칭 프로세스는 상술한 드라이 에칭 프로세스들 중 어느 것 뿐만 아니라 화학적 웨트 에칭 프로세스를 포함할 수 있다. 드라이 에칭, 웨트 에칭 또는 이 두가지 유형의 에칭 프로세스들의 혼합의 조합들이 또한 본 발명에서 고려된다.

[0042] 비아의 형성에 후속하여, 그 후, 비아들은 당해 기술 분야에서 잘 알려진 CVD 또는 PECVD와 같은 기술을 이용하여 도전성 배리어(도시 생략)로 선택적으로 라이닝된다. 비아들을 라이닝하는데 이용될 수 있는 일부 도전성 배리어의 예시적인 예들은 이들로 한정되는 것은 아니지만, 비아로부터 기판 내로의 도전성 재료들의 외부화산이 발생하는 것을 방지할 수 있는 티타늄 질화물, 탄탈륨 질화물, 탄탈륨 실리콘 질화물 등의 재료를 포함한다. 도전성 배리어는 비아로부터 단결정 기판으로의 결정 결합들의 전파를 방지하는데 이용된다.

[0043] 그 후, 선택적인 확산 배리어를 갖든 또는 갖지 않든, 비아가 제1 도전형을 갖는 폴리실리콘, 즉 n형 도핑 폴리Si 또는 p형 도핑 폴리Si를 갖는 폴리실리콘으로 충전된다. 바람직하게는, n형 도핑 폴리실리콘이 비아들을 충전하는데 이용된다. 도핑된 폴리실리콘으로 비아들을 충전하는 것은 인시츄(in-situ) 도핑 성막 프로세스를 포함할 수 있거나, 또는 이온 주입이 뒤따르는 성막이 이용될 수 있다. 충전 단계 이후에, 도핑된 폴리실리콘이 화학 기계적 폴리싱(CMP)과 같은 통상의 평탄화 프로세스에 의해 평탄화되고, 리액티브 이온 에칭과 같은 시한의 에칭 프로세스(timed etching process)에 의해 오목처리되어, 도핑된 폴리실리콘의 상부 표면이 SOI 층(14)의 상부 표면과 실질적으로 동일평면으로 된다. 도핑된 폴리실리콘 뿐만 아니라, 본 발명은 또한 도핑된 폴리실리콘을 대신하여 또는 도핑된 폴리실리콘과 결합하여 도전성 금속, 도전성 금속 합금, 도전성 금속 실리사이드, 도전성 금속 질화물을 이용하는 것을 고려한다.

[0044] 비아 콘택트(16)를 SOI 기판 내에 형성한 후, 도 3에 또한 도시된 바와 같이, 포토레지스트 층이 도포되고 블록 마스크(18)에 의해 패터닝된다. 그 후, 제1 도전성 도편트, 바람직하게는, n-형 도편트가 블록 마스크(18)를 포함하지 않은 SOI 층(14)의 영역들내에 주입된다. 이러한 주입 단계는 통상의 이온 주입 처리를 이용하여 수행된다. 도 5에 도시되어 있는 주입 영역(19)은 비아 콘택트(16)를 둘러싸고 있으며, 비아 콘택트(16)로의 연속성을 위하여 WWL 아래에 브리지를 형성한다.

[0045] 그 후, 도 5, 도 6 및 도 7에 도시된 구조가 형성된다. 도 5는 이 구조의 평면도를 나타낸다. 도 6은 절단선 A-A에 따른 단면도이며, 도 7은 절단선 C-C에 따른 단면도이다. 이들 다른 도면들에 나타낸 구조는 먼저 비아 콘택트(16)를 포함하는 SOI 기판 상부에 패드 스택(20)을 제공함으로써 형성된다. 패드 스택(20)은 하부 산화물 층과 상부 질화물 층을 포함한다. 패드 스택(20)의 하부 산화물 층은 통상적으로 SiO_2 이며, 패드 스택(20)의 상부 질화물 층은 통상적으로 Si_3N_4 이다.

[0046] 패드 스택(20)의 하부 산화물 층은 통상적으로 상부 질화물 층에 비하여 얇은 층이며, 하부 산화물 층의 두께는 통상적으로 약 1 내지 약 10 nm이며, 약 3 내지 약 7 nm의 두께를 갖는 것이 보다 더 통상적이다. 패드 스택(20)의 하부 산화물 층은 예를 들어, CVD 또는 PECVD와 같은 성막 프로세스에 의해 형성될 수 있다. 다른 방법으로는, 패드 스택(20)의 하부 산화물 층은 열산화에 의해 형성될 수 있다. 일반적으로 하부 산화물 층보다 더 두꺼운 상부 질화물 층은 통상적으로 약 50 내지 약 500 nm의 두께를 가지며, 약 100 내지 약 300 nm의 두께를 갖는 것이 보다 통상적이다. 패드 스택(20)의 상부 질화물 층은 예를 들어, CVD 또는 PECVD와 같은 통상의 성막 프로세스에 의해 형성될 수 있다. 저장 트렌치와 절연 영역의 경계 식별(delineation)을 위하여 패드 스택(20)이 본 발명에 후속하여 이용되는 것으로 보여지고 있다. 성막된 실리콘 산화물의 부가적인 패드 층이 패드 질화물 층의 상부에 선택적으로 형성될 수 있다. 선택적인 실리콘 산화물 패드 층은 저장 트렌치의 에칭 동안에 패드 질화물을 보호하는 역할을 한다.

[0047] 그 후, 저장 트렌치(22)가, 예를 들어, SOI 층(14), 매립된 절연층(12) 및 기판층(10) 일부분을 관통하여 원하는 깊이로 에칭하는 것을 포함하는 잘 알려진 표준 프로세스들을 이용하여 형성된다. 각각의 저장 트렌치(22)의 원하는 깊이는 예를 들어, SOI 층 및 매립된 절연층의 깊이 뿐만 아니라 게인 셀의 적절한 저장 커페시턴스 요건들을 포함한 복수의 인자들에 의해 결정된다. 본 발명의 관점에서 형성되는 저장 트렌치(22)에 대한 통상의 깊이는 약 0.50 내지 약 8.0 μm 이며, 약 1.0 내지 약 3.0 μm 의 두께를 갖는 것이 보다 더 통상적이다. 저장 트렌치(22)의 깊이는 통상의 트렌치 저장 DRAM에 보통 이용되는 것보다 매우 작다는 것을 주지해야 한다.

[0048] 그 후, 제1 유전체 층, 예를 들어, 저장 유전체(24)가 당해 기술 분야에 잘 알려진 기술을 이용하여 저장 트렌치(22)의 내부 표면에 형성된다. 예를 들어, 제1 유전체(24)는 CVD, PECVD 또는 다른 유사한 성막 프로세스에 의해 형성될 수 있다. 다른 방법으로는, 제1 유전체(24)는 열 성장에 의해 형성될 수 있다. 제1 유전체(24)는 예를 들어, SiO_2 , Al_2O_3 , Ta_2O_5 , TiO_2 또는 다른 금속 산화물 또는 혼합된 금속 산화물과 같은 산화물일 수 있다. 제1 유전체(24)로서 이용될 수 있는 혼합된 금속 산화물의 예들은 페르브스카이트(perovskite) 타입 산화물들을 포함한다. 상술한 다중의 유전체 재료 또한 제1 유전체(24)로 이용될 수 있다. 바람직한 실시예에서, 제1 유전체(24)는 SiO_2 이다.

[0049] 제1 유전체(24)의 두께는 제1 유전체(24)를 형성하는데 이용되는 프로세스, 제1 유전체(24)의 재료 및 층 갯수에 의존하여 변경될 수 있다. 통상적으로, 제1 유전체(24)는 약 0.5 내지 약 3 nm의 두께를 가지며, 약 1 내지 약 2 nm의 두께를 갖는 것이 보다 통상적이다. 제1 유전체(24)는 저장 노드 유전체로서 이용된다. 이것은 또한 측면 게이트가 형성된 MOSFET, 즉 T2의 측벽 유전체로서 기능할 수 있다. 제1 유전체(24)는 실리콘 질화물과 같은 다른 절연체층 또는 상술한 절연체의 층을 또한 포함할 수 있다.

[0050] 그 후, 제1 유전체(24)를 포함하는 저장 트렌치(22)가, 통상적으로 도핑된 폴리실리콘인 노드 컨덕터(26)로 충전된다. 본 발명에서, 금속성 컨덕터 및 실리사이드와 같은 다른 유형의 노드 컨덕터도 또한 폴리실리콘을 대신하여 또는 폴리실리콘과 결합하여 이용될 수 있다. 노드 컨덕터(26)는 예를 들어, CVD 또는 PECVD와 같은 통상적인 성막 프로세스를 이용하여 저장 트렌치 내에 형성된다. 도핑된 폴리실리콘이 이용되는 경우, 인시츄 도핑 성막 프로세스가 이용될 수 있다. 다른 방법으로는, 그리고, 도핑된 폴리실리콘이 노드 컨덕터(26)로 이용되는 경우, 도핑된 폴리실리콘은 성막 및 이온 주입에 의해 형성될 수 있다.

[0051] 성막 단계에 후속하여, 노드 컨덕터(26)가 통상적인 수단에 의해 평탄화되어, 대략적인 SOI 층(14)의 상부 표면 레벨 깊이까지 오목처리된다.

[0052] 산화물 캡(28)은 당해 기술 분야에 잘 알려진 기술들을 이용하여 저장 노드 컨덕터(26) 상부에 형성된다. 통상적으로, TEOS(테트라에틸오소실리케이트) 또는 고밀도 플라즈마(HPD) 산화물이 성막되어, 패드 스택(20)의 상부 질화물 층의 상부까지 평탄화된다.

[0053] 이 후, 절연 영역(30)이 도 5, 도 6 및 도 7에 도시된 구조 내에 형성된다. MOSFET들이 후속하여 형성되어질 액티브 영역의 아일랜드(island)가 남겨진다. 절연 영역(30)은 당해 기술 분야에 잘 알려진 기술을 이용하여 형성된다. 구체적으로는, 절연 영역(30)은 패드 스택(20) 상부에 포토레지스트를 도포하고, 포토레지스트를 트렌치 패턴으로 노광하며, 포토레지스트에서의 트렌치 패턴을 현상하고, 패드 스택(20)의 노광된 부분을 에칭하여 SOI 층(14)의 일부분을 노출하며, SOI 층(14)의 노출된 부분을 관통하여 에칭하여 매립된 절연층(12)에서 에칭을 정지시킴으로써 형성된다. 포토레지스트는 통상적으로 트렌치 패턴이 패드 스택(20) 내에 전사된 후에 제거된다. 예를 들어, 드라이 에칭, 화학적 웨트 에칭 또는 이들의 조합을 포함하는 여러 에칭 프로세스들이 SOI 기판 내에 트렌치 패턴을 제공하는데 이용될 수 있다. 트렌치는 SiO_2 또는 Si_3N_4 와 같은 트렌치 라이너, 또는 이러한 유전체들의 다층을 이용하여 선택적으로 라이닝될 수 있다. 그 후, 트렌치 라이너를 갖는 갖지 않은, 트렌치가 산화물과 같은 트렌치 유전체로 충전된다. 통상적으로, 트렌치 유전체는 TEOS 또는 HPD 산화물이다. 트렌치를 트렌치 유전체로 충전한 후, CMP와 같은 선택적인 평탄화 프로세스를 이용하여, 절연 영역(30) 각각의 상부 표면이 패드 스택(20)의 상부 질화물 층과 실질적으로 동일 평면이 되는 구조를 제공할 수 있다. 트렌치 절연 영역(30)을 포함하는 구조는 도 8, 도 9, 도 10 및 도 11에 도시되어 있다.

[0054] 트렌치 절연 영역(30)을 형성한 후, 저장 노드 컨덕터(26)를 (후속하여 형성되어질) 기록 MOSFET(T1)에 접속시키는 역할을 하는 도전성 스트랩(34)을 형성한다. 구체적으로, 도전성 스트랩(34)은 기록 MOSFET(T1)이 스트랩 마스크(36) 및 에칭을 이용하여 형성되어질 곳의 인접하는 영역에 저장 트렌치(22)의 산화물 캡(28)에서의 윈도우를 먼저 형성함으로써 형성된다. 에칭은 통상적으로 RIE와 같은 드라이 에칭 프로세스에 의해 수행된다. 이러한 에칭 단계는 하부에 있는 노드 컨덕터(26)의 일부분을 노출시킨다. 산화물 캡(28)에서의 윈도우에 의해 현재 노출된 노드 컨덕터(26)의 일부분은 대략적으로 SOI 층(14)의 뒷면 인터페이스에 있는 깊이까지 에칭함으로써 오목처리된다. 저장 트렌치(22) 내에서의 제1 유전체(24)의 노출된 부분은 제1 유전체(24)를 선택적으로 제거하기 위한 에칭 프로세스를 이용하여 제거된다. 이러한 에칭 단계는 SOI 기판의 측벽, 보다 자세하게는, SOI 층(14)으로 구성되어 있는 측벽을 노출시킨다. 폴리Si 또는 다른 도전성 재료를 통상적으로 포함하는 도전성 플러그가 통상의 성막 프로세스를 이용하여, 오목처리된 영역에 형성된다. 도전성 플러그의 성막에 후속하여, 도전성 플러그가 패드 스택(20)의 상부 질화물 층의 상부 표면과 실질적으로 동일 평면이 되는 상부 표면을 갖는 구조를 제공하는 평탄화 프로세스가 통상적으로 수행된다. 그 후, 평탄화된 도전성 플러그는 대략적으로 SOI 층(14)의 상부 표면까지 에칭됨으로써 오목처리된다. 이러한 도전성 플러그는 저장 노드 컨덕터(26)와 기록 MOSFET(T1) 사이에 도전성 스트랩(34)을 형성한다. 도전성 스트랩(34)을 포함한 구조는 도 8, 도 9, 도 10 및 도 11에 도시되어 있다. 이를 도면은 상술한 단계들에 후속하는 2개의 평면도(하나는 절연 영역 형성 이후(도 8), 다른 하나는 스트랩 형성 이후에(도 9)), A-A에 따른 절단면도(도 10), 및 C-C에 따른 절단면도(도 11)을 포함한다.

[0055] 일 실시예(도시 생략)에서, 이후, 저장 트렌치(22)의 상부에서의 오목부는 당해 기술 분야의 당업자에게 잘 알려진 처리 기술을 이용하여, 산화물로 재충전되고 평탄화되며 오목처리된다. 이를 처리 단계들은 저장 트렌치(22) 각각에 상부 트렌치 산화물(38)을 형성한다. 상부 트렌치 산화물(38)은 통상의 성막 프로세스를 이용하여 통상적으로 형성되며, 상부 트렌치 산화물(38)은 통상적으로 약 20 내지 약 50 nm의 두께를 갖는다. 상부 트렌치 산화물(38)은 판독 트랜지스터(T2)의 상부에 있는 워드라인 컨덕터와 노드 컨덕터 사이에 절연을 제공한다.

[0056] 선택적으로, 산화물 플러그의 나머지 부분이 전체적으로 제거될 수 있으며, (약 20 nm 이하의 두께를 갖는) 얇은 질화물 층이 저장 노드 컨덕터(26) 상부에서 통상의 성막 프로세스에 의해 형성될 수 있다. 본 발명에서 바람직한 선택적인 단계가 도 12에 도시되어 있는데, 여기서, 도면 부호 40은 얇은 질화물 층(40)의 목적은 후속하는 처리 이후에 저장 노드 컨덕터(26)의 상부에 절연체가 남겨지는 것을 보장하기 위한 것이다. 선택적인 질화물 층(40)이 없을 경우, TTO(38)는 이후의 처리 단계들에 의해 심하게 침식받기 쉬울 것이다. 따라서, 선택적인 질화물 층(40)은 저장 노드 컨덕터(26)와 후속하여 형성될 상부에 있는 지나가는 워드라인 사이에 단락이 없는 것을 보장한다. 선택적인 질화물 층(40)은 평탄화 프로세스에 의해 절연 영역(30)의 상부로부터 제거된다.

[0057] 표준 방식으로, 패드 스택(20)의 상부 질화물 층이 제거되고, 당해 기술 분야에 잘 알려진 통상의 많은 클리닝

기술을 이용하여, SOI 층(14)의 상부 표면이 클리닝된다. 이러한 클리닝 프로세스 동안에, 패드 스택(20)의 하부 산화물 층이 통상적으로 제거된다. 그 후, 산화와 같은 통상의 열 성장 프로세스를 이용하여, SOI 층(14)의 클리닝된 표면 상에 트랜스퍼 게이트 산화물이 형성된다. 통상적으로, 트랜스퍼 게이트 산화물은 SiO_2 이다. 트랜스퍼 게이트 산화물의 두께는 변할 수 있지만, 통상적으로 트랜스퍼 게이트 산화물은 약 1.5 내지 약 7 nm의 두께를 가지며, 약 2 내지 약 5 nm의 두께를 갖는 것이 통상적이다. 트랜스퍼 게이트 산화물을 포함하는 구조가 도 13에 도시되어 있으며, 여기서, 도면 부호 42가 트랜스퍼 게이트 산화물을 나타내는데 이용된다. 트랜스퍼 게이트 산화물(42)이 기록 워드라인 MOSFET(T1)의 게이트 유전체로서 기능하는 것임을 주지한다.

[0058] 그 후, 워드라인 컨덕터(44)가 CVD 또는 PECVD와 같은 통상의 성막 프로세스를 이용하여 상부 트렌치 산화물(38) 및 트랜스퍼 게이트 산화물(42)의 표면 상부에 형성된다. 워드라인 컨덕터는 도핑된 폴리실리콘, 도전성 금속, 도전성 금속 합금, 도전성 금속 실리사이드, 도전성 금속 질화물 또는 이들의 다층들과 같은 도전성 재료로 구성된다. 통상적으로, 워드라인 컨덕터(44)는 n형으로 도핑된 폴리실리콘으로 구성된다. 폴리실리콘 게이트 컨덕터가 채용되는 일 실시예에서, 실리사이드 층(구체적으로 도시하지 않음)은, 예를 들어, 실리사이드 금속(예를 들어, Ti, W 또는 Ni)의 성막, 금속 실리사이드를 형성하도록 제1 온도에서의 어닐링, 선택적 에칭 프로세스에 의해 폴리실리콘과 반응하지 않은 여분의 금속을 제거, 및 제2 온도에서 제2 어닐링을 선택적으로 수행하는 것을 포함하는 통상의 실리사이드화 프로세스를 이용하여 폴리실리콘 게이트 컨덕터의 상부에 형성될 수 있다.

[0059] 그 후, SiN 또는 다른 유사한 유전체 재료로 구성되는 워드라인 캡(46)이 워드라인 컨덕터(44) 상부에 통상적으로 성막된다. 워드라인 캡(46)은 무경계(borderless) 확산 콘택트의 형성을 위하여 워드라인 상에서의 보호 캡으로서 기능을 한다. 그 후, 층(44 및 46)을 포함하는 게이트 스택이, 당해 기술 분야에 잘 알려진 처리 기술을 이용하여 패터닝된 다음 에칭된다. 이들 단계는 본 발명의 구조의 기록 워드라인(WWL) 및 판독 워드라인(RWL)을 형성한다. RWL들은 저장 트렌치(22) 상에 위치되어 있고, WWL들은 SOI 층(14) 상부에 위치되어 있음을 주지한다. 이것은 도 14에 예를 들어 도시되어 있다.

[0060] 하나 이상의 절연체, 바람직하게는 질화물로 구성되는 게이트 스페이서(48)는 리액티브 이온 에칭 또는 다른 유사한 에칭 프로세스가 후속되는 등각 성막 처리를 이용하여 형성된다. 선택적인 게이트 측벽 산화물(도시 생략)이 게이트 스페이서(48)의 형성 이전에 열 산화 프로세스에 의해 형성될 수 있다. 게이트 스페이서(48)는 단일의 절연체 재료 또는 하나 보다 많은 절연체 재료의 조합을 포함할 수 있다. 게이트 스페이서(48)는 SOI 층 또는 저장 트렌치 상에 놓이는 하부 표면에서 측정했을 때 약 1 내지 약 20 nm의 폭을 가지며, 약 4 내지 약 10 nm의 폭을 갖는 것이 통상적이다.

[0061] 그 후, 소스/드레인 영역(50)이 통상의 이온 주입 및 어닐링을 이용하여 기록 워드라인의 풋프린트에서 SOI 층(14) 내에 형성된다. 소스/드레인 영역(50)은 바람직하게는, 워드라인 컨덕터가 n형일 때 n형이며, 워드라인 컨덕터가 p형일 때 p형이다. 워드라인 형성, 게이트 스페이서 형성 및 소스/드레인 형성 이후에 형성되는 결과적인 구조는 예를 들어, 도 14에 도시되어 있다.

[0062] 그 후, 산화물과 같은 층간 유전체(52)가 당해 기술 분야에 잘 알려진 통상의 기술에 의해 구조체 상에 성막된 다음 평탄화된다. 그후, 비트라인(BL) 콘택트 개구부들이 층간 유전체(52), 및 소스/드레인 영역(50) 상에 남아 있는 어떤 트랜스퍼 게이트 산화물(42)을 관통하여 형성된다. BL 콘택트 개구부는 리소그래피 및 에칭을 이용하여 형성된다. 도 15는 BL 콘택트의 개구부를 따르는 평면도를 나타낸다. BL 콘택트 개구부는 상부에 형성된 워드라인과 경계가 없는 것으로 보여지고 있다. 도면에서는, 판독 워드라인 MOSFET(T2)의 제1 유전체(24)를 포함하는 측벽 게이트 유전체가 일련의 수직방향 점들에 의해 도시되어 있다. 도 19에서의 영역(54)은 무경계 비트라인 콘택터를 나타낸다.

[0063] 절단선 B-B에 대한 단면도를 도 16에 도시하여, 판독 MOSFET(T2)의 구조를 보다 명확히 나타낸다. 판독 채널에는 저장 노드 컨덕터(26)로부터 직접 측면 게이트가 형성되어 있음을 주지한다. 이것이 본 발명의 주요 특징이다. 또한, 판독 MOSFET(T2)이 1) 저장 노드 컨덕터(26)에 의해 측벽에 및 2) RWL 게이트 컨덕터에 의해 자신의 상부 표면에 이중으로 게이트가 형성되어 있는 것으로 또한 보여지고 있다. 따라서, T2의 2개의 게이트 유전체는 제1 유전체(24)와 트랜스퍼 게이트 산화물(42)을 포함한다. 도시한 바와 같이, TTO(38)는 RWL로부터 트렌치 저장 노드 컨덕터(26)를 절연시킨다. 도 17은 비아 콘택트(16) 영역에서 SOI 층(14) 상을 지나가는 워드라인을 나타낸다. 비아 콘택트(16)를 포함하는 영역에서의 워드라인 아래의 SOI 층(14)은 판독 트랜지스터와 접지부 사이에 연속성을 제공한다.

[0064] 그 후, 도 18 및 도 19에 도시된 바와 같이, W 또는 다른 유사한 컨덕터를 포함하는 비트라인(56)이 형성된다.

비트라인(56)은 금속으로 구성된 콘택트(53)를 통하여 영역(54)과 접속되어 있다. 비트라인(56)은 당해 기술 분야에 잘 알려진 기술을 이용하여 형성되며, 따라서 여기서는 설명하지 않는다. 20 F^2 유닛 셀은 점선으로 표시된 상자 표시의 영역(58) 내에서의 영역에 의해 나타내어진다. 지지 MOSFET들(도시 생략)이 여기에 설명된 프로세스 흐름에 쉽게 통합될 수 있음을 주지한다.

[0065] 도 1 내지 도 19를 참조한 상술한 설명은 본 발명의 제1 실시예를 나타낸다. 도 20, 도 21, 및 도 22a 내지 도 22c를 참조한 다음의 설명은 본 발명의 제2 실시예를 나타낸다. 본 발명의 제2 실시예에서, 셀 레이아웃이 제공되며, 이 셀 레이아웃에는, 판독 MOSFET 트랜지스터(T2)에, 상부 표면 상에서의 판독 워드라인 게이트와, 저장 커패시터의 저장 노드 컨덕터의 액츄얼 노드 컨덕터이고 판독 MOSFET에 직접 연결되어 있는 측면 게이트로 이중으로 게이트 형성된다.

[0066] 저장 커패시터에 의한 측면 게이트 형성은 판독 MOSFET의 임계 전압을 변조시킨다. "1"이 저장되는 경우, 판독 트랜지스터의 V_t 가 로우이다. "0"이 저장되면, 판독 트랜지스터의 V_t 가 하이이다. 판독 워드라인이 승압될 때 판독 MOSFET의 저항에 의해 "1"이 "0"과 구별된다. 따라서, 저장 커패시터와 기록 비트라인 사이에 전하의 전달이 필요하지 않기 때문에 저전압 감지가 용이하게 된다.

[0067] 제2 실시예의 진보된 셀은 듀얼 포트 설계로서, 셀로부터의 데이터의 동시 기록 및 판독을 허용한다. 상술한 제1 실시예의 셀은 단일 포트화되어 있다.

[0068] 도 20은 본 발명의 제2 실시예에서의 진보된 개인 셀의 개략도를 나타낸다. 도 20에 도시된 진보된 개인 셀에서, 이중 게이트형 트랜지스터(T2)가 또한 이용됨을 주지한다. 상술한 바와 같이, T2는 2개의 게이트, 즉, 저장 트렌치 커패시터(STG CAP)의 저장 노드에 접속되어 있는 측면 게이트와, RWL에 접속된 상부 게이트를 포함한다. 이러한 설계는 WWL과 WBL를 이용하는 기록 동작이 액세스를 위하여 RWL과 RBL를 이용하는 판독 동작과 함께 동시에 발생할 수 있기 때문에 듀얼 포트화된다. N1...N5가 또한 도 20에 도시되어 있다.

[0069] T1은 기록 트랜지스터이며 통상의 MOSFET이다. 기록 워드라인(WWL)을 승압시키고 기록 비트라인(WBL)과 저장 커패시터 사이에 전하를 전달함으로써 "0" 또는 "1"이 저장 커패시터에 기록된다. 저장 커패시터의 노드는 판독 MOSFET(T2)의 2개의 게이트 중 한 게이트로서 기능한다. 본 발명의 이러한 실시예에서, T2의 측벽을 게이트 형성하는 노드(N5)가 저장 커패시터(STG CAP)와 통합되어 소형의 구조를 독립적으로 형성한다. 이것은 본 발명의 제2 실시예에 개시되어 있는 고밀도 셀 레이아웃을 가능하게 한다. 도 20에 도시되어 있는 셀이 듀얼 포트화되어 있는 것으로 또한 보여지고 있다.

[0070] 도 21은 16개의 메모리 셀(M1...M16)을 나타내는 메모리 어레이의 일부분의 레이아웃(평면도)를 나타낸다. 설명의 명확화를 위하여, 비트라인은 도시되어 있지 않다. 이 레이아웃에서, 접지 콘택트가 매립된 절연체(12)를 통하여 비아 콘택트(16)에 의해 SOI 층(14)과 기판(10) 사이에 제공된다. 각각의 비아 콘택트(16)는 4개의 셀에 의해 공유되어 있으며, 판독 전류에 대해 접지부로의 경로를 제공한다. 레이아웃(도시 생략) 상에 수직 방향으로 뻗어있는 비트라인들과 액티브 영역 사이의 콘택트가 "X"로 표시된다. 판독 워드라인(RWL) 및 기록 워드라인(WWL)은 레이아웃 상에서 수평방향으로 뻗어있다. RWL과 함께, 판독 MOSFET(T2)의 측면 게이트(일련의 수직방향 점선으로 표시되어 있음)는 상부 게이트가 형성된 표면 상으로 뻗어있음을 주지한다. 도 21에 도시된 다른 소자들은 본 발명의 제1 실시예에 대한 상술한 도면 부호와 일관되게 나타낸 도면 부호를 포함하고 있음을 주지한다.

[0071] 본 발명의 제2 실시예의 각각의 메모리 셀은 메모리 어레이의 기록 워드라인(WWL), 제1 노드, 및 상기 메모리 어레이의 기록 비트라인에 각각 연결되어 있는 게이트, 소스 및 드레인으로 제공되는 제1 트랜지스터(T1)와; 판독 워드라인, 상기 제1 노드, 전압 소스 및 판독 비트라인에 각각 연결되어 있는 제1 게이트, 제2 게이트, 소스 및 드레인을 갖는 제2 트랜지스터(T2)와; 상기 제1 노드에 접속된 제1 단자 및 전압 소스에 접속된 제2 단자를 갖는 커패시터(STG CAP)를 포함하며, 상기 커패시터의 상기 제1 단자와 상기 제2 트랜지스터의 제2 게이트는 단일 엔티티를 형성한다.

[0072] 도 21에 도시된 레이아웃을 형성하는데 이용되는 프로세스 흐름은 도 22a 내지 도 22c에 나타내는 초기 구조가 도 2에 도시된 구조 대신에 이용되는 것을 제외하면, 제1 실시예에 도시된 것과 유사하다. 도 3 내지 도 19에 도시되어 있는 본 발명의 제1 실시예의 나머지 단계들이 적용가능하며, 최종 구조를 제공하는데 이용된다. 도 22a 내지 도 22c는 SOI 층(14)과 기판(10) 사이에 비아 콘택트(16)의 형성을 후속하여 그리고 저장 트렌치(22), 제1 유전체(24) 및 노드 컨덕터(26)를 포함하는 저장 트렌치 커패시터의 형성 후의 초기 구조를 나타낸다. 주입 블록 마스크를 이용하여 비아 콘택트(16)를 둘러싸는 도핑된 영역(100)을 형성한다. 바람직하게는 n형으로 도핑

된 영역인 도핑된 영역(100)은 지나가는 기록 워드라인(WWL) 아래에서의 판독 전류 경로에 대한 접속을 이후에 형성한다.

[0073] 도 22a 내지 도 22c에 도시된 구조는 다음과 같이 형성되는데, 먼저, 비아 마스크(도시 생략)를 이용하여, 비아 콘택트(16)의 위치를 정의하기 위해 포토레지스트 층 및 하부에 있는 하드마스크를 패터닝한다. 당해 기술 분야에 잘 알려진 (그리고 위에서 설명되어 있는) 기술을 이용하여, 비아 콘택트(16)가 SOI 층(14)과 매립된 절연층(12)을 관통하여 에칭되고, 반도체 기판(10) 상에서 에칭이 정지한다. 비아가 상술한 바와 같이 도핑된 폴리실리콘으로 충전되고, 대략적인 원래의 SOI 층(14) 레벨 깊이까지 평탄화되어 오목처리된다. 선택적으로, 도전성 배리어가 도핑된 폴리실리콘으로 충전되기 전에 비아 개구부 내에 형성될 수 있다.

[0074] 그 후, 포토레지스트 층이 블록 마스크에 의해 패터닝되고, 도핀트, 바람직하게는, n형의 도핀트가, 도핀트 영역(100)을 형성하는 개구 윈도우 영역 내에 주입된다. 포토레지스트는 스트립되고, 하드마스크가 제거된다.

[0075] 그 후, 저장 커패시터가 본 발명의 제1 실시예에서 상술한 처리 단계들을 이용하여 형성된다. 처리는 본 발명의 제1 실시예의 도 3 내지 도 19에서 상술한 바와 같이 진행한다.

[0076] 본 발명이 바람직한 실시예에 대하여 구체적으로 도시되고 설명되어 있지만, 당업자는 형태 및 세부 내용에 있어서 상술한 변형 및 다른 변형이 본 발명의 사상 및 범위에 벗어나지 않고 이루어질 수 있음을 이해해야 한다. 따라서, 본 발명은 설명되어 묘사된 정확한 형태와 세부 내용으로 제한되지 않고 첨부한 청구범위의 범위 내에 있는 것으로 의도된다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 제1 실시예에 따라 이중 게이트형 판독 디바이스를 갖는 2개의 트랜지스터(2T)/1개의 커패시터(1C) 게인 셀을 나타내는 개략도이다.

[0023] 도 2는 본 발명의 제1 실시예에 따라 메모리 셀의 일부분의 레이아웃을 나타내는 평면도이다.

[0024] 도 3 내지 도 19는 본 발명의 제1 실시예에 따라 설명된 바와 같은 이중 게이트형 판독 디바이스를 갖는 2T/1C 게인 셀을 형성하는데 이용되는 기본 처리 단계들을 (여러 도면들을 통하여) 나타내는 도면을 나타낸다.

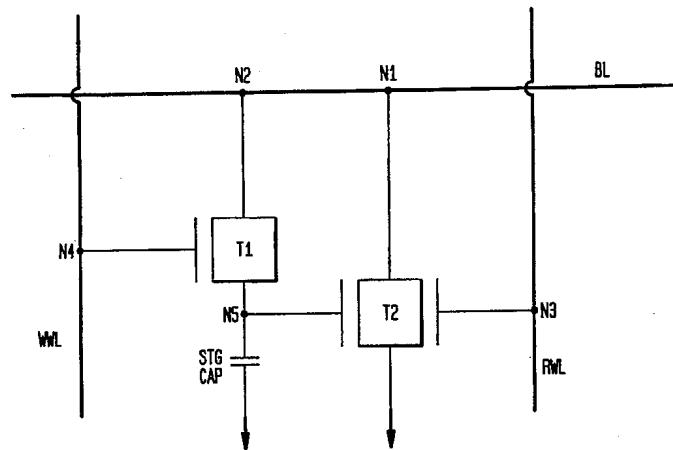
[0025] 도 20은 본 발명의 제2 실시예에 따른 이중 게이트형 판독 디바이스를 갖는 2개의 트랜지스터(2T)/1개의 커패시터(1C) 듀얼 포트 게인 셀을 나타내는 개략도이다.

[0026] 도 21은 본 발명의 제2 실시예에 따른 메모리 셀의 일부분의 레이아웃을 나타내는 평면도이다.

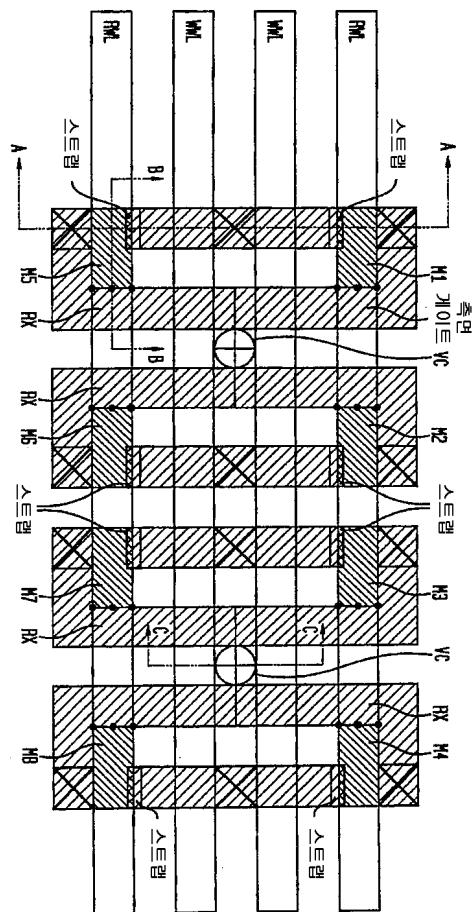
[0027] 도 22a 내지 도 22c는 SOI 층과 기판 층 간의 비아 콘택트들의 정의 후에, 그리고 저장 트렌치들이 얇은 유전체로 라이닝되고 노드 컨터터로 충전된 후에 제2 실시예에 이용된 초기 구조의 여러 도면을 나타낸다. 블록 마스크는 비아 콘택트를 둘러싸는 도핑 영역을 주입하는데 이용된다. 이를 도핑 영역은 지나가는 WWL 아래의 판독 전류 경로에 대한 접속을 형성하는데 이용된다.

도면

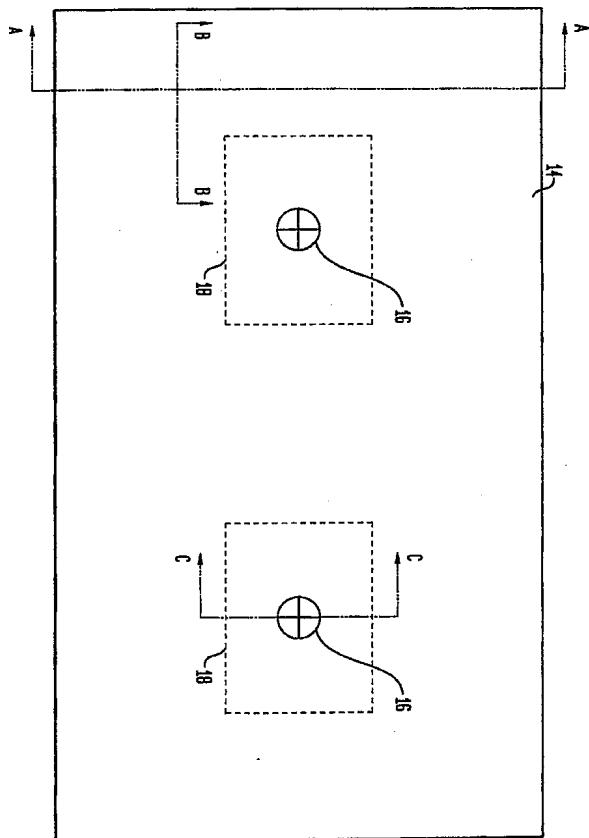
도면1



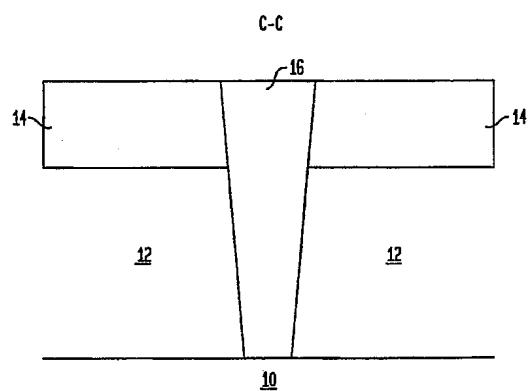
도면2



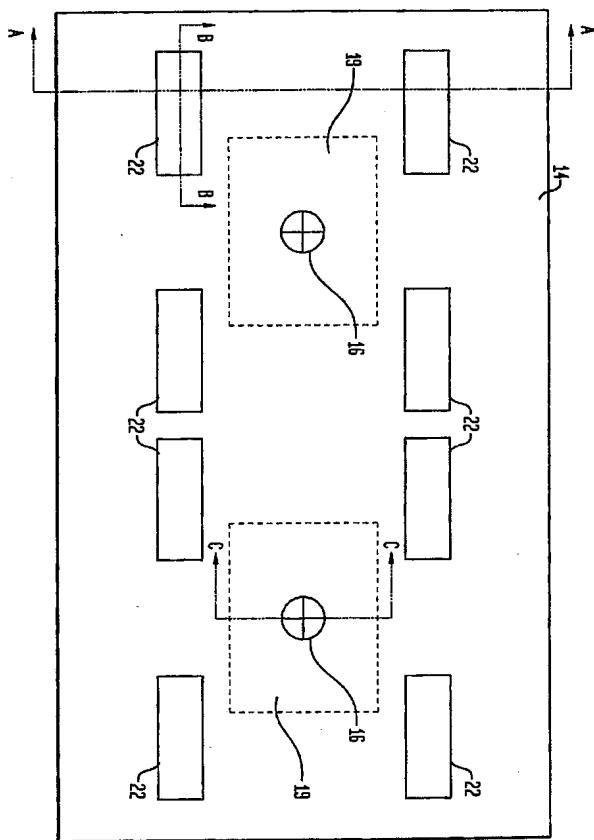
도면3



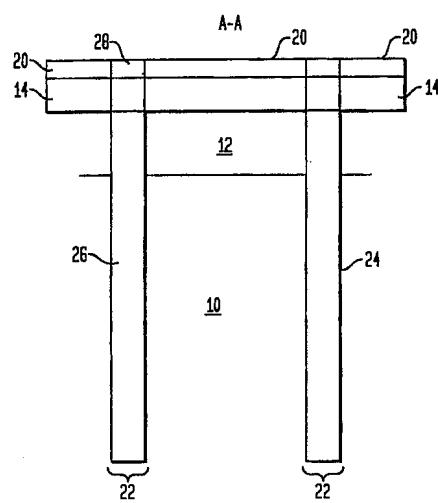
도면4



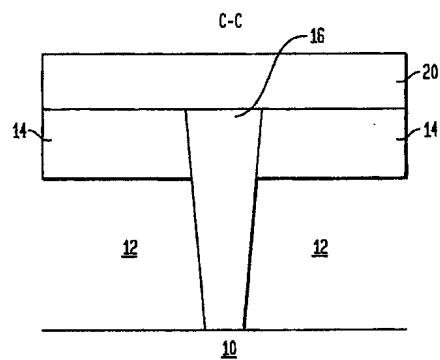
도면5



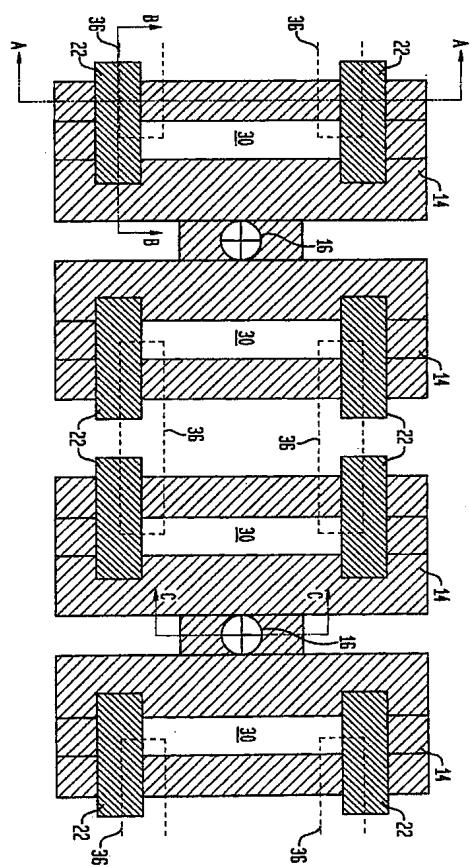
도면6



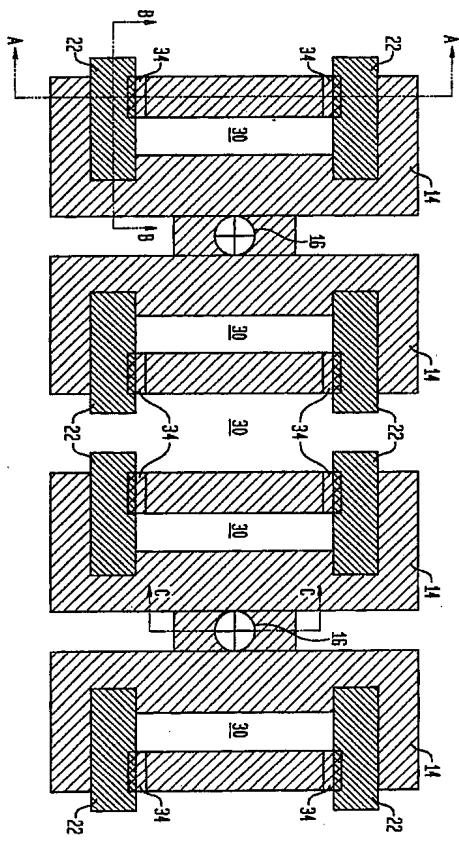
도면7



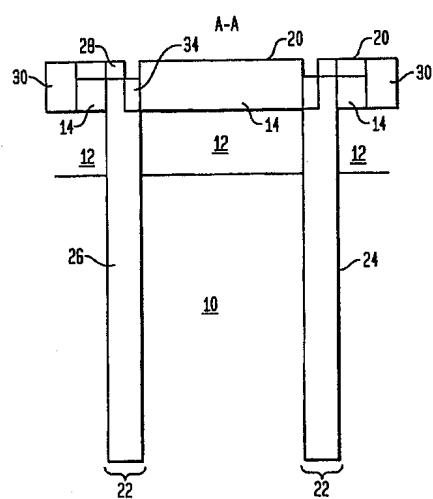
도면8



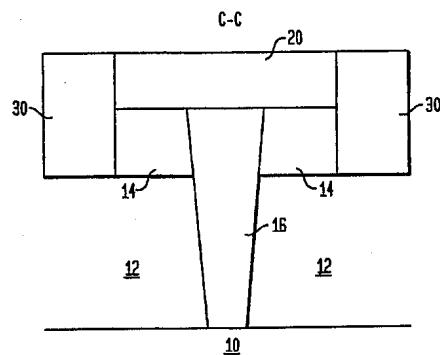
도면9



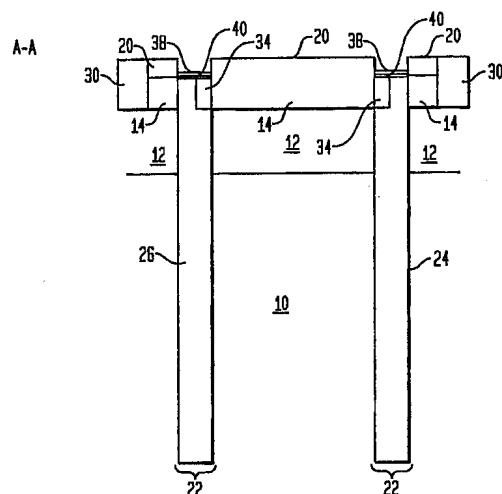
도면10



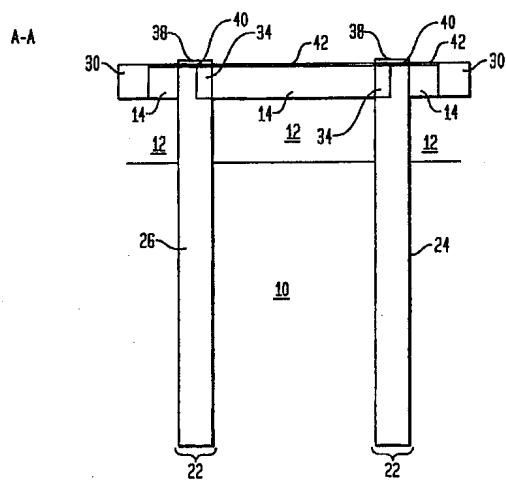
도면11



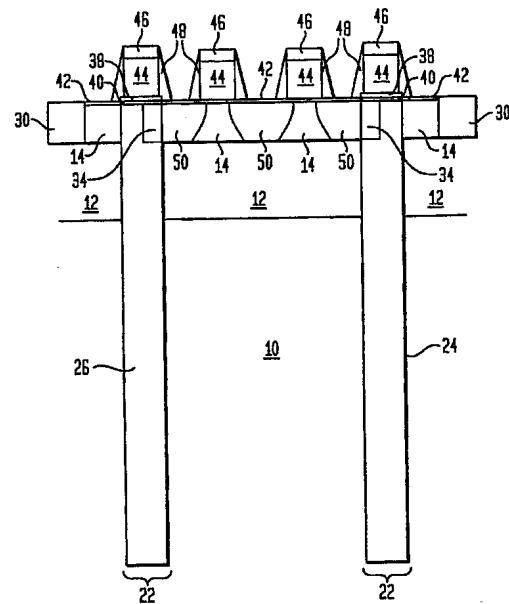
도면12



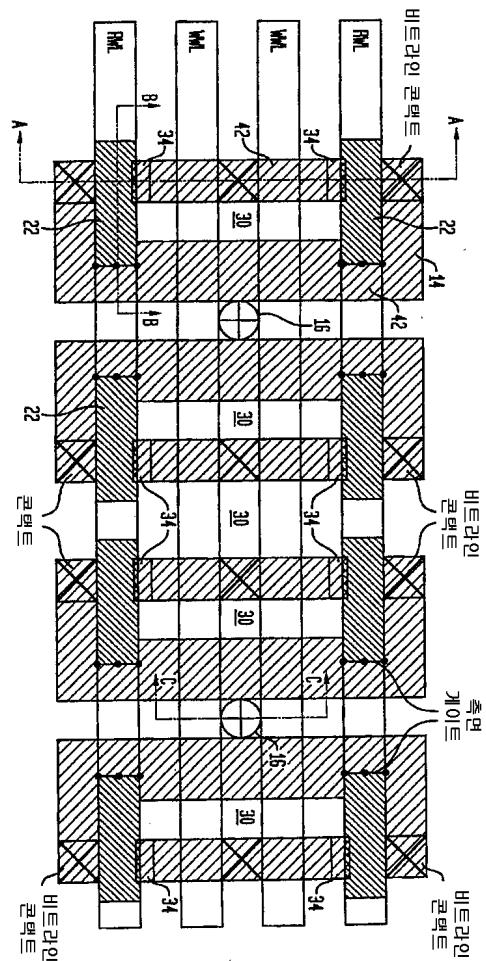
도면13



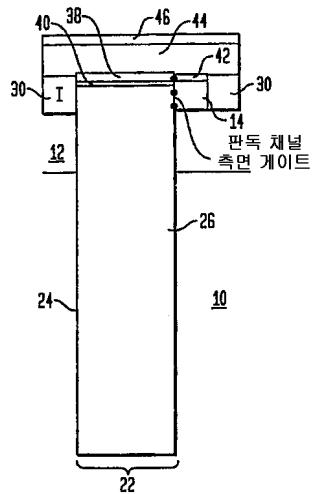
도면14



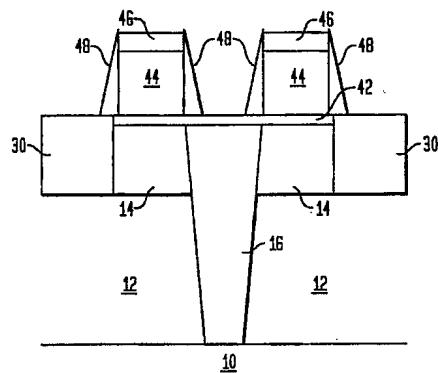
도면15



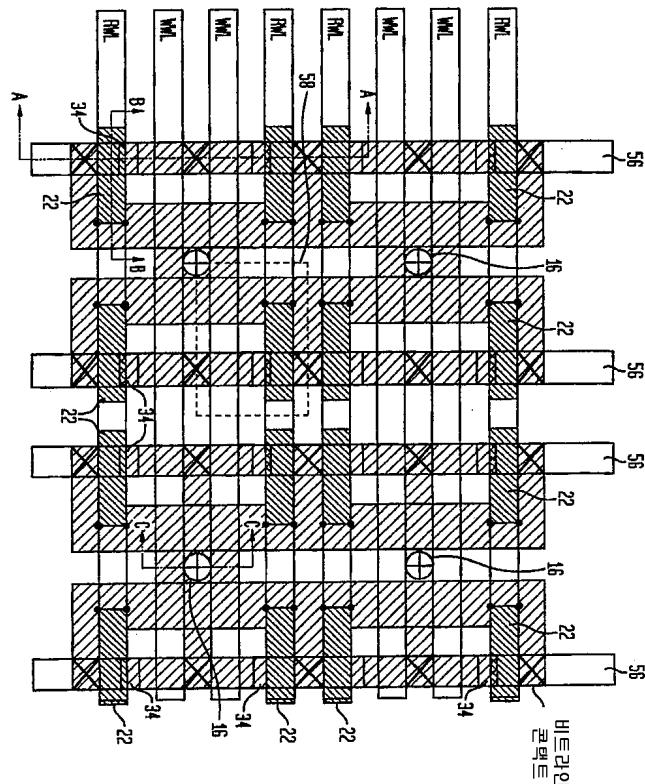
도면16



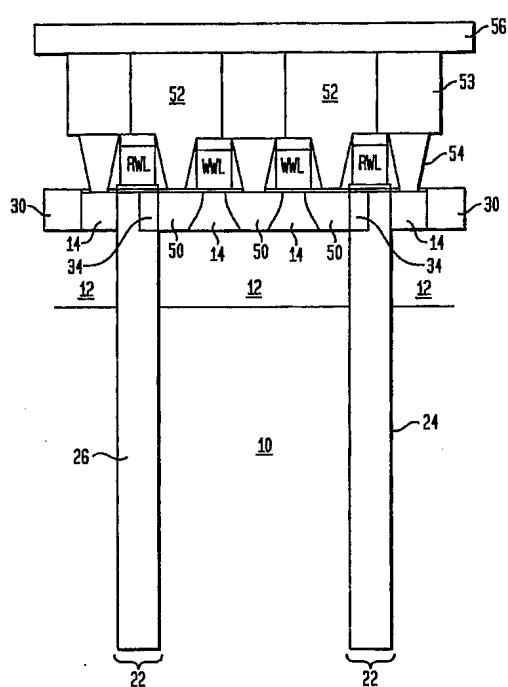
도면17



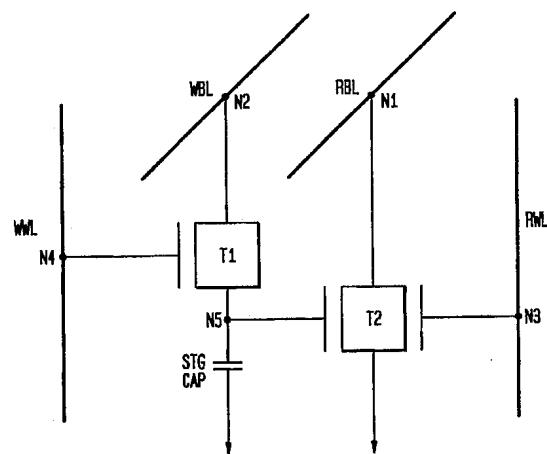
도면18



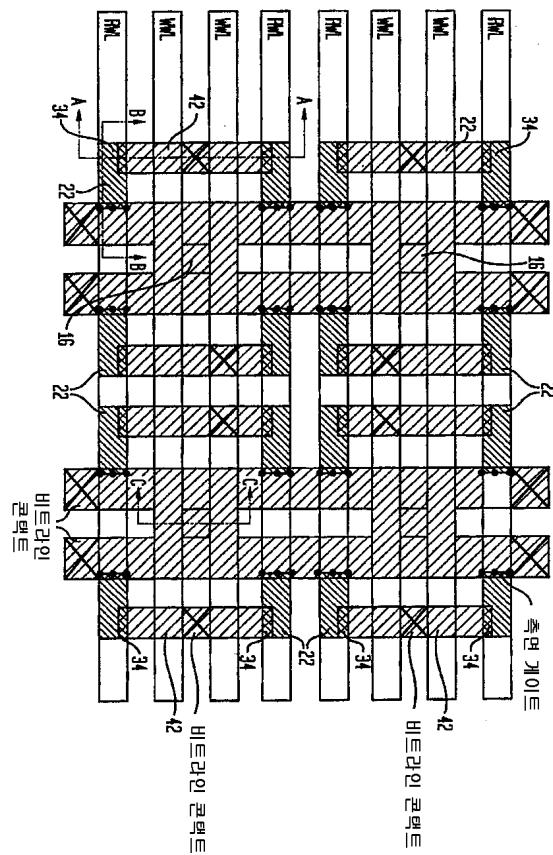
도면19



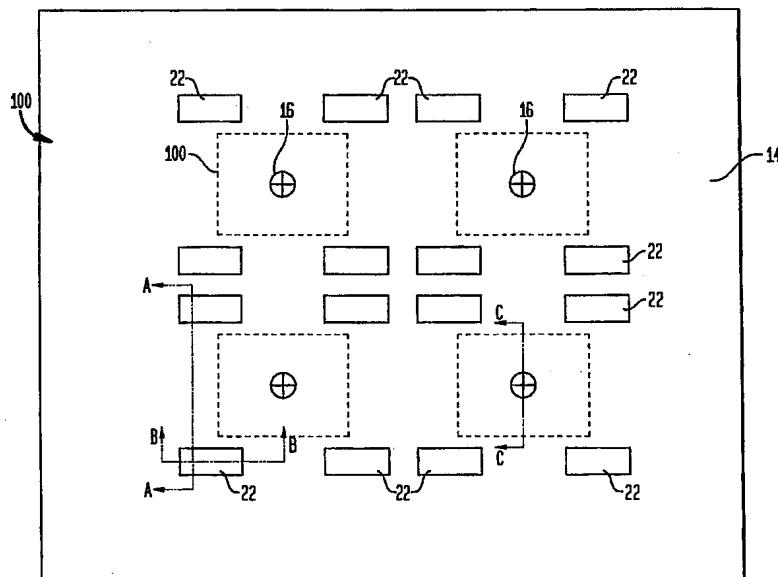
도면20



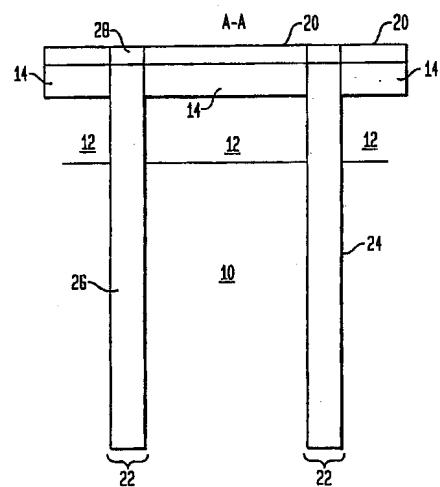
도면21



도면22a



도면22b



도면22c

