



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I843260 B

(45)公告日：中華民國 113 (2024) 年 05 月 21 日

(21)申請案號：111140912

(22)申請日：中華民國 111 (2022) 年 10 月 27 日

(51)Int. Cl. : H05K1/02 (2006.01)

H05K3/18 (2006.01)

(30)優先權：2021/10/28 日本

2021-176324

(71)申請人：日商京瓷股份有限公司 (日本) KYOCERA CORPORATION (JP)
日本

(72)發明人：清水範征 SHIMIZU, NORIYUKI (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 201826895A

TW 202014076A

TW 202131767A

JP 2001-60589A

審查人員：林益平

申請專利範圍項數：5 項 圖式數：16 共 33 頁

(54)名稱

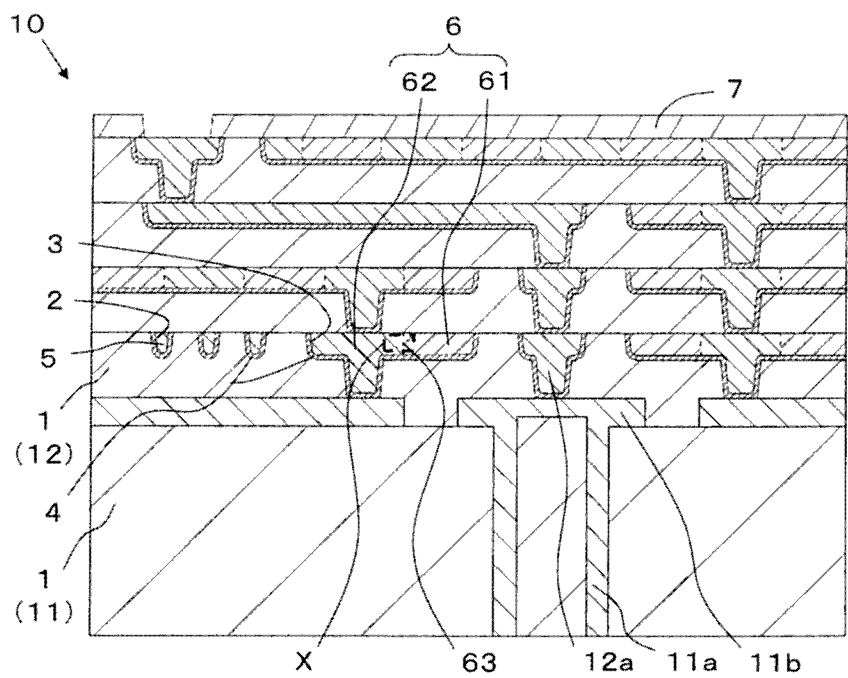
配線基板及其製造方法

(57)摘要

本發明的配線基板係包含：絕緣層；溝，係位於絕緣層之頂面；凹部，係位於絕緣層之頂面，且具有比溝更寬廣的寬度；基底金屬層，係位於溝之內面及凹部之內面；第一配線導體，係配置成在基底金屬層上填充溝；及第二配線導體，係配置成在基底金屬層上填充前凹部，並且具有比第一配線導體更寬廣的寬度。第二配線導體係具有第一部分與第二部分，該第二部分係配置成與該第一部分鄰接而與該第一部分形成一體。複數個空隙位於第一部分及第二部分的交界。

A wiring substrate according to the present disclosure includes: an insulating layer; a groove located in a top surface of the insulating layer; a recess located in the top surface of the insulating layer and having a width wider than the groove; a base metal layer located on the inner surface of the groove and the inner surface of the recess; a first wiring conductor located on the base metal layer and filling the groove; a second wiring conductor located on the base metal layer and filling the recess and having a width wider than that of the first wiring conductor. The second wiring conductor has a first portion and a second portion disposed to be integral with and adjacent to the first portion. A plurality of voids are located at the boundary of the first portion and the second portion.

指定代表圖：



【圖1】

符號簡單說明：

- 1:絕緣層
- 2:溝
- 3:凹部
- 4:基底金屬層
- 5:第一配線導體
- 6:第二配線導體
- 7:阻焊劑層
- 10:配線基板
- 11:核心用絕緣層(絕緣層)
- 11a:貫穿孔導體
- 11b:導體層
- 12:增層用絕緣層(絕緣層)
- 12a:通孔導體
- 61:第一部分
- 62:第二部分
- 63:交界
- X:區域

I843260

【發明摘要】

【中文發明名稱】 配線基板及其製造方法

【英文發明名稱】 WIRING SUBSTRATE AND MANUFACTURING
METHOD THEREOF

【中文】

本發明的配線基板係包含：絕緣層；溝，係位於絕緣層之頂面；凹部，係位於絕緣層之頂面，且具有比溝更寬廣的寬度；基底金屬層，係位於溝之內面及凹部之內面；第一配線導體，係配置成在基底金屬層上填充溝；及第二配線導體，係配置成在基底金屬層上填充前凹部，並且具有比第一配線導體更寬廣的寬度。第二配線導體係具有第一部分與第二部分，該第二部分係配置成與該第一部分鄰接而與該第一部分形成一體。複數個空隙位於第一部分及第二部分的交界。

【英文】

A wiring substrate according to the present disclosure includes: an insulating layer; a groove located in a top surface of the insulating layer; a recess located in the top surface of the insulating layer and having a width wider than the groove; a base metal layer located on the inner surface of the groove and the inner surface of the recess; a first wiring conductor located on the base metal layer and filling the groove; a second wiring conductor located on the base metal layer and filling the recess and having a width wider than that of the first wiring conductor. The second wiring conductor has a first portion and a second portion disposed to be integral with and adjacent to the first portion. A plurality of voids are located at the boundary of the first portion and the second portion.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

1:絕緣層

2:溝

3:凹部

4:基底金屬層

5:第一配線導體

6:第二配線導體

7:阻焊劑層

10:配線基板

11:核心用絕緣層(絕緣層)

11a:貫穿孔導體

11b:導體層

12:增層用絕緣層(絕緣層)

12a:通孔導體

61:第一部分

62:第二部分

63:交界

X:區域

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 配線基板及其製造方法

【英文發明名稱】 WIRING SUBSTRATE AND MANUFACTURING
METHOD THEREOF

【技術領域】

【0001】 本發明係關於配線基板及其製造方法。

【先前技術】

【0002】 以往，就配線基板中的配線導體的形成方法而言，係使用半加成(Semi-additive)法。半加成法為以如下的順序形成配線導體的方法。首先，藉由無電解鍍覆法或濺鍍(sputtering)法等，在絕緣層的露出表面形成薄的基底金屬層。其次，在該基底金屬層上形成具有與配線導體的圖案(pattern)對應之開口部的抗鍍層。其次，在該抗鍍層之開口部內所露出的基底金屬層上形成電解鍍覆層。其次，將抗鍍層剝離去除，最後，將未被電解鍍覆層覆蓋之部分的基底金屬層蝕刻去除。

【0003】 另外，在配線基板方面，配線導體的微細化不斷發展。例如，開始要求配線導體的寬度為 $15\ \mu\text{m}$ 以下，且相互鄰接的配線導體彼此的間隔為 $15\ \mu\text{m}$ 以下者。如此，當配線導體的寬度成為例如 $15\ \mu\text{m}$ 以下的狹窄寬度時，絕緣層與配線導體之隔著基底金屬層接合的接合面積變小，使得配線導體難以從絕緣層剝離。再者，在相互鄰接的配線導體彼此之間，電性的絕緣可靠性會降低。

【0004】因而，如專利文獻 1 所記載，已有提出一種方法，其係形成由溝內殘留的基底金屬層及電解鍍覆層構成的配線導體。首先，藉由雷射加工，在絕緣層的表面形成與配線導體的圖案對應的預定深度的溝。其次，藉由無電解鍍覆法或濺鍍法等，在包含溝之內壁的絕緣層的表面形成薄的基底金屬層。其次，在該基底金屬層上形成具有填埋溝的厚度的電解鍍覆層。最後，藉由化學機械研磨，將絕緣層上的基底金屬層及電解鍍覆層研磨去除。

【0005】根據該方法，可藉由電解鍍覆層而良好地填充相對狹窄的寬度(例如， $15\mu\text{m}$ 以下)的配線導體用的溝。但是，難以藉由電解鍍覆層良好地填充相對寬廣的寬度(例如， $150\mu\text{m}$ 以上)的配線導體用的溝。結果，在寬度寬廣的配線導體中，配線導體之頂面會大幅凹陷而缺乏平坦性。當為了消除該凹陷而將電解鍍覆層的厚度更為增厚時，會使得形成該電解鍍覆層之際所發生的應力變大。因此，會有大的應力經由基底金屬層而作用於其與寬度寬廣的配線導體用的溝之內壁之間，使得寬度寬廣的配線導體容易剝離。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻 1]日本特開 2004-149926 號公報

【發明內容】

[發明所欲解決之課題]

【0007】本揭示之課題為提供一種寬度寬廣的配線導體難以剝離的配線基板。

[用以解決課題之手段]

【0008】本揭示的配線基板係包含：絕緣層；溝，係位於絕緣層之頂面；凹部，係位於絕緣層之頂面，且具有比溝更寬廣的寬度；基底金屬層，係位於溝之內面及前述凹部之內面；第一配線導體，係配置成在基底金屬層上填充前述溝；及第二配線導體，係配置成在基底金屬層上填充凹部，並且具有比第一配線導體更寬廣的寬度。第二配線導體係具有第一部分與第二部分，第二部分係配置成與第一部分鄰接而與該第一部分形成一體。複數個空隙位於第一部分及第二部分的交界。

【0009】本揭示的配線基板的製造方法係包含：在絕緣層之頂面形成溝及具有比該溝更寬廣的寬度的凹部之步驟；在絕緣層之頂面、溝之內面及凹部之內面形成基底金屬層之步驟；在凹部內的基底金屬層上形成具有比凹部的寬度更狹窄的寬度的至少一個抗鍍覆層(plating resist)之步驟；在從抗鍍覆層露出之基底金屬層上形成第一電解鍍覆層之步驟；將抗鍍覆層從基底金屬層上去除之步驟；在第一電解鍍覆層上及基底金屬層上形成第二電解鍍覆層之步驟；將第一電解鍍覆層、第二電解鍍覆層及基底金屬層的一部分去除，以形成第一配線導體及第二配線導體之步驟，該第一配線導體由填充於溝的第一電解鍍覆層的源自第一電解鍍覆金屬或源自第二電解鍍覆層的第二電解鍍覆金屬所構成，該第二配線導體由填充於凹部的第一電解鍍覆金屬與源自第二電解鍍覆層的第二電解鍍覆金屬所構成。

[發明功效]

【0010】依據本揭示的配線基板，寬度寬廣的第二配線導體具有第一部分與第二部分，第二部分係配置成與第一部分鄰接而與該第一部分形成一體，且複數

個空隙位於第一部分及第二部分之交界。因此，第二配線導體與絕緣層之間所發生的應力、第二配線導體內所發生的應力係在空隙所位於的第一部分與第二部分的交界被分散緩和。結果，本揭示的配線基板可減少第二配線導體的剝離。

【0011】再者，依據本揭示的配線基板的製造方法，藉由上述的步驟而使第一電解鍍覆層的形成時及第二電解鍍覆層的形成時的應力分散。結果，依據本揭示的配線基板的製造方法，可獲得減少在凹部內形成的第二配線導體的剝離之配線基板。

【圖式簡單說明】

【0012】

圖 1 為顯示本揭示一實施型態的配線基板之剖面的說明圖。

圖 2 為圖 1 顯示之區域 X 的电子顯微鏡照片。

圖 3 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 4 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 5 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 6 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 7 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 8 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 9 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 10 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 11 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 12 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。

圖 13 為顯示第二配線導體之變形例的說明圖。

圖 14 為顯示第二配線導體之變形例的說明圖。

圖 15 為顯示第二配線導體之變形例的說明圖。

圖 16 為顯示第二配線導體之變形例的說明圖。

【實施方式】

【0013】 根據圖 1 及圖 2，說明本揭示的配線基板。圖 1 為顯示本揭示一實施型態的配線基板之剖面的說明圖。一實施型態的配線基板 10 係包含絕緣層 1(11、12)、第一配線導體 5 及第二配線導體 6。一實施型態的配線基板 10 中，絕緣層 1(11)為核心(core)用絕緣層 11，絕緣層 1(12)相當於增層(Build up)用絕緣層 12。以下，係說明一實施型態的配線基板 10 中，增層用絕緣層 12 中包含第一配線導體 5 及第二配線導體 6 的型態。

【0014】 核心用絕緣層 11 係例如以環氧樹脂、雙馬來醯亞胺—三吡樹脂、聚醯亞胺樹脂、聚苯醚樹脂、液晶聚合物等樹脂形成。該等樹脂可單獨使用，亦可併用兩種以上。核心用絕緣層 11 中可含有玻璃纖維布(glass cloth)等補強材，亦可使絕緣粒子分散於核心用絕緣層 11 中。絕緣粒子並未限定，可列舉例如二氧化矽(silica)、氧化鋁(alumina)、硫酸鋇、滑石、黏土、玻璃、碳酸鈣、氧化鈦等無機絕緣性填料。核心用絕緣層 11 的厚度並未限定，若為核心用絕緣層，例如為 0.1mm 以上 2.0mm 以下。

【0015】 核心用絕緣層 11 係具有用以將核心用絕緣層 11 之頂面及底面的導體層 11b 電性連接的貫穿孔(through hole)導體 11a。貫穿孔導體 11a 係位於貫通核心用絕緣層 11 之頂面及底面的貫穿孔內。貫穿孔導體 11a 係例如以由銅鍍覆等之金屬鍍覆的導體形成。貫穿孔導體 11a 係與核心用絕緣層 11 之兩面的導體層 11b 連接。貫穿孔導體 11a 可僅形成於貫穿孔之內壁面，亦可填充於貫穿孔內。

【0016】 與核心用絕緣層 11 同樣，增層用絕緣層 12 亦以環氧樹脂、雙馬來醯亞胺—三吡樹脂、聚醯亞胺樹脂、聚苯醚樹脂、液晶聚合物等樹脂形成。該等樹脂可單獨使用，亦可併用兩種以上。核心用絕緣層 11 與增層用絕緣層 12 能夠以相同樹脂形成，也能夠以不同樹脂形成。增層用絕緣層 12 中可含有玻璃纖維布等補強材，亦可使絕緣粒子分散於增層用絕緣層 12。絕緣粒子並未限定，可列舉例如二氧化矽、氧化鋁、硫酸鋇、滑石、黏土、玻璃、碳酸鈣、氧化鈦等無機絕緣性填料。增層用絕緣層 12 的厚度並未限定，例如為 10 μ m 以上 50 μ m 以下。

【0017】 增層用絕緣層 12 係具有用以將位於增層用絕緣層 12 之頂面及底面的導體層彼此電性連接的通孔(via hole)導體 12a。通孔導體 12a 係位於貫通增層用絕緣層 12 之頂面及底面的通孔內。通孔導體 12a 係例如在形成第一配線導體 5 及第二配線導體 6 之際同時形成。通孔導體 12a 可僅形成於通孔之內壁面，亦可填充於通孔內。

【0018】 溝 2 及凹部 3 係位於增層用絕緣層 12 之頂面。基底金屬層 4 係位於溝 2 及凹部 3 之內面。基底金屬層 4 係成為第一配線導體 5 及第二配線導體 6 之底層的部分。基底金屬層 4 能夠以例如銅等金屬形成。基底金屬層 4 係具有例如 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下的厚度。由於存在基底金屬層 4，使得第一配線導體 5 及第二配線導體 6 的附著性提升。

【0019】 第一配線導體 5 填充於溝 2。第一配線導體 5 的寬度相對狹窄，例如亦可為 $15\ \mu\text{m}$ 以下。此種第一配線導體 5 例如作為信號用配線導體而發揮功能。溝 2 的寬度係對應於第一配線導體 5 的寬度而適當設定。只要不貫通增層用絕緣層 12，則溝 2 的深度未被限定。溝 2 的深度較佳為例如增層用絕緣層 12 的厚度之 10%以上 50%以下。所稱「第一配線導體填充於溝 2」亦包含形成有例如空氣在製造時捲入溝 2 內造成的空隙、基底金屬層 4 或第一配線導體未附著於狹小部造成的空隙等情形。

【0020】 溝 2 之內面的算術平均粗糙度 Ra 並未限定，亦可為例如 50nm 以上 100nm 以下。若溝 2 之內面的算術平均粗糙度 Ra 為 50nm 以上 100nm 以下，基底金屬層 4 會更強固地附著，可更為減少基底金屬層 4 剝離的情形。再者，位於溝 2 之基底金屬層 4 的表面的算術平均粗糙度 Ra 並未限定，亦可為例如 50nm 以上 100nm 以下。位於溝 2 之基底金屬層 4 的表面的算術平均粗糙度 Ra 若為

50nm 以上 100nm 以下，第一配線導體 5 會強固地附著於基底金屬層 4，可更為減少第一配線導體 5 剝離的情形。

【0021】第一配線導體 5 的算術平均粗糙度 Ra 亦可對應於基底金屬層 4 的表面的算術平均粗糙度 Ra 而具有 50nm 以上 100nm 以下的表面粗糙度。該粗糙度小於第二配線導體 6 的側面粗糙度，在對第一配線導體 5 傳送高周波信號時，可更為減少傳送損失。

【0022】凹部 3 具有比溝 2 更寬廣的寬度。第二配線導體 6 填充於凹部 3。第二配線導體 6 的寬度比第一配線導體 5 的寬度更寬廣，亦可為例如 150 μ m 以上。此種第二配線導體 6 例如作為接地用導體層而發揮功能。凹部 3 的寬度係對應於第二配線導體 6 的寬度而適當設定。只要不貫通增層用絕緣層 12，則凹部 3 的深度未被限定。凹部 3 的深度較佳為例如增層用絕緣層 12 的厚度之 10% 以上 50% 以下。所稱「第二配線導體填充於凹部 3」亦包含形成有例如因空氣在製造時夾雜而於凹部 3 內產生的空隙、基底金屬層 4 或第二配線導體未附著於狹小部造成的空隙等情形。

【0023】第二配線導體 6 包含第一部分 61 與第二部分 62，第二部分 62 係配置成與第一部分 61 鄰接而與第一部分 61 形成一體。第一部分 61 例如以第一電解鍍覆金屬形成，就金屬而言，可列舉銅等。另一方面，第二部分 62 例如以第二電解鍍覆金屬形成，就金屬而言，可列舉銅等。第一部分 61 與第二部分 62 即使以相同的金屬(例如銅)形成，在本說明書亦視為不同的部分。

【0024】為了方便起見，圖 1 中顯示第一部分 61 與第二部分 62 的交界 63，但實際的第二配線導體 6 中並不存在此種明確的交界 63，而是如圖 2 所示，有

複數個空隙 64 位於交界 63 部分。藉由空隙 64 區別第一部分 61 與第二部分 62。

圖 2 為圖 1 顯示之區域 X 的電子顯微鏡照片。

【0025】如此，第二配線導體 6 係具有第一部分 61 與第二部分 62，且複數個空隙 64 位於第一部分 61 及第二部分 62 的交界 63，藉此，第二配線導體 6 與絕緣層 1 之間所發生的應力、第二配線導體 6 內所發生的應力係在空隙 64 所位於的第一部分 61 與第二部分 62 的交界 63 被分散緩和。結果，一實施型態的配線基板可減少第二配線導體 6 的剝離。

【0026】空隙 64 的大小並未限定，例如，最大長度亦可為 50nm 以上 1 μ m 以下。本說明書中，「最大長度」係表示空隙 64 之周緣間的直線距離當中之距離最大之部分的長度。空隙 64 的最大長度若為 50nm 以上 1 μ m 以下，就不會對第一部分 61 與第二部分 62 的接合強度造成影響，可充分地分散緩和上述的應力。

【0027】在位於隔著交界 63 之位置的第一部分 61 及第二部分 62 的至少一部分包含連續結晶。連續結晶係指構成第一部分 61 的第一電解鍍覆金屬及構成第二部分的第二電解鍍覆金屬之結晶方位隔著交界 63 而一致的情形。

【0028】凹部 3 之內面的算術平均粗糙度 Ra 並未限定，亦可為例如 50nm 以上 100nm 以下。若凹部 3 之內面的算術平均粗糙度 Ra 為 50nm 以上 100nm 以下，基底金屬層 4 會藉由凹部 3 而更強固地附著，而更為減少基底金屬層 4 剝離的情形。

【0029】位於凹部 3 的基底金屬層 4 的表面的算術平均粗糙度 Ra 並未限定，亦可為例如 50nm 以上 100nm 以下。若位於凹部 3 的基底金屬層 4 的表面的算術平均粗糙度 Ra 為 50nm 以上 100nm 以下，第二配線導體 6 會強固地附著於

基底金屬層 4，可更為減少第二配線導體 6 剝離的情形。第二配線導體 6 的算術平均粗糙度 Ra 亦可對應於基底金屬層 4 的表面的算術平均粗糙度 Ra 而具有 50nm 以上 100nm 以下的表面粗糙度。

【0030】一實施型態的配線基板 10，其阻焊劑層(solder resist)7 亦可位於最表層。阻焊劑層 7 例如以丙烯酸改性環氧樹脂形成。阻焊劑層 7 例如在安裝電子零件時或與主機板(mother board)等連接時，具有保護導體層(第一配線導體 5 及第二配線導體 6)等不受焊料干擾的功能。在阻焊劑層 7 形成有用以使位於正下方的第一配線導體 5 或第二配線導體 6 的一部分露出之開口部。從此開口部露出之第一配線導體 5 或第二配線導體 6 的一部分係於安裝半導體元件等之際作為焊墊而發揮功能。

【0031】其次，根據圖 3 至圖 12，說明本揭示的配線基板的製造方法。圖 3 至 12 為說明圖，顯示本揭示一實施型態的配線基板的製造方法中，第一配線導體及第二配線導體的製造步驟。本揭示的配線基板的製造方法包含下述的步驟(a)至(g)。

- (a)在絕緣層之頂面形成溝及具有比該溝更寬廣的寬度的凹部之步驟。
- (b)在絕緣層之頂面、溝之內面及凹部之內面形成基底金屬層之步驟。
- (c)在凹部內的基底金屬層上形成具有比凹部的寬度更狹窄的寬度的至少一個抗鍍覆層之步驟。
- (d)在從抗鍍覆層露出之基底金屬層上形成第一電解鍍覆層之步驟。
- (e)將抗鍍覆層從基底金屬層上去除之步驟。
- (f)在第一電解鍍覆層上及基底金屬層上形成第二電解鍍覆層之步驟。

(g)將第一電解鍍覆層、第二電解鍍覆層及基底金屬層的一部分去除，以形成第一配線導體及第二配線導體之步驟，該第一配線導體由填充於溝的源自第一電解鍍覆層的第一電解鍍覆金屬或源自第二電解鍍覆層的第二電解鍍覆金屬所構成，該第二配線導體由填充於凹部的源自第一電解鍍覆層的第一電解鍍覆金屬與源自第二電解鍍覆層的第二電解鍍覆金屬所構成。

【0032】 首先，如圖 3 所示，準備絕緣層 1(核心用絕緣層 11)。在核心用絕緣層 11 之頂面形成有導體層 11b，在核心用絕緣層 11 中形成有貫穿孔導體 11a。貫穿孔導體 11a 係與形成在核心用絕緣層 11 之頂面之導體層 11b 的一部分連接。關於核心用絕緣層 11、貫穿孔導體 11a 及導體層 11b，係如上所述而省略詳細的說明。圖 3 中顯示於下側的圖為以顯示於上側的圖所記載之 A—A 線剖切而形成的剖面圖。以下，圖 4 至 12 中顯示於下側的圖分別為以顯示於上側的圖所記載之 A—A 剖切而形成的剖面圖。

【0033】 接下來，如圖 4 所示，以被覆核心用絕緣層 11 及導體層 11b 的方式，堆疊絕緣層 1(增層用絕緣層 12)。關於增層用絕緣層 12，係如上所述而省略詳細的說明。

【0034】 接下來，如圖 5 所示，在絕緣層 1(增層用絕緣層 12)之頂面形成溝 2 及具有比溝 2 更寬廣的寬度的凹部 3(步驟(a))。如圖 5 所示，溝 2 形成於要形成第一配線導體 5 的位置即可。形成溝 2 的方法並未限定，可藉由準分子雷射、CO₂ 雷射、UV—YAG 雷射等之類的雷射加工而形成。就容易形成均一深度的溝 2 的觀點而言，較佳為採用準分子雷射。溝 2 的深度係如上所述而省略詳細的說明。

【0035】溝 2 之內面的算術平均粗糙度 Ra 未被限定。亦可依所需，對溝 2 之內面施以粗化處理，以使溝 2 之內面的算術平均粗糙度 Ra 成為例如 50nm 以上 100nm 以下。關於詳細的說明，係如上所述而省略。

【0036】凹部 3 形成於要形成第二配線導體 6 的位置即可。形成凹部 3 的方法並未限定，可藉由準分子雷射、CO₂ 雷射、UV-YAG 雷射等之類的雷射加工而形成。就容易形成均一深度的凹部 3 的觀點而言，較佳為採用準分子雷射。凹部 3 的深度係如上所述而省略詳細的說明。

【0037】凹部 3 之內面的算術平均粗糙度 Ra 未被限定。亦可依所需，對凹部 3 之內面施以粗化處理，以使凹部 3 之內面的算術平均粗糙度 Ra 成為例如 50nm 以上 100nm 以下。關於詳細的說明係如上所述而省略。

【0038】接下來，如圖 6 所示，在增層用絕緣層 12 形成通孔 12a'。通孔 12a' 可藉由準分子雷射、CO₂ 雷射、UV-YAG 雷射等之類的雷射加工而形成。

【0039】接下來，如圖 7 所示，在絕緣層 1 之頂面、溝 2 之內面及凹部 3 之內面形成基底金屬層 4(步驟(b))。基底金屬層 4 例如藉由無電解鍍析出銅等金屬而形成。進行無電解鍍覆之際，亦可使用鈀作為觸媒。基底金屬層 4 例如具有 0.1 μm 以上 0.5 μm 以下的厚度。

【0040】位於溝 2 的基底金屬層 4 的表面的算術平均粗糙度 Ra 未被限定。亦可依所需，對位於溝 2 的基底金屬層 4 的表面施以粗化處理，以使位於溝 2 的基底金屬層 4 的表面的算術平均粗糙度 Ra 成為例如 50nm 以上 100nm 以下。關於詳細的說明係如上所述而省略。

【0041】位於凹部 3 的基底金屬層 4 的表面的算術平均粗糙度 Ra 未被限定。亦可依所需，對位於凹部 3 的基底金屬層 4 的表面施以粗化處理，以使位於

凹部 3 的基底金屬層 4 的表面的算術平均粗糙度 Ra 成為例如 50nm 以上 100nm 以下。關於詳細的說明係如上所述而省略。

【0042】 接下來，如圖 8 所示，在凹部 3 內的基底金屬層 4 上形成具有比凹部 3 的寬度更狹窄的寬度 W 的至少一個抗鍍覆層 8(步驟(c))。抗鍍覆層 8 的寬度 W 比凹部 3 的寬度更狹窄即可，並未限定，例如，亦可為 50 μ m 以上 100 μ m 以下。在凹部 3 內形成具有比凹部 3 的寬度更狹窄的寬度 W 的抗鍍覆層 8 即可，例如，抗鍍覆層 8 亦能夠形成為被覆溝 2 等其它部分。抗鍍覆層 8 例如以丙烯酸系樹脂、甲基丙烯酸樹脂等樹脂形成。

【0043】 接下來，如圖 9 所示，在從抗鍍覆層 8 露出之基底金屬層 4 上形成第一電解鍍覆層 P1(步驟(d))。第一電解鍍覆層 P1 例如藉由電解鍍覆析出銅等金屬而形成。

【0044】 接下來，如圖 10 所示，將抗鍍覆層 8 從基底金屬層 4 上去除(步驟(e))。藉由將抗鍍覆層 8 去除，除了第一電解鍍覆層 P1 位在凹部 3 內的位置的部分以外，使基底金屬層 4 露出。

【0045】 接下來，如圖 11 所示，在第一電解鍍覆層 P1 上及基底金屬層 4 上形成第二電解鍍覆層 P2(步驟(f))。具體而言，將第二電解鍍覆層 P2 形成在形成於凹部 3 之第一電解鍍覆層 P1 上，以及基底金屬層 4 在溝 2 及凹部 3 內之藉由將抗鍍覆層 8 去除而露出的部分。第二電解鍍覆層 P2 例如藉由電解鍍覆析出銅等金屬而形成。第二電解鍍覆層 P2 例如以銅等金屬填充凹部 3 而形成。

【0046】 接下來，如圖 12 所示，將第一電解鍍覆層 P1、第二電解鍍覆層 P2 及基底金屬層 4 的一部分去除，以形成第一配線導體 5 及第二配線導體 6(步驟(g))，該第一配線導體 5 由填充於溝 2 之源自第二電解鍍覆層 P2 的第二電解

鍍覆金屬所構成，該第二配線導體 6 由填充於凹部 3 之源自第一電解鍍覆層 P1 的第一電解鍍覆金屬與源自第二電解鍍覆層 P2 的第二電解鍍覆金屬構成。

【0047】 就將第一電解鍍覆層 P1、第二電解鍍覆層 P2 及基底金屬層 4 的一部分去除的方法而言，可列舉例如化學機械研磨。藉由將第一電解鍍覆層 P1、第二電解鍍覆層 P2 及基底金屬層 4 的一部分去除，使第一配線導體 5 的表面與第二配線導體 6 的表面大致齊平。第二配線導體 6 中，第一電解鍍覆金屬相當於第一部分 61，第二電解鍍覆金屬相當於第二部分 62。

【0048】 為了方便起見，圖 12 中，係將第一部分 61 與第二部分 62 明確地區別來記載。但是，如上所述，實際上，在第一部分 61 與第二部分 62 之間不存在明確的交界，而是如圖 2 所示，有複數個空隙 64 位於交界 63 部分。第一部分 61 與第二部分 62 係藉由空隙 64 而區別。

【0049】 如此，在核心用絕緣、增層用絕緣層等絕緣層 1 形成第一配線導體 5 及第二配線導體 6，獲得本揭示的配線基板。絕緣層 1 為增層用絕緣層時，藉由反復進行該步驟(a)至(g)，可形成具有所期望之層數的增層。再者，本揭示的配線基板中，阻焊劑層 7 亦可位於最表層。關於阻焊劑層 7，係如上所述而省略詳細的說明。

【0050】 上述一實施型態的配線基板的製造方法中，於步驟(c)，係在凹部 3 內的基底金屬層 4 上形成俯視觀察時呈格子狀的抗鍍覆層 8。但是，在凹部 3 內的基底金屬層 4 上形成的抗鍍覆層 8 未被限定為格子狀。

【0051】 亦可以與圖 8 所示的格子狀類似的方式，但並非為俯視觀察時呈四角形，而是呈圓形挖空，且在凹部內的基底金屬層上形成抗鍍覆層。如此，當

呈圓形挖空而形成抗鍍覆層時，係形成具有如圖 13 所示的第一部分 61a 及第二部分 62a 的第二配線導體 6a。

【0052】或者，亦可與格子狀相反，形成為下列構造：使抗鍍覆層殘留於俯視觀察時呈四角形或圓形挖空後的部分，且格子部分不存在抗鍍覆層(所謂的海島構造)。當抗鍍覆層以海島構造狀存在時，圖 12 及 13 中，第二配線導體 6、6a 的第一部分 61、61a 與第二部分 62、62a 係相反。

【0053】再者，抗鍍覆層無須為俯視觀察時呈縱橫地交叉，亦可為直線狀。當使在凹部內的基底金屬層上形成的抗鍍覆層呈直線狀時，係形成具有如圖 14 所示的第一部分 61b 及第二部分 62b 的第二配線導體 6b。

【0054】或者，在凹部內的基底金屬層上形成的抗鍍覆層除了直線狀以外，亦可為俯視觀察時呈峰狀等的折線狀、波浪形等的曲線狀。當使在凹部內的基底金屬層上形成的抗鍍覆層呈峰狀時，係形成具有如圖 15 所示的第一部分 61c 及第二部分 62c 的第二配線導體 6c。當使在凹部內的基底金屬層上形成的抗鍍覆層呈波浪形時，係形成具有如圖 16 所示的第一部分 61d 及第二部分 62d 的第二配線導體 6d。

【0055】如圖 8 所示，上述實施型態中，抗鍍覆層 8 亦形成在凹部 3 以外的部分。具體而言，圖 8 中，抗鍍覆層 8 係形成為也被覆溝 2。但是，抗鍍覆層 8 亦可僅形成在凹部 3。此時，第一電解鍍覆層填充於溝，藉由源自第一電解鍍覆層的第一電解鍍覆金屬形成第一配線導體。

【符號說明】

【0056】

- 1:絕緣層
- 2:溝
- 3:凹部
- 4:基底金屬層
- 5:第一配線導體
- 6,6a,6b,6c,6d:第二配線導體
- 7:阻焊劑層
- 8:抗蝕覆層
- 10:配線基板
- 11:核心用絕緣層(絕緣層)
- 11a:貫穿孔導體
- 11b:導體層
- 12:增層用絕緣層(絕緣層)
- 12a:通孔導體
- 12a':通孔
- 61,61a,61b,61c,61d:第一部分
- 62,62a,62b,62c,62d:第二部分
- 63:交界
- 64:空隙
- P1:第一電解鍍覆層
- P2:第二電解鍍覆層
- X:區域

【發明申請專利範圍】

【請求項1】 一種配線基板，係包含：

絕緣層；

溝，係位於該絕緣層之頂面，且具有 $15\ \mu\text{m}$ 以下的寬度；

凹部，係位於前述絕緣層之頂面，且具有 $150\ \mu\text{m}$ 以上的寬度；

基底金屬層，係位於前述溝之內面及前述凹部之內面；

第一配線導體，係配置成在前述基底金屬層上填充前述溝，且具有 $15\ \mu\text{m}$ 以下的寬度；及

第二配線導體，係配置成在前述基底金屬層上填充前述凹部，並且具有 $150\ \mu\text{m}$ 以上的寬度；其中

前述第二配線導體係具有第一部分與第二部分，該第二部分係配置成與該第一部分鄰接而與該第一部分形成一體，且複數個空隙位於前述第一部分及前述第二部分的交界，前述空隙的最大長度為 50nm 以上 $1\ \mu\text{m}$ 以下。

【請求項2】 如請求項 1 所述之配線基板，其中，前述第一部分為第一電解鍍覆金屬，前述第二部分為第二電解鍍覆金屬。

【請求項3】 如請求項 1 或 2 所述之配線基板，其中，在位於隔著前述交界之位置的前述第一部分及前述第二部分的至少一部分包含連續結晶。

【請求項4】 一種配線基板的製造方法，係包含：

在絕緣層之頂面形成具有 $15\ \mu\text{m}$ 以下的寬度的溝及具有 $150\ \mu\text{m}$ 以上的寬度的凹部之步驟；

在前述絕緣層之頂面、前述溝之內面及前述凹部之內面形成基底金屬層之步驟；

在前述凹部內的前述基底金屬層上形成具有比前述凹部的寬度更狹窄的寬度的至少一個抗鍍覆層之步驟；

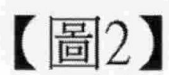
在從前述抗鍍覆層露出之前述基底金屬層上形成第一電解鍍覆層之步驟；

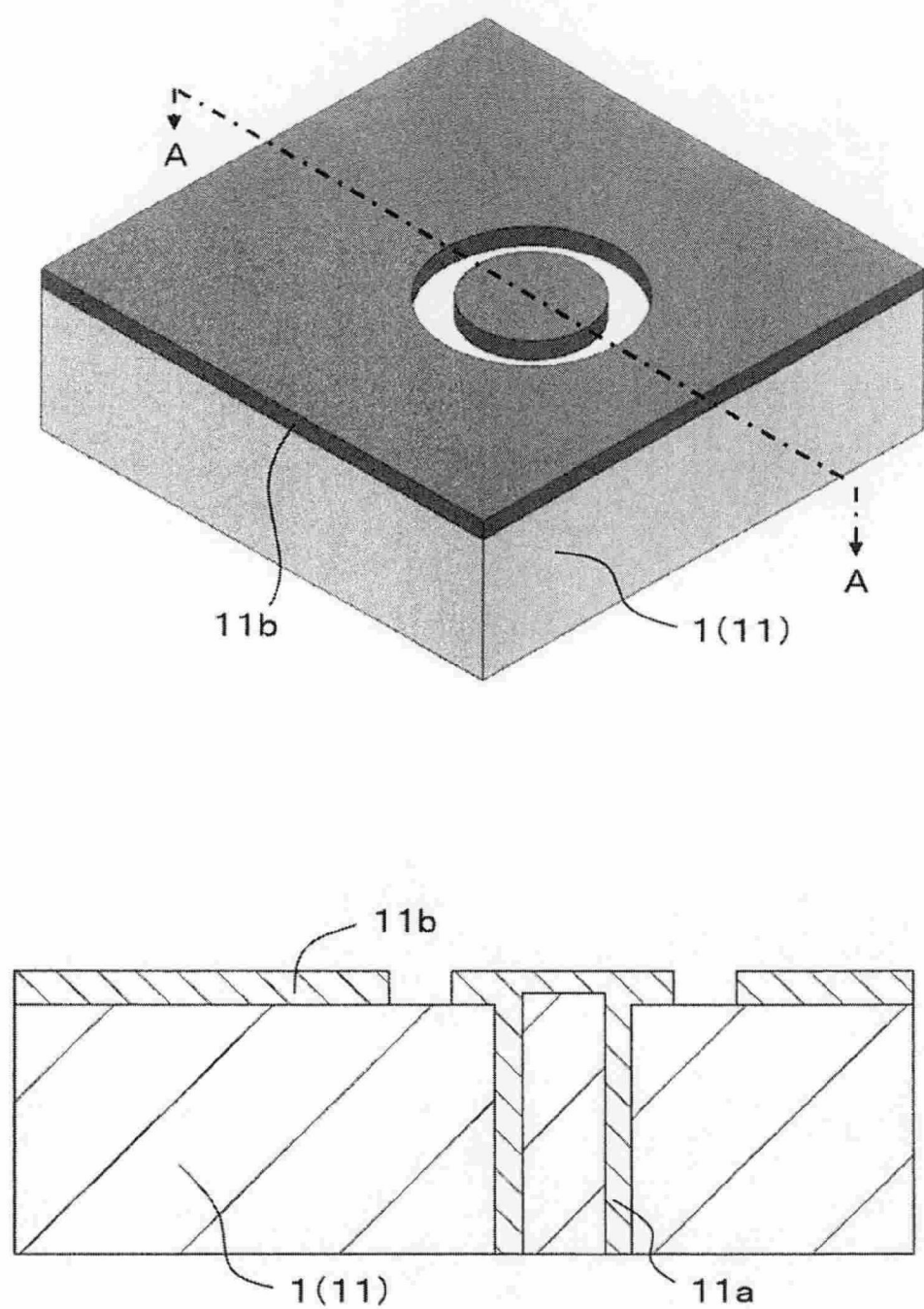
將前述抗鍍覆層從前述基底金屬層上去除之步驟；

在前述第一電解鍍覆層上及前述基底金屬層上形成第二電解鍍覆層，且使最大長度為 50nm 以上 1 μ m 以下的複數個空隙位於前述第一電解鍍覆層與前述第二電解鍍覆層之邊界之步驟；

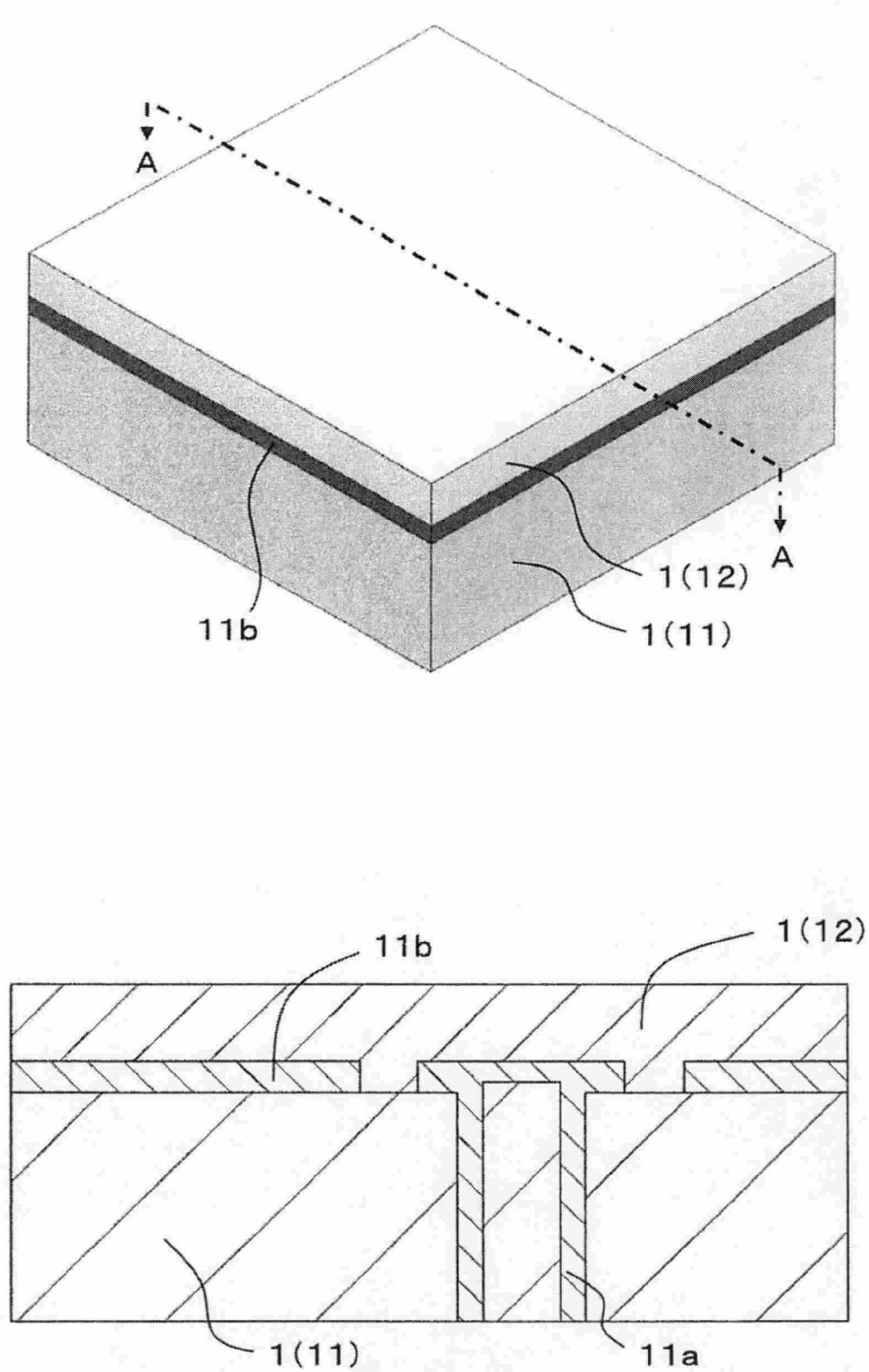
將前述第一電解鍍覆層、前述第二電解鍍覆層及前述基底金屬層的一部分去除，以形成具有 15 μ m 以下的寬度的第一配線導體及具有 150 μ m 以上的寬度的第二配線導體之步驟，該第一配線導體由填充於前述溝的源自前述第一電解鍍覆層的第一電解鍍覆金屬或源自前述第二電解鍍覆層的第二電解鍍覆金屬所構成，該第二配線導體由填充於前述凹部的前述第一電解鍍覆金屬與源自前述第二電解鍍覆層的第二電解鍍覆金屬所構成。

【請求項5】 如請求項 4 所述之配線基板的製造方法，其中，前述抗鍍覆層具有 50 μ m 以上 100 μ m 以下的寬度。

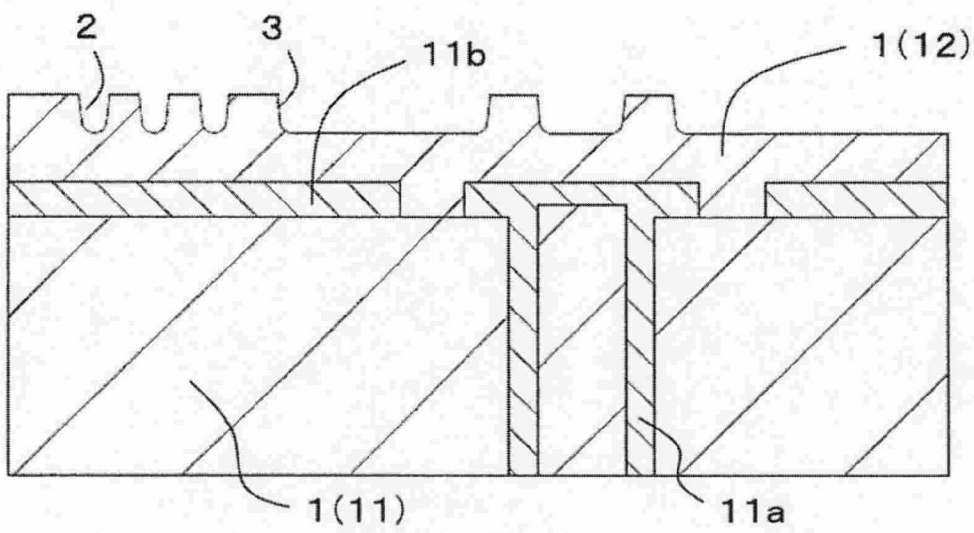
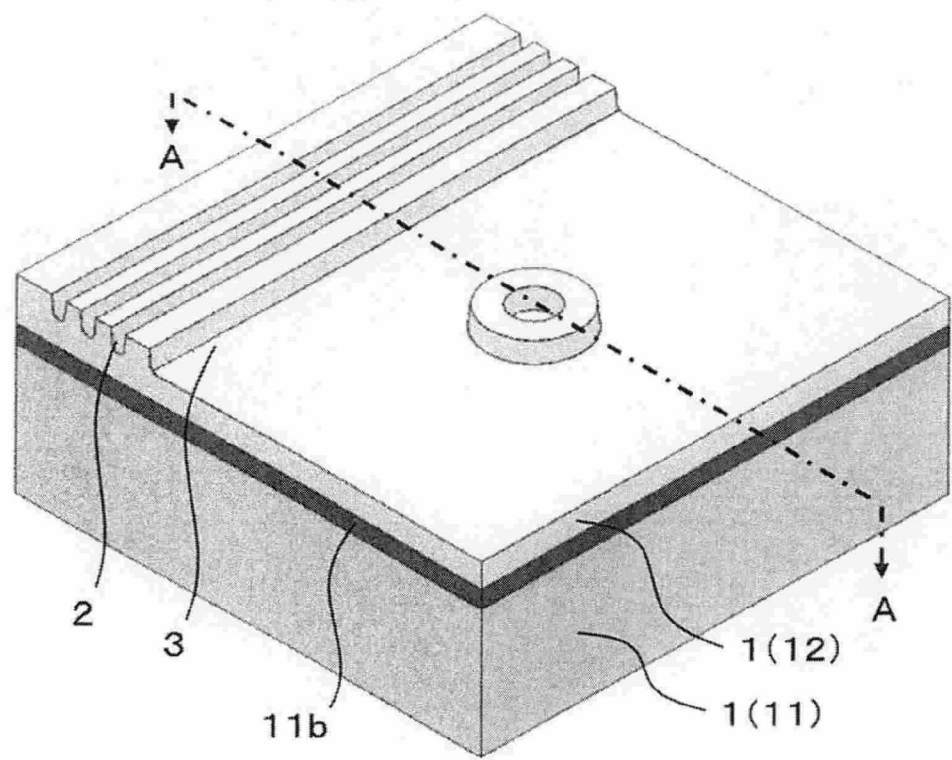




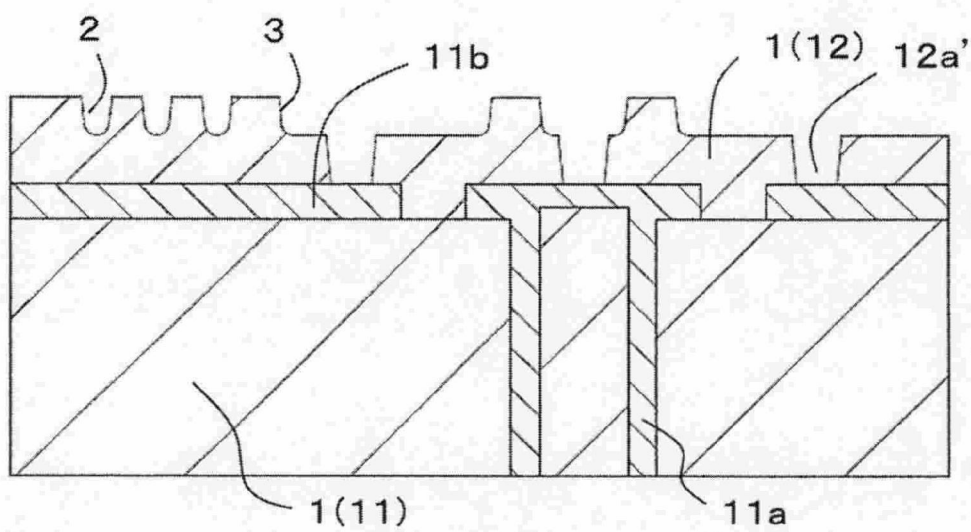
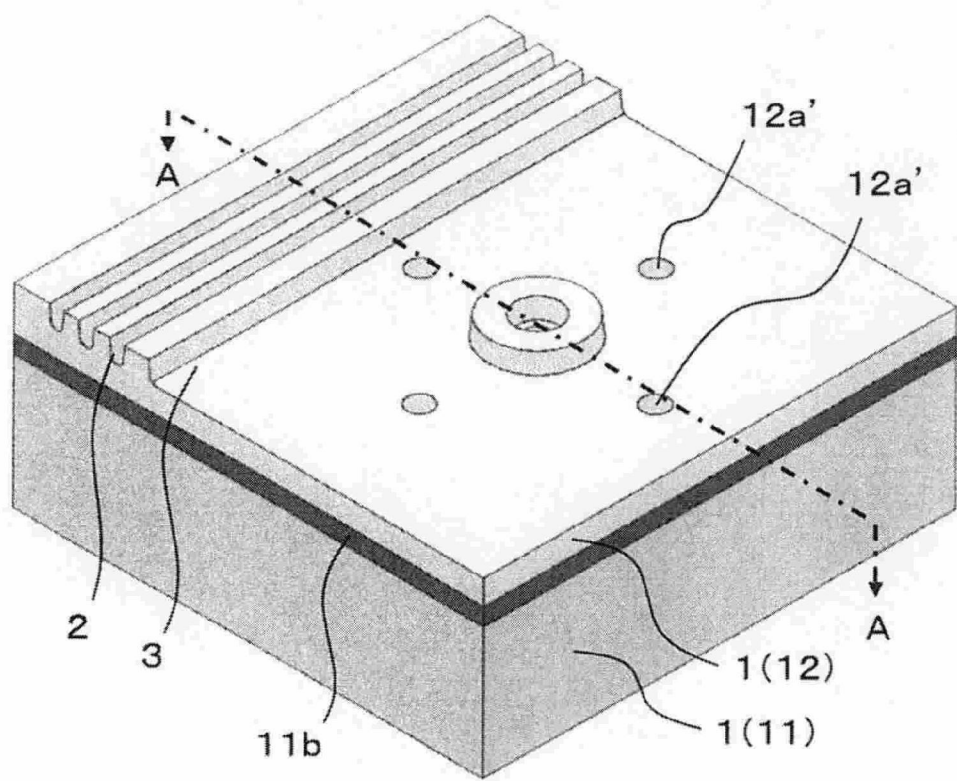
【圖3】



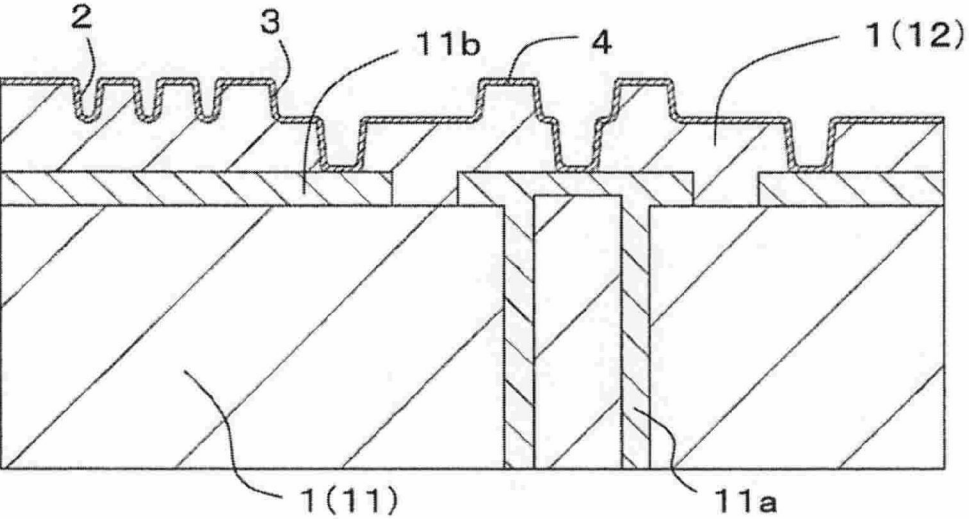
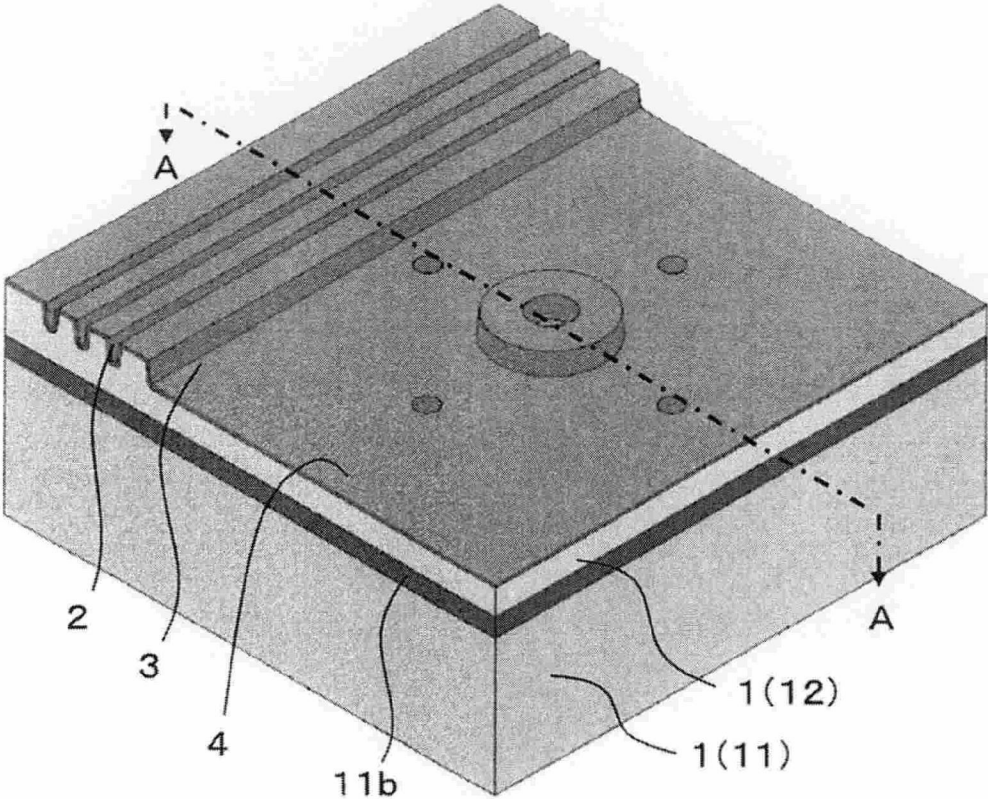
【圖4】



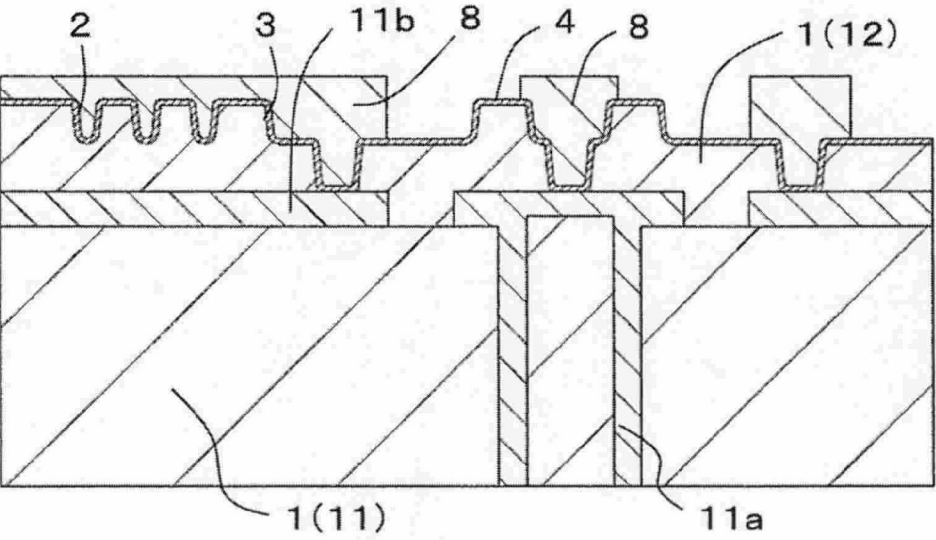
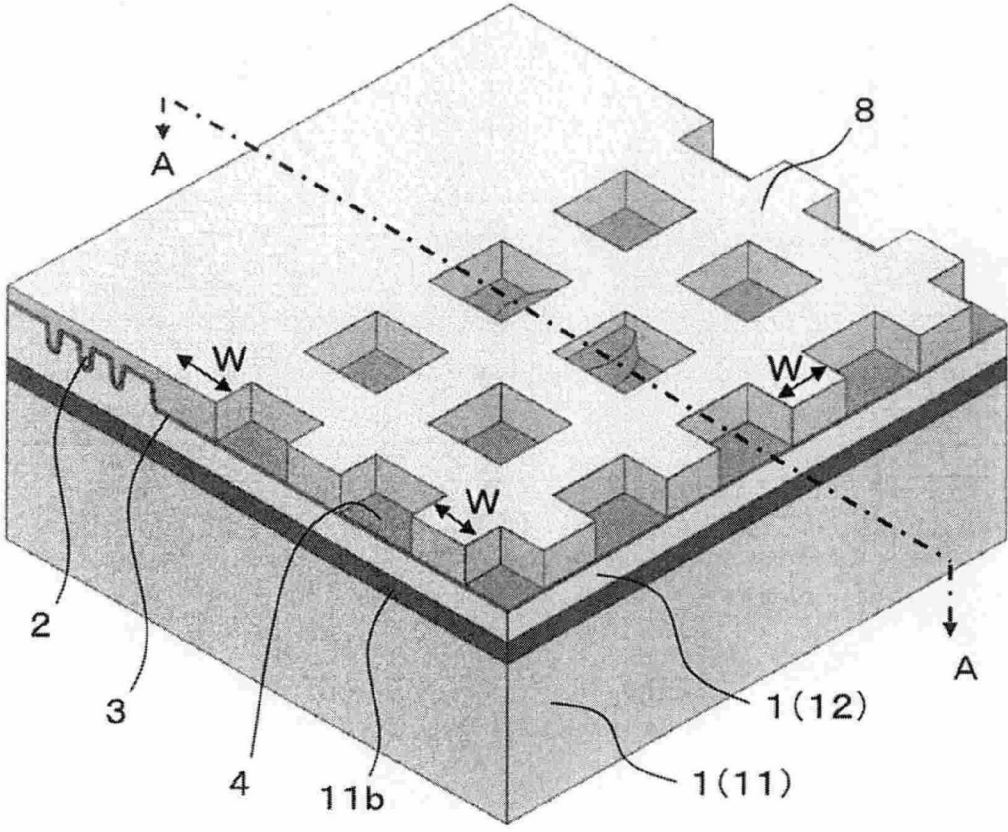
【圖5】



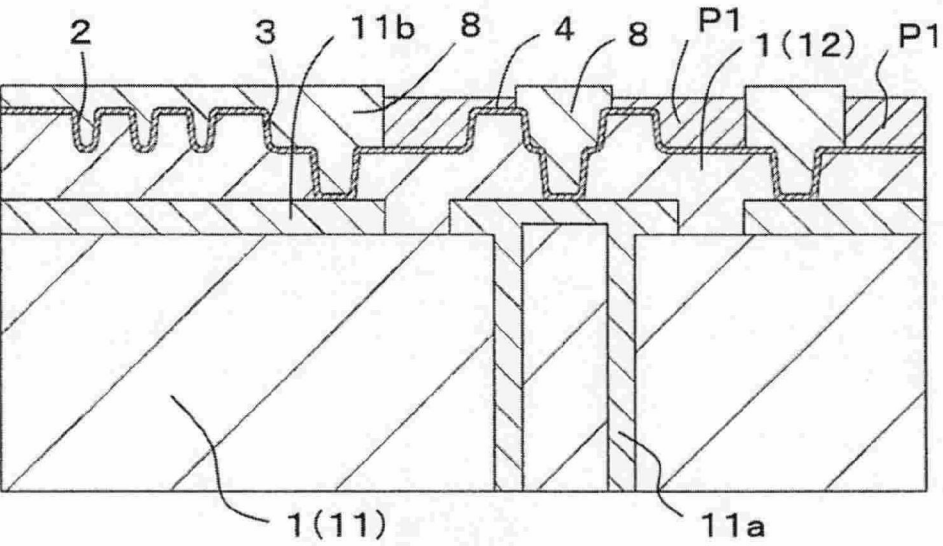
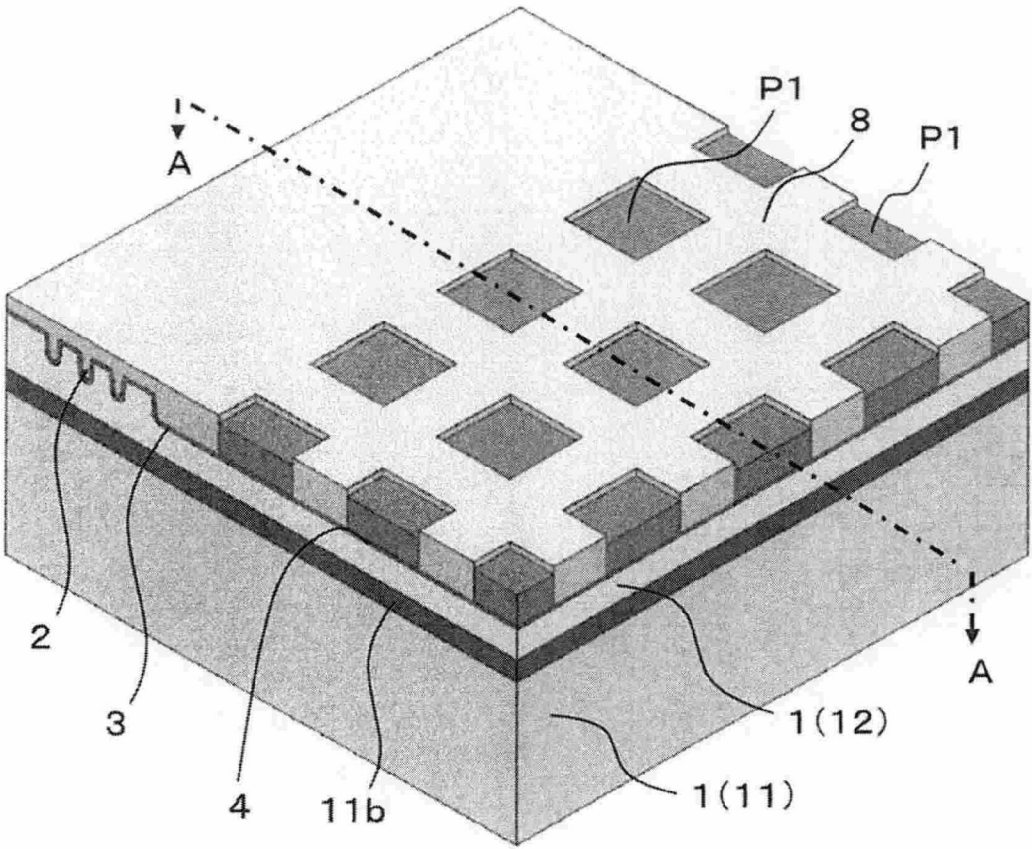
【圖6】



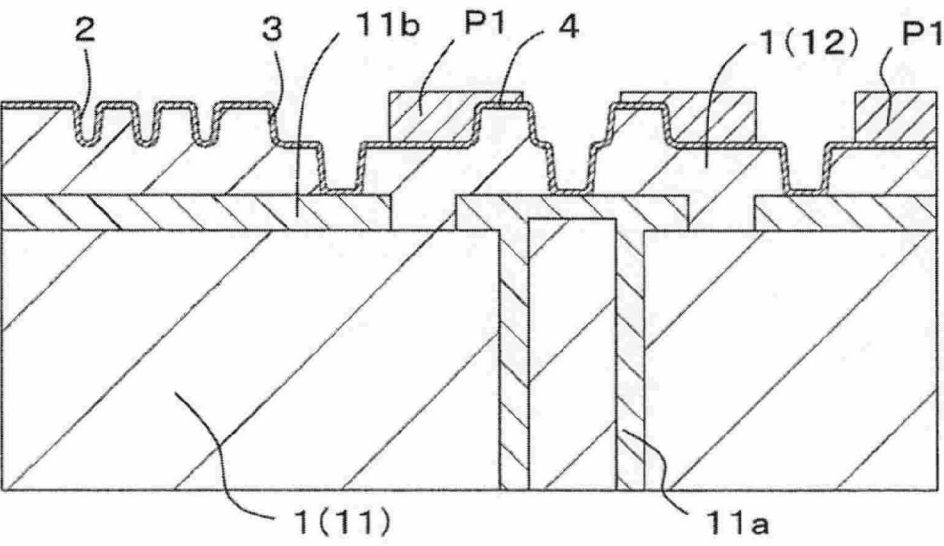
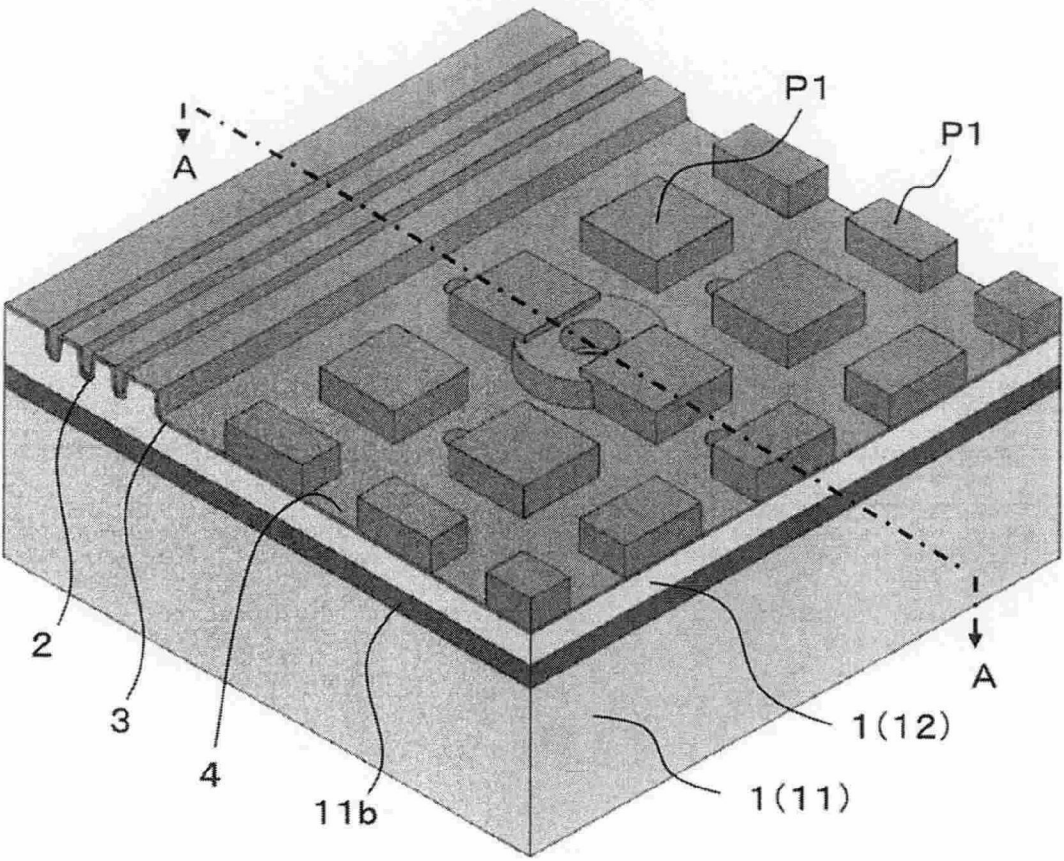
【圖7】



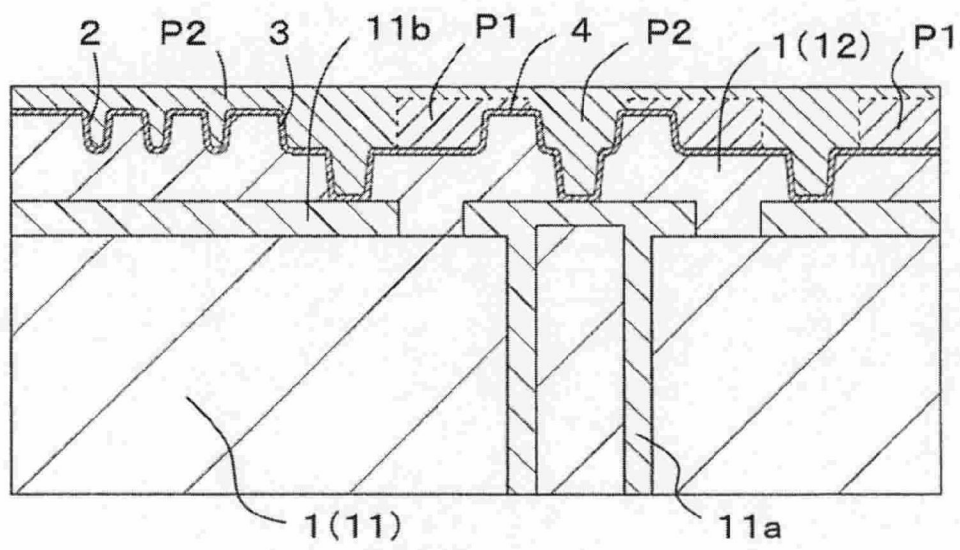
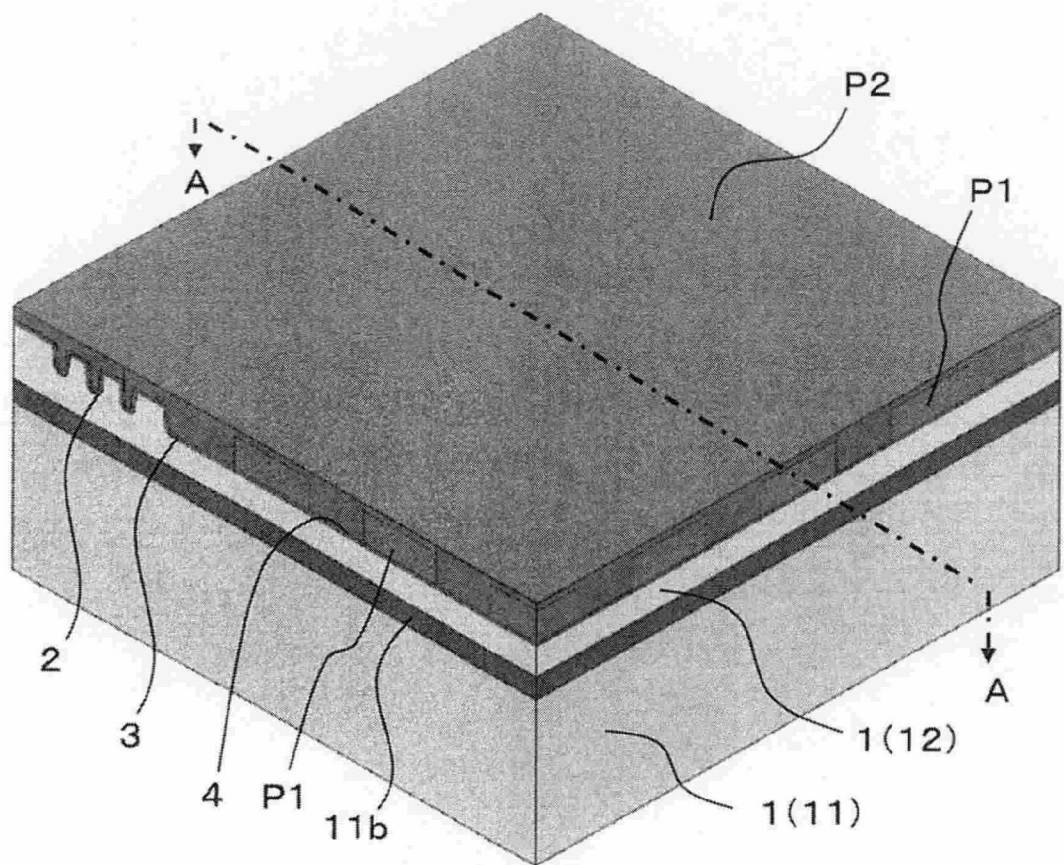
【圖8】



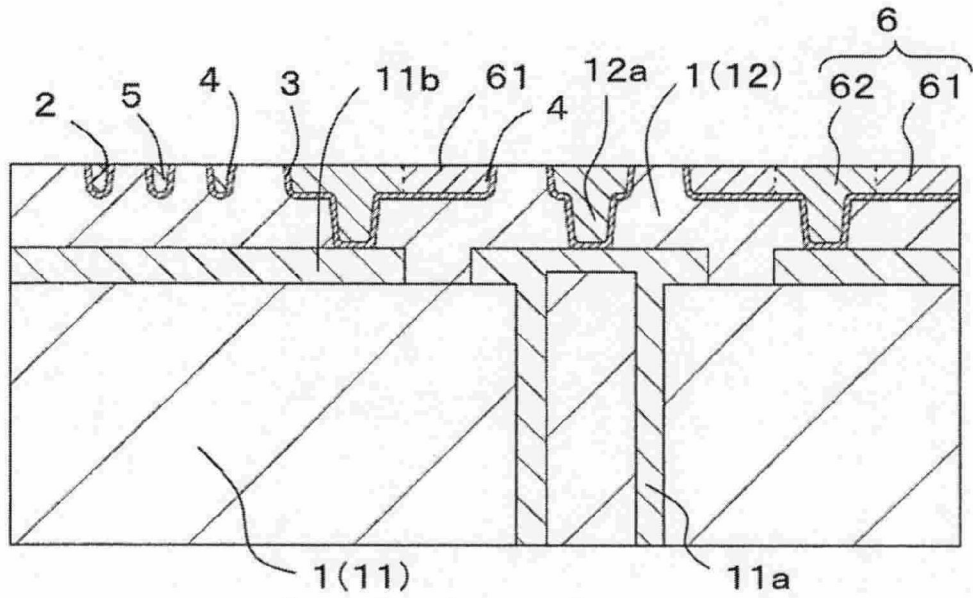
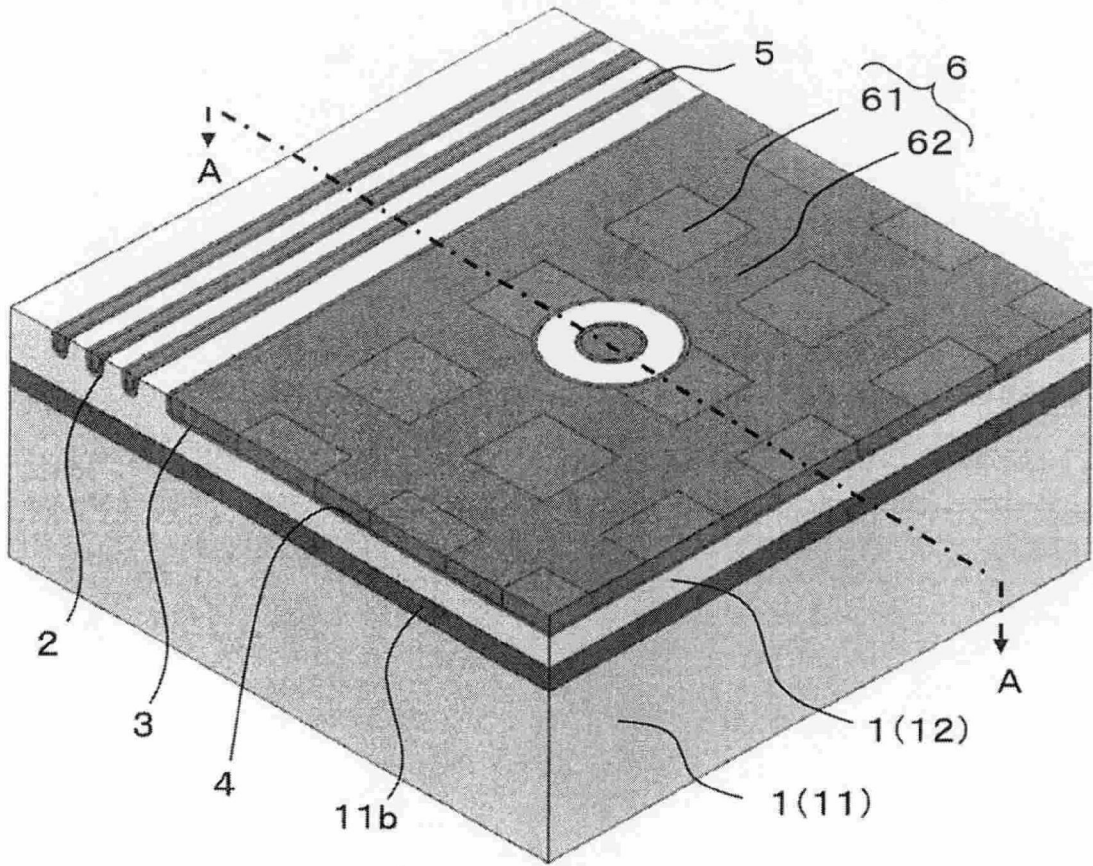
【圖9】



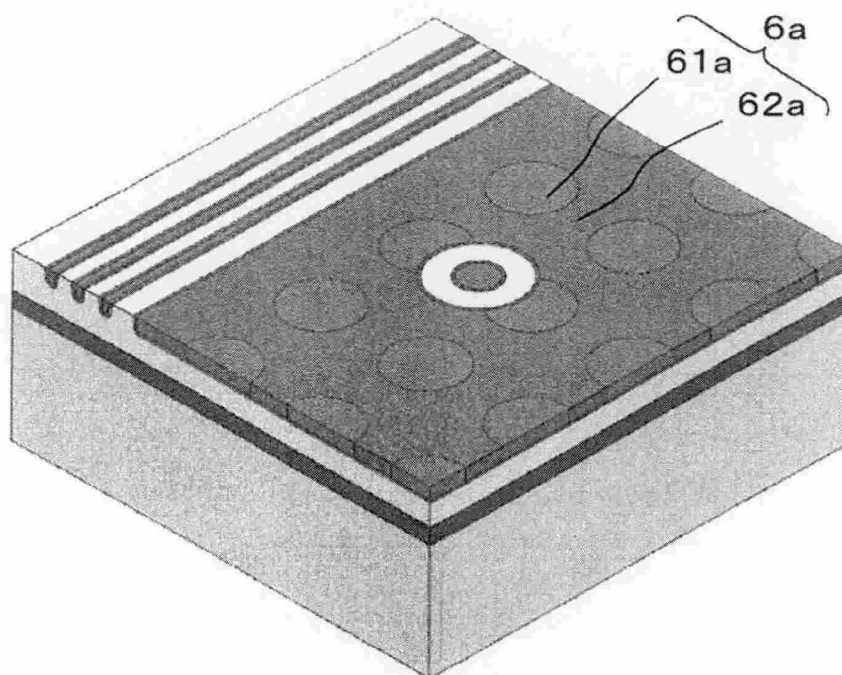
【圖10】



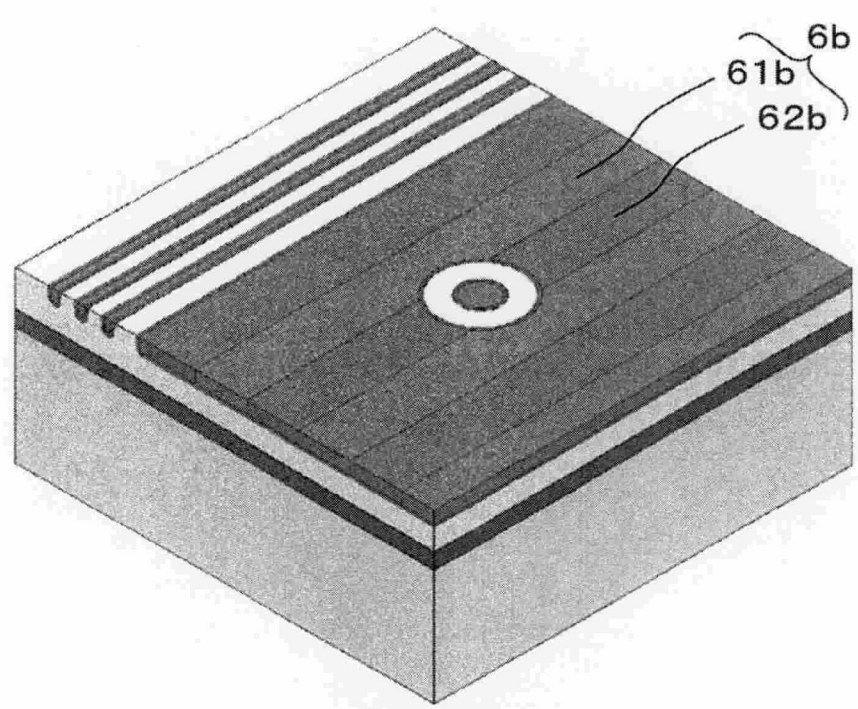
【圖11】



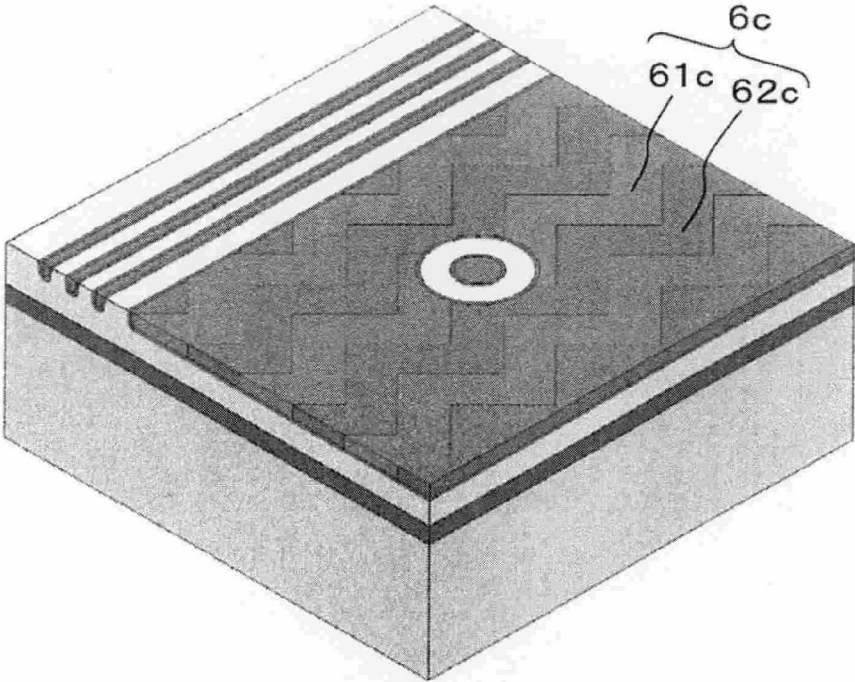
【圖12】



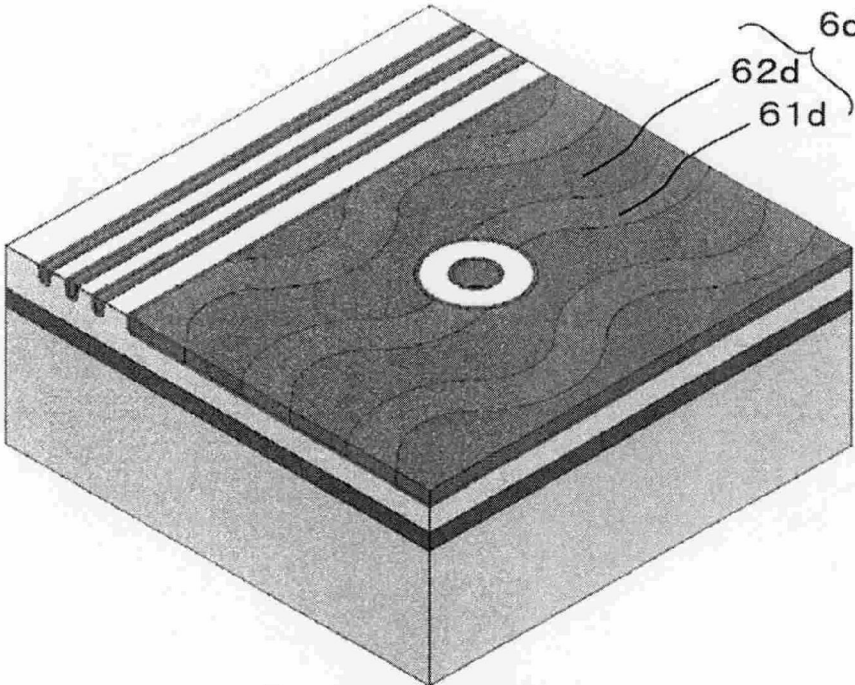
【圖13】



【圖14】



【圖15】



【圖16】