

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成22年2月12日 (2010.2.12)

【公開番号】特開2009-89578(P2009-89578A)

【公開日】平成21年4月23日 (2009.4.23)

【年通号数】公開・登録公報2009-016

【出願番号】特願2007-268417(P2007-268417)

【国際特許分類】

H 0 2 M 3/07 (2006.01)

【F I】

H 0 2 M 3/07

【誤訳訂正書】

【提出日】平成21年12月21日 (2009.12.21)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

変換回路であって、

一の入力電圧を受信し、かつ、一の制御クロック信号に基づき動作を切り替えることにより、前記入力電圧の大きさに従う一の出力電圧を出力する一の電圧変換ユニットと、

前記出力電圧と一の基準電圧とを比較することにより、一のパワーグッドパルス信号を生成する一の比較回路であって、前記パワーグッドパルス信号は、前記出力電圧が前記基準電圧より大きい場合に一の第 1 の論理状態になる比較回路と、

前記パワーグッドパルス信号と一のソースクロック信号とを受信することにより、前記制御クロック信号を生成する一のパルス幅周波数変調回路であって、前記ソースクロック信号のパルス幅は、前記パワーグッドパルス信号における前記第 1 の論理状態の維持時間によって予め定められた値ずつ増大或いは減少し、前記ソースクロック信号の周波数も前記パワーグッドパルス信号が前記第 1 の論理状態にある期間に変化し、前記パルス幅周波数が変調されたソースクロック信号は、前記制御クロック信号として出力されるパルス幅周波数変調回路と、

を含む変換回路。

【請求項 2】

前記パルス幅周波数変調回路は、複数の直列接続遅延ユニットを含む一のパルス幅変調ユニットを含み、前記直列接続遅延ユニットの入力は、ソースクロック信号に結合され、該ソースクロック信号のパルス幅は、前記ソースクロック信号が通過する前記遅延ユニットの数だけ前記予め定められた値ずつ増大或いは減少し、前記パルス幅変調ユニットから一のパルス変調信号が生成される、請求項 1 に記載の変換回路。

【請求項 3】

前記パルス幅変調ユニットは、複数のスイッチをさらに含み、該スイッチのそれぞれは、制御されることによって一の第 1 の論理ゲートを介し、前記遅延ユニットのそれぞれの出力と、前記パルス幅変調ユニットの前記出力との間に配置され、それによって異なるパルス幅を有する前記パルス変調された信号が生成される、請求項 2 に記載の変換回路。

【請求項 4】

前記パルス幅周波数変調回路は、複数の制御信号を提供することにより、スイッチのオンまたはオフを制御する一のシフト回路を含む、請求項 3 に記載の変換回路。

## 【請求項 5】

前記シフト回路は、一のトリガクロックパルスおよび一の指向性クロックパルスを受信し、前記シフト回路は、トリガされることにより前記トリガクロックパルスに基づき動作し、前記制御信号は、前記指向性クロックパルスに従いシフトされ、それによって前記パルス変調される信号のパルス幅が変化する、請求項 4 に記載の変換回路。

## 【請求項 6】

前記指向性クロックパルスは、前記パルス変調された信号の前記パルス幅を前記予め定められた値ずつ増大すべくアクティブにされ、前記指向性クロックパルスは、前記パルス変調された信号の前記パルス幅を前記予め定められた値ずつ縮小すべく非アクティブにされ、前記パルス変調された信号の前記パルス幅は、一の予め決められた範囲を伴い変化する、請求項 5 に記載の変換回路。

## 【請求項 7】

前記予め定められた値は、2つの隣接する前記遅延ユニットの間の遅延時間に対応する一のパルス幅である、請求項 6 に記載の変換回路。

## 【請求項 8】

前記パルス幅周波数変調回路は、前記パワーグッドパルス信号が前記第 1 の論理状態のままであるときの回数をカウントし、かつ、該回数が一の予め決められた値に達したときはいつでも前記指向性クロックパルスおよび前記トリガクロックパルスを出力する一の計数回路を含み、該計数回路からの前記指向性クロックパルスは、アクティブにされる、請求項 6 に記載の変換回路。

## 【請求項 9】

前記入力電圧は、前記基準電圧と比較され、前記入力電圧が前記基準電圧より大きい場合は、前記電圧変換ユニットが一の通降レギュレータとして動作することを示し、前記変換回路における動作を切り替える複数のスイッチの一部は、前記出力電圧を上昇させることを停止する、請求項 1 に記載の変換回路。

## 【請求項 10】

前記電圧変換ユニットが前記通降レギュレータとして動作するとき、前記シフト回路により提供される前記制御信号の 1 つは、前記制御クロック信号が一のフルクロック幅モードで動作するかどうかを判断するのに用いられ、動作する場合、前記停止しているスイッチの一部は、再び動作するよう用いられる、請求項 9 に記載の変換回路。

## 【請求項 11】

前記変換回路が始動するたびに、前記出力電圧が検出され、前記ソースクロック信号の前記第 1 のクロックの前記パルス幅周波数が変調されたソースクロック信号は、最小のパルス幅に調整される、請求項 1 に記載の変換回路。

## 【請求項 12】

電圧変換方法であって、

一の入力電圧を受信し、かつ、一の制御クロック信号に基づき動作を切り替えることにより、前記入力電圧の大きさに従う一の出力電圧を出力する段階と、

前記出力電圧と、一の基準電圧とを比較することにより、一のパワーグッドパルス信号を生成する段階であって、前記パワーグッドパルス信号は、前記出力電圧が前記基準電圧より大きい場合、一の第 1 の論理状態にある段階と、

前記パワーグッドパルス信号と一のソースクロック信号とを受信することにより、前記制御クロック信号を生成する段階であって、前記ソースクロック信号のパルス幅は、前記パワーグッドパルス信号における前記第 1 の論理状態の維持時間によって予め定められた値ずつ増大或いは減少し、前記ソースクロック信号の周波数も、前記パワーグッドパルス信号が前記第 1 の論理状態のままである期間に変化し、前記パルス幅周波数が変調されたソースクロック信号は、前記制御クロック信号として出力される段階と、

を含む、電圧変換方法。

## 【請求項 13】

前記パワーグッドパルス信号が前記第 1 の論理状態のままである前記期間、前記パワー

グッドパルス信号が前記第 1 の論理状態のままであるときの回数を一の計数クロックに基づきカウントすることにより、前記回数が一の予め決められた回数に達したときはいつでも、前記ソースクロック信号の前記パルス幅は前記パワーグッドパルス信号における前記第 1 の論理状態の維持時間によって予め定められた値ずつ増大或いは減少し、前記ソースクロック信号の前記周波数も変更される、請求項 1 2 に記載の電圧変換方法。

【請求項 1 4】

前記入力電圧と前記基準電圧とを比較する段階をさらに含み、前記入力電圧が前記基準電圧より大きい場合は、前記電圧変換は逡降調整の働きをし、前記出力電圧の上昇は停止する、請求項 1 2 に記載の電圧変換方法。

【請求項 1 5】

前記電圧変換が開始されるたびに、前記ソースクロック信号の前記第 1 のクロックに対応する前記ソースクロック信号の前記パルス幅は、最小のパルス幅に調整される、請求項 1 2 に記載の電圧変換方法。

【請求項 1 6】

一のメモリ素子と一のホスト電力を提供する一のホストとの間に接続されるよう適合可能なコントローラであって、前記メモリ素子の動作に適合する一の電力に前記ホスト電力を調整する一の直流 - 直流電力マネージャを含み、

前記直流 - 直流電力マネージャは、

前記ホスト電力を受信し、かつ、一の制御クロック信号に基づき動作を切り替えることにより、前記ホスト電力の大きさに従う一の出力電圧を出力する一の電圧変換ユニットと、

前記出力電圧と一の基準電圧とを比較することにより、一のパワーグッドパルス信号を生成する一の比較回路であって、前記出力電圧が前記基準電圧より大きい場合、前記パワーグッドパルス信号は、一の第 1 の論理状態にある比較回路と、

前記パワーグッドパルス信号と一のソースクロック信号とを受信することにより、前記制御クロック信号を生成する一のパルス幅周波数変調回路であって、前記パワーグッドパルス信号が前記第 1 の論理状態のままである期間、前記ソースクロック信号のパルス幅は、前記パワーグッドパルス信号における前記第 1 の論理状態の維持時間によって予め定められた値ずつ増大或いは減少し、前記ソースクロック信号の周波数も変更され、前記パルス幅周波数が変調されたソースクロック信号は、前記制御クロック信号として出力されるパルス幅周波数変調回路と、を含むコントローラ。

【請求項 1 7】

前記パルス幅周波数変調回路は、複数の直列接続遅延ユニットを備える一のパルス幅変調ユニットを含み、前記直列接続遅延ユニットの入力は、前記ソースクロック信号に結合され、前記ソースクロック信号のパルス幅は、前記予め定められた値ずつ前記ソースクロック信号が通過する前記遅延ユニットの数だけ徐々に変更され、前記パルス幅変調ユニットから一のパルス変調された信号が生成される、請求項 1 6 に記載のコントローラ。

【請求項 1 8】

前記コントローラは、一のフラッシュメモリコントローラであり、前記メモリ素子は、一のフラッシュメモリ素子である、請求項 1 6 に記載のコントローラ。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 1 4

【訂正方法】変更

【訂正の内容】

【0 0 1 4】

出力電圧  $V_{out}$  の望ましいレベルが入力電圧の 2 倍でない場合には、出力電圧  $V_{out}$  のレベルを制御すべく基準電圧  $V_{ref}$  が提供される。周波数変調ユニット 2 0 4 は、クロック信号 C 1 の周波数を制御するために用いられ、それによって、出力電圧  $V_{out}$  の電位の上昇率が制御される。一実施形態における周波数変調ユニット 2 0 4 は、例えば

、コンパレータ 240、D タイプフリップフロップ 250、インバータ 260、および、NOR ゲート 270 を含む。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0031

【訂正方法】変更

【訂正の内容】

【0031】

パルス幅が大きな値で急激に頻繁に変化する場合のノイズ問題を避けるべく、本発明のバックブースト回路 300 は、ステップサイズ変動により実現可能な一実施形態におけるソースクロックのパルス幅を連続的に増減する機構を提供する。パルス幅の総変動は、直列接続遅延素子の段数に依存する。一実施形態では、「ステップサイズ」は、上述のような 2 つの隣接する遅延素子の間の遅延時間に対応するパルス幅である。遅延時間は、バックブースト回路の出力における負荷コンデンサの容量に依存する。図 3 B に示される例を挙げると、ソースクロック信号 CLK\_\_S のパルス幅は、クロック信号 391 からクロック信号 399 まで順次変更される。ソースクロック信号 CLK\_\_S は、クロック信号 391 からクロック信号 393、395、397 および 399 まで順次シフトされるか、または、クロック信号 399 から、クロック信号 397、395、393 および 391 まで順次シフトされる。図 2 のバックブースト回路 200 において、コンデンサ 220 の容量が  $C_{Fly}$ 、コンデンサ 230 の容量が  $C_{Load}$  の場合、初期出力電圧は  $V_{out1}$  であり、また、出力電圧  $V_{out2}$  は、コンデンサ 220 および 230 の分圧効果後の電圧である。低下した出力電圧  $V_{out2}$  は、 $V_{out2} = (V_{out1} * C_{Load} + 2V_{in} * C_{Fly}) / (C_{Load} + C_{Fly})$  と等しい。しかしながら、図 3 のバックブースト回路 300 において、ソースクロックのパルス幅を連続的に増減させる機構が設けられる。コンデンサ 320 の容量が  $C_{Fly}$  であり、コンデンサ 330 の容量が  $C_{Load}$  であると仮定すると、初期出力電圧は  $V_{out1}$  であり、出力電圧  $V_{out2}$  は、コンデンサ 320 および 330 の分圧効果後の電圧である。低下した出力電圧  $V_{out2}$  は、 $V_{out2} = \{ V_{out1} * C_{Load} + [1 + (1/N)] V_{in} * C_{Fly} \} / (C_{Load} + C_{Fly})$  に等しい。N は、図 3 A に示されるような直列接続遅延素子の段数である。隣接する段の間ごとの変動は、 $(1/N) * V_{in}$  であり、これは、本実施形態のステップサイズ変動である。このように、出力電圧におけるノイズがバックブースト回路で同じ状況下では、図 3 におけるコンデンサ 330 の容量  $C_{Load}$  は、図 2 におけるコンデンサ 230 の  $C_{Load}$  における容量の  $1/N$  になる必要がある。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0048

【訂正方法】変更

【訂正の内容】

【0048】

本発明の変換回路が電圧通降レギュレータに適用される場合は、例えばバルク変換回路のように、大きい正入力電圧を小さい正出力電圧に変換するためである。変換回路 600 における動作を切り替えるために必要なのは 2 つのスイッチ S1 および S2 だけであり、他のスイッチ S3 および S4 は、切り替え動作を禁じられる。コンデンサ 320 の容量は  $C_{Fly}$  であり、コンデンサ 330 の容量は  $C_{Load}$  であり、初期出力電圧は、 $V_{out3}$  であり、出力電圧  $V_{out4}$  は、コンデンサ 320 および 330 の分圧効果後の電圧であると仮定する。低下した出力電圧  $V_{out2}$  は、 $V_{out4} = (V_{out3} * C_{Load} + V_{in} * C_{Fly}) / (C_{Load} + C_{Fly})$  に等しい。すなわち、電圧通降動作は、常にスイッチ S3 をオンにし、スイッチ S4 をオフに保つことにより為し得る。切り替え動作の効率は、変換回路で使用されるスイッチが 2 つだけの場合に

著しく向上する。