

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 8 月 22 日 (22.08.2013)



(10) 国际公布号
WO 2013/120366 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2012/084415
- (22) 国际申请日: 2012 年 11 月 9 日 (09.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210038729.9 2012 年 2 月 17 日 (17.02.2012) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 成军 (CHENG, Jun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 陈海晶 (CHEN, Haijing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 一种阵列基板及其制造方法和显示设备

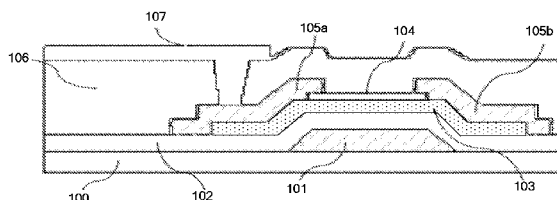


图 1a / Fig. 1a

(57) Abstract: An array substrate, a manufacturing method therefor, and a display device. The array substrate comprises a substrate (100) a gate electrode layer (101), a gate electrode insulation layer (102), an active layer (103) an etching-blocking layer (104), a source electrode layer (105a), a drain electrode layer (105b), a passivation layer (106), and a transparent electrode layer (107). The area of the etching-blocking layer (104) is greater than or equal to the area of the active layer (103). Also, a via is provided at where the source electrode layer (105a), the drain electrode layer (105b), and the active layer (103) are connected.

(57) 摘要: 一种阵列基板及其制造方法和显示设备, 阵列基板包括基板 (100)、栅电极层 (101)、栅极绝缘层 (102)、有源层 (103)、蚀刻阻挡层 (104)、源电极层 (105a)、漏电极层 (105b)、钝化层 (106) 以及透明电极层 (107), 蚀刻阻挡层 (104) 的面积大于或等于有源层 (103) 的面积, 并在源电极层 (105a)、漏电极层 (105b) 与有源层 (103) 的连接处设置有通孔。

WO 2013/120366 A1

一种阵列基板及其制造方法和显示设备

技术领域

5 本发明的实施例涉及一种阵列基板及其制造方法和显示设备。

背景技术

有机发光显示器 (OLED) 是新一代的显示器件, 与液晶显示器相比, 具有很多优点, 如: 自发光, 响应速度快, 宽视角等等。OLED 可以用于柔
10 性显示, 透明显示, 3D 显示等。

在有源矩阵有机发光显示器中, 每一个像素均通过薄膜晶体管控制该像素的开关, 因此通过驱动电路, 可以独立控制每一个像素, 不会对其他像素造成串扰等影响。

阵列基板中包括薄膜晶体管和栅极引出区或源极引出区, 薄膜晶体管至少包含栅极、源极、漏极、栅绝缘层和有源层。目前, 有源层主要为硅, 可以
15 采用非晶硅或者多晶硅。采用非晶硅作为有源层的薄膜晶体管时, 因其特性的限制 (如迁移率、开态电流等), 难以用于需要较大电流和快速响应的场合, 如有机发光显示器和大尺寸、高分辨率、高刷新频率的显示器等。采用多晶硅作为有源层的薄膜晶体管, 其特性优于非晶硅, 可以用于有机发光
20 显示器; 但是因其均匀性不佳, 制备中大尺寸的面板仍有困难。虽然可用增加补偿电路的方法处理多晶硅特性不均匀的问题, 但同时增加了像素中的薄膜晶体管和电容的数量, 增加了掩模数量和制作难度, 造成产量减低和良率下降。另外, 如果采用诸如 ELA (准分子激光退火) 等的 LTPS (低温多晶硅) 技术来对非晶硅进行晶化, 还需要增加昂贵的设备和维护费用。

25 因此, 氧化物半导体日益受到重视。氧化物半导体为有源层的薄膜晶体管的特性优于非晶硅作为有源层的薄膜晶体管的特性, 如迁移率、开态电流、开关特性等。虽然氧化物半导体作为有源层的薄膜晶体管的特性不如多晶硅作为有源层的薄膜晶体管的特性, 但足以用于需要快速响应和较大电流的应用, 如高频、高分比率、大尺寸的显示器以及有机发光显示器等。氧化物的
30 均匀性较好, 与多晶硅相比, 由于没有均匀性问题, 不需要增加补偿电路,

在掩模数量和制作难度上均有优势。在制作大尺寸的显示器方面难度也较小。而且采用溅射等方法就可以制备，不需增加额外的设备，具有成本优势。

目前，在氧化物阵列基板的制作过程中，在形成蚀刻阻挡层后形成源电极层和漏电极层，图 1a 和图 1b 为阵列基板截面图，包括基板 100、栅电极层 101、栅极绝缘层 102、有源层 103、蚀刻阻挡层 104、源电极层 105a、漏电极层 105b、钝化层 106 以及透明电极层 107。该蚀刻阻挡层 104 的设计，使得源电极层 105a、漏电极层 105b 与蚀刻阻挡层 104 搭界的地方在源电极层 105a 和漏电极 105b 的下方多出一个台阶。在此容易造成源电极层 105a、漏电极层 105b 的断线或有源层 103 的过蚀刻，影响产品的良率。

发明内容

本发明的一个实施例提供一种阵列基板，包括：基板；位于所述基板上的栅电极层、栅极绝缘层、有源层、蚀刻阻挡层、源漏电极层、钝化层以及透明电极层，其中：所述栅电极层包括栅电极，所述源漏电极层包括源电极层和漏电极层，以及所述蚀刻阻挡层的面积大于或等于所述有源层的面积，并设置有助于源电极层、漏电极层与所述有源层连接的第一通孔。

本发明的另一个实施例提供一种阵列基板制造方法，包括：在基板上依次形成栅电极层、栅极绝缘层、有源层以及蚀刻阻挡层，所述蚀刻阻挡层的面积大于或等于所述有源层的面积，所述栅电极层包括栅电极和位于栅极引出区域的栅极引出线；在所述蚀刻阻挡层中形成第一通孔；形成源电极层和漏电极层，所述源电极层和所述漏电极层通过所述第一通孔与所述有源层连接；形成钝化层，并对所述钝化层进行蚀刻；以及形成透明电极层，所述透明电极层与所述漏电极层和所述栅极引出线连接。

本发明的再一个实施例提供一种阵列基板制造方法，包括：在基板上依次形成源漏电极层和蚀刻阻挡层，所述源漏电极层包括源电极层和漏电极层以及位于源极引出区域的源极引出线；在所述蚀刻阻挡层中对应于所述源电极层和所述漏电极层的位置分别形成第一通孔；形成有源层以及栅极绝缘层，所述有源层通过所述第一通孔连接所述源电极层、漏电极层，所述蚀刻阻挡层的面积大于或等于有源层的面积；形成栅电极层；形成钝化层，并对所述钝化层进行蚀刻；以及形成透明电极层，所述透明电极层与所述源极引出线

和所述漏电极层连接。

本发明的又一个实施例提供一种显示设备，包括根据本发明任一实施例的阵列基板。

5 附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1a 和图 1b 为现有技术中底栅结构的阵列基板截面图；

10 图 2a 和图 2b 为本发明实施例提供的底栅结构的阵列基板截面图；

图 3a 和图 3b 为本发明实施例提供的顶栅结构的阵列基板截面图；

图 4a-图 4j 为本发明实施例提供的底栅结构的阵列基板制造方法中各步骤对应的阵列基板截面图；以及

15 图 5a-图 5l 为本发明实施例提供的顶栅结构的阵列基板制造方法中各步骤对应的阵列基板截面图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，
20 所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明实施例提供一种阵列基板及其制造方法和显示设备，通过改善蚀刻阻挡层的设计，使蚀刻阻挡层的面积大于或等于有源层的面积，并在源电极层、漏电极层与有源层的连接处设置有通孔，进而避免源电极层、漏电极层或有源层在与蚀刻阻挡层搭界时出现额外的台阶。
25

如图 2a 和图 2b 所示，本发明实施例提供的阵列基板，包括：

基板 100、栅电极层 101、栅极绝缘层 102、有源层 103、蚀刻阻挡层 104、源电极层 105a、漏电极层 105b、钝化层 106 以及透明电极层 107。

30 蚀刻阻挡层 104 的面积大于或等于有源层 103 的面积，并设置有助于源

电极层 105a 和漏电极层 105b 与有源层 103 连接的通孔。

由于蚀刻阻挡层 104 的面积大于或等于有源层 103 的面积，并通过通孔的方式使得源电极层 105a 和漏电极层 105b 与有源层 103 连接，所以避免了源电极层、漏电极层或有源层在与蚀刻阻挡层搭界时蚀刻阻挡层下面出现额

5 外的台阶。

为便于控制蚀刻阻挡层 104 的形成，该蚀刻阻挡层 104 可以进一步覆盖整个基板，并在栅极引出区或源极引出区设置有通孔。

由于在氧化物阵列基板的背板制作过程中，引出源电极层 105a、漏电极层 105b 和栅电极层 101 时，通常是在钝化层 106 和栅极绝缘层 102 形成过孔来实现，该制作过程存在的很多缺点：如引出栅电极层的孔较深，蚀刻难度较大，透明电极层 107 在连接栅电极层 101 时也容易断线；引出源电极层 105a、漏电极层 105b 的孔和引出栅电极层 101 的孔深度不同，蚀刻孔时对源电极层 105a、漏电极层 105b 和栅极绝缘层 102 的选择比要求很高，工艺稍有波动便会导致源电极层 105a、漏电极层 105b 的金属被过刻或栅极绝缘层

10 102 蚀刻不完全。

15

薄膜晶体管的栅电极与栅线相连，栅线延伸到栅极引出区成为栅极引线再与驱动电路相连。由于引出栅极引线的孔太深，最典型的深度是 600nm，在这个深度上至少包含 3 层不同的膜层，每层的材料不同，最上层的蚀刻速率与下面每层膜的蚀刻速率都不同。这样不但蚀刻气氛配比很难掌握，而且

20 由于蚀刻时间太长引起光刻胶反应在孔的底部生成一层有机物，使金属电极引出时断路。

透明电极可以由 ITO 制作，也可以由石墨烯、Ag（银）丝等其它材料制作。由于引出栅电极的孔太深，透明电极从孔最上端连接到最底端，透明电极的厚度如果太薄就会导致断线，如果透明电极太厚又会使透明电极的蚀刻

25 困难。

因此，本发明实施例提供的阵列基板中，蚀刻阻挡层 104 覆盖整个基板，并在栅极引出区或源极引出区设置有通孔，在栅极引出区或源极引出区的通孔中，设置有能够导电的填充物 113；栅电极层 101 在栅极引出区中通过填充物 113 连接透明电极层 107，或者源电极层 105a 在源极引出区的通孔中通过填充物 113 连接透明电极层 107。

30

例如，薄膜晶体管的源极通过数据线连接到源极引出区，在源极引出区（例如图 3b 所示区域），与数据线连接的数据线引线通过源极引出区的过孔与其他部件或电路连接。薄膜晶体管的栅极通过栅线连接到栅极引出区，在栅极引出区（例如图 2b 所示区域），与栅线连接的栅线引线通过栅极引出区的过孔与其他部件或电路连接。由于在形成蚀刻阻挡层 104 后，并非仅仅在有源层上部保留一部分蚀刻阻挡层 104，而是在栅极引出区或者源极引出区设置通孔，实现各层的连接，所以可以通过一次蚀刻，将蚀刻阻挡层和栅极绝缘层均蚀刻成型，没有增加蚀刻次数。

蚀刻阻挡层 104 上的通孔形成后，在形成底栅结构中的源电极层和漏电极层或者在形成顶栅结构中的栅电极层时，即可在通孔处形成用于进行过渡连接的金属，即导电的填充物 113，减少了蚀刻钝化层 106 时，所需形成的通孔的深度，进而降低了工艺难度。

在本发明实施例中，通孔的直径可以设置为 $1\mu\text{m}\sim 10\mu\text{m}$ 。

例如，如图 2a 和图 2b 所示，在底栅结构中，设置有利于源电极层、漏电极层与有源层连接的通孔，具体为：

设置有利于有源层与源电极层、漏电极层连通的穿透蚀刻阻挡层的第一通孔。

在栅极引出区设置有通孔，如图 2b 所示，具体包括：

穿透蚀刻阻挡层 104 与栅极绝缘层 102 的第二通孔 109 和穿透钝化层 106 的第五通孔 111；

阵列基板中还包括：漏电极层 105b 与透明电极层 107 连通的穿透钝化层 106 的第四通孔 110。另外，需要说明的是，在以上的说明中 105b 称为漏电极层、105a 称为源电极层。然而，场效应晶体管的源电极和漏电极实际上是对称的结构，当一者用作源电极，则另外一者用作漏电极，而且两者的角色又可根据情况需要而互换。因此，在某些情况下，105b 可以称为源电极层，而 105a 可以称为漏电极层，这对本发明并不构成限制。

另外，虽然未示出源极引出区，但由于源极引出区的源极引出线与源漏电极层位于同一层，因此，其处于栅绝缘层和蚀刻阻挡层之上、钝化层之下，因此，在底栅结构中，源极引出线与其他部件的连接仅需要在钝化层中形成通孔就可以。

另外，需要说明的是，虽然图 2a 所示的透明导电层 107 和图 2b 所示的透明导电层 107 使用了相同的名称和附图标记。然而，二者之间可以没有连接在一起，并且它们可以具有不同的作用。例如，图 2a 的透明电极层 107 可以用作像素电极，但并不限于此；图 2b 的透明电极层 107 可以用作连接线，但并不限于此。此外，图 2b 所示的层 107 也可以由不透明的导电材料形成。

如图 3a 和图 3b 所示，在顶栅结构中，设置有利于源电极层、漏电极层与有源层连接的通孔，具体为：

设置有利于有源层与源电极层、漏电极层连通的穿透蚀刻阻挡层的第一通孔。

10 在源极引出区设置有通孔，如图 3b 所示，具体包括：

穿透蚀刻阻挡层 104 与栅极绝缘层 102 的第三通孔 112 和穿透钝化层 106 的第四通孔 111；

阵列基板中还包括：栅电极层 101 与透明电极层 107 连通的穿透钝化层 106 的第五通孔 110。

15 在底栅结构中，填充物 113 是在制作源电极层 105a 和漏电极层 105b 时同时蚀刻形成，第二通孔中的填充物 113 为与源电极层 105a 和漏电极层 105b 位于同一层且材质相同的用于进行栅电极层 101（栅极引线）和透明电极层 107 之间过渡连接的金属。

20 在顶栅结构中，填充物 113 是在制作栅电极层 101 时同时蚀刻形成时，第三通孔中的填充物 113 为与栅电极层 101 位于同一层且材质相同的用于进行源极引线和透明电极层 107 之间过渡连接的金属。

25 由于填充物 113 和源漏电极层或者栅电极层 101 位于同一层，所以在制作时，可以使得填充物 113 和源漏电极层或者栅电极层 101 表面尽量水平，以使得第四通孔与第五通孔可以使用相同的深度进行蚀刻，以便于在进行蚀刻获得第四通孔和第五通孔时，进行选择比的设置。

另外，虽然未示出栅极引出区，但由于栅极引出区的栅极引出线与栅电极层位于同一层，因此，其处于栅绝缘层和蚀刻阻挡层之上、钝化层之下，因此，在顶栅结构中，栅极引出线与其他部件的连接仅需要在钝化层中形成通孔就可以。

30 通常情况下，第一通孔的深度与蚀刻阻挡层 104 的厚度相同，或者第一

通孔的深度大于蚀刻阻挡层的厚度 1-60nm, 一般来讲, 第一通孔的深度略大于蚀刻阻挡层 104 的厚度, 只要不将有源层 103 穿透即可, 以使得源电极层和漏电极层能够较好的与有源层 103 接触;

第二通孔和第三通孔的深度等于蚀刻阻挡层与栅极绝缘层的厚度和, 或者第二通孔和第三通孔的深度大于蚀刻阻挡层与栅极绝缘层的厚度和 1-100nm, 同样的, 一般情况下, 第二通孔和第三通孔的深度略大于蚀刻阻挡层与栅极绝缘层的厚度和, 只要不将栅电极层或者源电极层穿透即可, 从而可以使得过渡连接金属能够较好的与栅电极层或者源电极层接触;

第四通孔和第五通孔的深度等于钝化层的厚度, 或者第二通孔和第三通孔的深度大于钝化层的厚度 1-100nm, 同样的, 一般情况下, 第四通孔和第五通孔的深度略大于钝化层的厚度, 只要不将栅电极层或者源电极层穿透即可, 从而使得透明电极层能够较好的与栅电极层或者源电极层接触。

针对底栅结构, 本发明实施例提供一种阵列基板制造方法, 包括:

步骤 S401、在基板上依次形成栅电极层 101、栅极绝缘层 102、有源层 103 以及蚀刻阻挡层 104, 蚀刻阻挡层的面积大于或等于有源层的面积, 如图 4a、图 4b 所示; 栅电极层 101 包括薄膜晶体管的栅电极 (如图 4a 中的 101 所示) 和位于栅极引出区的栅极引线 (如图 4b 的 101 所示);

步骤 S402、对蚀刻阻挡层及栅极绝缘层进行蚀刻, 形成用于有源层与源电极层、漏电极层连通的穿透蚀刻阻挡层的第一通孔, 如图 4c、图 4d 所示;

步骤 S403、形成源电极层和漏电极层, 源电极层和漏电极层通过第一通孔连接有源层, 如图 4e、图 4f 所示;

步骤 S404、形成钝化层, 并对钝化层进行蚀刻, 如图 4g、图 4h 所示;

步骤 S405、形成透明电极层, 透明电极层 107 与源电极层连接和栅电极层连接, 如图 4i、图 4j 所示。

在步骤 S402 中, 在对所述蚀刻阻挡层及栅极绝缘层进行蚀刻, 形成用于有源层与源电极层、漏电极层连通的穿透蚀刻阻挡层的第一通孔的同时, 还包括:

形成用于栅电极层 (栅极引线) 与透明电极层连通的穿透蚀刻阻挡层与栅极绝缘层的第二通孔 (如 4d 所示);

在形成源电极层和漏电极层的同时, 还在第二通孔上形成与源电极层和

漏电极层材质相同的用于进行栅电极层（栅极引线）和透明电极层之间过渡连接的填充物（如图 4f 中的 113），该用于进行栅电极层和透明电极层之间过渡连接的填充物通过第二通孔连接栅电极层（栅极引线）。

在对蚀刻阻挡层及栅极绝缘层进行蚀刻时，可以通过过孔的方式，对蚀刻阻挡层及栅极绝缘层进行蚀刻。

在步骤 S404 中，对所述钝化层进行蚀刻，具体为：

对所述钝化层进行蚀刻，形成用于漏电极层与透明电极层连通的穿透钝化层的第四通孔（如图 4g 所示），以及用于栅电极层（栅极引线）与透明电极层连通的穿透钝化层的第五通孔（如图 4h 所示）。

在步骤 S404 中，可使得第四通孔和第五通孔的深度相同，以便于在进行蚀刻获得第四通孔和第五通孔时，进行选择比的设置。

具体的，首先在基板 100 上沉积栅电极材料，并通过光刻图案化制作成栅电极层 101；在栅电极层 101 上设置栅极绝缘层 102，在栅极绝缘层 102 上形成有源层 103；在有源层 103 和栅极绝缘层 102 上沉积蚀刻阻挡层 104，通过光刻，在蚀刻阻挡层 104 上对需要连接的部位刻孔，这些部位包括栅电极层 101 引出的地方，源电极层 105a 和漏电极层 105b 连接有源层 103 两侧的部位；接下来在蚀刻阻挡层 104 上沉积源漏金属，进行光刻后形成源电极层 105a 和漏电极层 105b 及栅极引出部位的填充物 113，形成钝化层 106 以及透明电极层 107，透明电极层 107 通过钝化层 106 的通孔分别连接源电极层 105a 和栅电极层 101。

在本实施例中，作为栅电极层 101 的材料可选择 Mo（钼）、MoNb（钼铌合金）、Al（铝）、AlNd（铝钕合金）、Ti（钛）、Cu（铜）中的一种或多种形成的单层或多层复合叠层，栅电极层 101 优先选择 Mo、Al 或含 Mo、Al 的合金组成的单层或多层复合膜。

栅极绝缘层 102，可以由 SiO_x（氧化硅）、SiN_x（氮化硅）、HfO_x（氧化铪）、AlO_x（氧化铝）或由其中两种或多种组成的多层叠层膜组成。栅极绝缘层用特殊的 PECVD（等离子体增强化学气相沉积）技术制作，其特点是膜层含有较低的低氢含量、并且栅极绝缘层或有源层表面形成良好的接触，使绝缘层和有源层之间的化学成分难以互相扩散。栅极绝缘层的厚度可以控制在 100nm~400nm，栅极绝缘层优选 SiO_x、SiN_x 或两者复合的多层结构。

有源层 103 可以由包含 In (铟)、Ga (镓)、Zn (锌)、O (氧)、Sn (锡)、非晶硅元素的薄膜制成, 其中薄膜中必须包含氧元素和其他两种或两种以上的元素, 如 IGZO (氧化铟镓锌)、IZO (氧化铟锌)、InSnO (氧化铟锡)、InGaSnO (氧化铟镓锡) 等。有源层优先选择 IGZO 和 IZO, 厚度控制在 10~100nm 较佳。

蚀刻阻挡层 104 可以由 SiO_x 、 SiN_x 、 HfO_x 、 AlO_x 或由其中两种或三种组成的多层叠层膜组成。蚀刻阻挡层特点是膜层含有较低的低氢含量。在蚀刻阻挡层的源电极层、漏电极层与有源层连接、栅电极层引出的区域设置通孔, 用来引出栅电极层、连接源电极层、漏电极层和有源层。在不需要连接的地方全部可以使用蚀刻阻挡层来覆盖。

源电极层 105a、漏电极层 105b 和填充物 113 则是通过溅射法沉积源漏金属, 再经过光刻形成源电极层、漏电极层和填充物 113。源电极层 105a 和漏电极层 105b 的材料可以是 Mo、MoNb、Al、AlNd、Ti、Cu 中的一种或多种材料形成的单层或多层复合叠层, 优先选择 Mo、Al 或含 Mo、Al 的合金组成的单层或多层复合膜。源电极层 105a 和漏电极层 105b 通过蚀刻阻挡层 104 的通孔与有源层 103 连接, 填充物 113 通过蚀刻阻挡层 104 的通孔与栅电极层 101 连接。源电极层 105a 和漏电极层 105b 和填充物 113 的厚度为 50~500nm。

钝化层 106, 可以由 SiO_x 、 SiN_x 、 HfO_x 、 AlO_x 或由其中两种或多种组成的多层叠层膜组成, 钝化层可以用特殊的 PECVD 技术制作, 其特点是膜层含有较低的低氢含量、并且有很好的表面特性, 使钝化层和有源层之间的化学成分难以互相扩散。

在钝化层上是透明电极层 107, 透明电极层 107 可以使用 ITO (氧化铟锡) 材料制作, 用溅射成膜的方法制备非晶态的 ITO, 再通过退火使之晶化。透明电极层 107 的厚度为 20~150nm。透明电极层 107 通过第四通孔与源电极层 105a 相连, 通过第五通孔于栅电极层上面的填充物相连。

针对顶栅结构, 本发明实施例还提供一种阵列基板制造方法, 包括:

步骤 S501、在基板上依次形成源漏电极层、蚀刻阻挡层, 蚀刻阻挡层的面积大于或等于有源层的面积, 如图 5a 和图 5b 所示; 源漏电极层包括薄膜晶体管的源电极层和漏电极层 (如图 5a 的 105a 和 105b 所示) 以及位于源极

引出区的源极引线（如图 5b 的 105a 所示）；

步骤 S502、对蚀刻阻挡层进行蚀刻，形成用于有源层与源电极层、漏电极层连通的穿透蚀刻阻挡层的第一通孔；

5 步骤 S503、形成有源层以及栅极绝缘层，有源层通过第一通孔连接源电极层、漏电极层，如图 5c-图 5f 所示；

步骤 S504、形成栅电极层，如图 5g 和图 5h 所示；

步骤 S505、形成钝化层，并对钝化层进行蚀刻，如图 5i 及图 5j 所示；

步骤 S506、形成透明电极层，透明电极层与栅电极层和漏电极层连接，如图 5k 和图 5l 所示。

10 在步骤 S503 中，形成有源层以及栅极绝缘层后，还包括：

对栅极绝缘层和蚀刻阻挡层进行蚀刻，形成用于源漏电极层中的源极引线及透明电极层连通的穿透蚀刻阻挡层与栅极绝缘层的第三通孔（如图 5f 所示）；

15 在形成栅电极层的同时，还在第三通孔上形成与栅电极层材质相同的用于进行源极引线和透明电极层之间过渡连接的填充物（如图 5h 的 113 所示）。

对栅极绝缘层和蚀刻阻挡层进行蚀刻，可以通过过孔的方式，对栅极绝缘层和蚀刻阻挡层进行蚀刻。

在步骤 S505 中，对钝化层进行蚀刻，具体为：

20 对钝化层进行蚀刻，形成用于源极引线与透明电极层连通的穿透钝化层的第四通孔（如图 5j 所示），以及用于栅电极层与透明电极层连通的穿透钝化层的第五通孔。

在步骤 S505 中，可以使得第四通孔和第五通孔的深度相同，以便于在进行蚀刻获得第四通孔和第五通孔时，进行选择比的设置。

25 具体的，首先在基板 100 上设置源电极层 105a 和漏电极层 105b，再在源电极层 105a 和漏电极层 105b 上形成刻蚀阻挡层 104，在刻蚀阻挡层上形成有源层 103，在有源层 103 上沉积栅极绝缘层 102，通过光刻，在栅极绝缘层上对需要连接的部位刻孔，这些部位包括源电极层 105a 引出的地方，源电极层 105a 和漏电极层 105b 连接栅电极层 101 的地方，接下来在栅极绝缘层 102 上沉积栅极金属，对栅极金属光刻后形成栅电极层 101 及源电极层 105a
30 引出部位的填充物 113，形成钝化层 106，透明电极 107 通过钝化层 106 的通

孔分别连接栅电极层 101 和源电极层 105a。

各层材料与厚度与底栅结构的实施例一致，在此不再赘述。

对于以上对底栅结构和顶栅结构的描述中可以知道，底栅结构中栅极引出区的栅极引线上面绝缘层层数较多（栅绝缘层、蚀刻阻挡层和钝化层），因此，通过利用与源漏电极层同时形成的过渡连接金属层，可以使得栅极引线较易于与其他部件连接；而对于顶栅极结构，源极引出区的源极引线（或者说数据线引线）上面的绝缘层层数较多（蚀刻阻挡层、栅绝缘层和钝化层），因此，通过利用与栅电极层同时形成的过渡连接金属层，可以使得栅极引线较易于与其他部件连接。

10 本发明实施例还提供一种显示设备，包括本发明实施例提供的阵列基板。

本发明实施例提供一种阵列基板及其制造方法和显示设备，通过改善蚀刻阻挡层的设计，使蚀刻阻挡层的面积大于或等于有源层的面积，并在源电极层、漏电极层与有源层的连接处设置有通孔，进而避免源电极层、漏电极层或有源层在与蚀刻阻挡层搭界时蚀刻阻挡层下面出现额外的台阶。

15 根据本发明的实施例至少可以提供以下结构和方法：

（1）一种阵列基板，包括：

基板；

位于所述基板上的栅电极层、栅极绝缘层、有源层、蚀刻阻挡层、源漏电极层、钝化层以及透明电极层，其中：

20 所述栅电极层包括栅电极，所述源漏电极层包括源电极层和漏电极层，以及

所述蚀刻阻挡层的面积大于或等于所述有源层的面积，并设置有利于源电极层、漏电极层与所述有源层连接的第一通孔。

25 （2）如（1）所述的阵列基板，其中所述栅电极层还包括位于栅极引出区域的栅极引出线，所述源漏电极层还包括位于源极引出区域的源极引出线，且

其中所述蚀刻阻挡层覆盖整个基板，并在所述栅极引出区或所述源极引出区设置有通孔。

30 （3）如（2）所述的阵列基板，其中在所述栅极引出区或源极引出区的通孔中设置有导电填充物，且所述栅极引出线和所述源极引出线通过所述填

充物与所述透明电极层连接。

(4) 如(3)所述的阵列基板, 其中所述栅电极、所述栅绝缘层、所述蚀刻阻挡层、所述源电极层和所述漏电极层构成薄膜晶体管, 且所述薄膜晶体管为底栅结构,

5 其中所述栅绝缘层、所述蚀刻阻挡层和所述钝化层依次覆盖在所述栅极引出线上, 且在对应于所述栅极引出线的位置处, 具有穿透所述蚀刻阻挡层和所述栅极绝缘层的第二通孔, 以及穿透所述钝化层的第五通孔。

(5) 如(3)所述的阵列基板, 其中所述栅电极、所述栅绝缘层、所述蚀刻阻挡层、所述源电极层和所述漏电极层构成薄膜晶体管, 且所述薄膜晶
10 体管为顶栅结构,

其中所述蚀刻阻挡层、所述栅极绝缘层和所述钝化层依次覆盖在所述源极引出线以及所述漏电极上, 且在对应于所述源极引出线和所述漏电极的位置处, 具有穿透所述蚀刻阻挡层和所述栅极绝缘层的第三通孔、以及穿透所述钝化层的第四通孔。

15 (6) 如(4)所述的阵列基板, 其中在所述第二通孔中设置有所述导电填充物, 且所述填充物为与源漏电极层位于同一层且材质相同的金属层。

(7) 如(6)所述的阵列基板, 其中所述栅极引出线通过所述导电填充物以及所述第五通孔与所述透明导电层电连接。

(8) 如(5)所述的阵列基板, 其中在所述第三通孔中设置有所述导电
20 填充物, 且所述填充物为与栅电极层位于同一层且材质相同的金属层。

(9) 如(8)所述的阵列基板, 其中所述源极引出线通过所述导电填充物以及所述第四通孔与所述透明导电层电连接。

(10) 如(1)-(9)中任一项所述的阵列基板, 其中, 所述第一通孔的深度与所述蚀刻阻挡层的厚度相同, 或者所述第一通孔的深度大于所述蚀刻
25 阻挡层的厚度。

(11) 一种阵列基板制造方法, 包括:

在基板上依次形成栅电极层、栅极绝缘层、有源层以及蚀刻阻挡层, 所述蚀刻阻挡层的面积大于或等于所述有源层的面积, 所述栅电极层包括栅电极和位于栅极引出区域的栅极引出线;

30 在所述蚀刻阻挡层中形成第一通孔;

形成源电极层和漏电极层，所述源电极层和所述漏电极层通过所述第一通孔与所述有源层连接；

形成钝化层，并对所述钝化层进行蚀刻；以及

形成透明电极层，所述透明电极层与所述漏电极层和所述栅极引出线连

5 接。

(12) 如(11)所述的方法，其中在形成所述第一通孔的同时，还包括：

形成用于所述栅极引出线与透明电极层连通的穿透所述蚀刻阻挡层与所述栅极绝缘层的第二通孔；以及

10 在形成源电极层和漏电极层的同时，还在所述第二通孔中形成与所述源电极层和漏电极层材质相同的用于进行所述栅极引出线和所述透明电极层之间过渡连接的金属层。

(13) 如(12)所述的方法，其中对所述钝化层进行蚀刻包括：

15 形成用于所述漏电极层与所述透明电极层连通的穿透钝化层的第四通孔，以及用于所述栅极引线层与所述透明电极层连通的穿透钝化层的第五通孔。

(14) 如(13)所述的方法，其中所述第四通孔和第五通孔的深度相同。

(15) 一种阵列基板制造方法，包括：

在基板上依次形成源漏电极层和蚀刻阻挡层，所述源漏电极层包括源电极层和漏电极层以及位于源极引出区域的源极引出线；

20 在所述蚀刻阻挡层中对应于所述源电极层和所述漏电极层的位置分别形成第一通孔；

形成有源层以及栅极绝缘层，所述有源层通过所述第一通孔连接所述源电极层、漏电极层，所述蚀刻阻挡层的面积大于或等于有源层的面积；

形成栅电极层；

25 形成钝化层，并对所述钝化层进行蚀刻；以及

形成透明电极层，所述透明电极层与所述源极引出线和所述漏电极层连接。

(16) 如(15)所述的方法，其中在形成所述有源层以及所述栅极绝缘层后，还包括：

30 对所述栅极绝缘层和所述蚀刻阻挡层进行蚀刻，形成用于所述漏电极层

和所述源极引出线与所述透明电极层连通的穿透蚀刻阻挡层与栅极绝缘层的第三通孔；以及

在所述形成所述栅电极层的同时，还在所述第三通孔中形成与所述栅电极层材质相同的用于进行所述漏电极层和所述源极引出线与所述透明电极层之间过渡连接的金属层。

(17) 如(16)所述的方法，其中对钝化层进行蚀刻包括：

形成用于所述漏电极层和所述源极引出线与所述透明电极层连通的穿透钝化层的第五通孔，以及用于栅电极层与透明电极层连通的穿透钝化层的第四通孔。

(18) 如(17)所述的方法，其中所述第四通孔和第五通孔的深度相同。

(19) 一种显示设备，包括如(1)-(10)任一项所述的阵列基板。

在一个实施例中，上述第二通孔和第三通孔的深度等于蚀刻阻挡层与栅极绝缘层的厚度和，或者第二通孔和第三通孔的深度大于蚀刻阻挡层与栅极绝缘层的厚度和。

在一个实施例中，上述第四通孔和第五通孔的深度等于钝化层的厚度，或者第四通孔和第五通孔的深度大于所述钝化层的厚度。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括：

基板；

5 位于所述基板上的栅电极层、栅极绝缘层、有源层、蚀刻阻挡层、源漏电极层、钝化层以及透明电极层，其中：

所述栅电极层包括栅电极，所述源漏电极层包括源电极层和漏电极层，以及

10 所述蚀刻阻挡层的面积大于或等于所述有源层的面积，并设置有助于源电极层、漏电极层与所述有源层连接的第一通孔。

2、如权利要求 1 所述的阵列基板，其中所述栅电极层还包括位于栅极引出区域的栅极引出线，所述源漏电极层还包括位于源极引出区域的源极引出线，且

15 其中所述蚀刻阻挡层覆盖整个基板，并在所述栅极引出区或所述源极引出区设置有通孔。

3、如权利要求 2 所述的阵列基板，其中在所述栅极引出区或源极引出区的通孔中设置有导电填充物，且所述栅极引出线和所述源极引出线通过所述填充物与所述透明电极层连接。

20 4、如权利要求 3 所述的阵列基板，其中所述栅电极、所述栅绝缘层、所述蚀刻阻挡层、所述源电极层和所述漏电极层构成薄膜晶体管，且所述薄膜晶体管为底栅结构，

其中所述栅绝缘层、所述蚀刻阻挡层和所述钝化层依次覆盖在所述栅极引出线上，且在对应于所述栅极引出线的位置处，具有穿透所述蚀刻阻挡层和所述栅极绝缘层的第二通孔，以及穿透所述钝化层的第五通孔。

25 5、如权利要求 3 所述的阵列基板，其中所述栅电极、所述栅绝缘层、所述蚀刻阻挡层、所述源电极层和所述漏电极层构成薄膜晶体管，且所述薄膜晶体管为顶栅结构，

30 其中所述蚀刻阻挡层、所述栅极绝缘层和所述钝化层依次覆盖在所述源极引出线以及所述漏电极上，且在对应于所述源极引出线和所述漏电极的位置处，具有穿透所述蚀刻阻挡层和所述栅极绝缘层的第三通孔、以及穿透所

述钝化层的第四通孔。

6、如权利要求4所述的阵列基板，其中在所述第二通孔中设置有所述导电填充物，且所述填充物为与源漏电极层位于同一层且材质相同的金属层。

7、如权利要求6所述的阵列基板，其中所述栅极引出线通过所述导电填充物以及所述第五通孔与所述透明导电层电连接。

8、如权利要求5所述的阵列基板，其中在所述第三通孔中设置有所述导电填充物，且所述填充物为与栅电极层位于同一层且材质相同的金属层。

9、如权利要求8所述的阵列基板，其中所述源极引出线通过所述导电填充物以及所述第四通孔与所述透明导电层电连接。

10、如权利要求1-9中任一项所述的阵列基板，其中，所述第一通孔的深度与所述蚀刻阻挡层的厚度相同，或者所述第一通孔的深度大于所述蚀刻阻挡层的厚度。

11、一种阵列基板制造方法，包括：

在基板上依次形成栅电极层、栅极绝缘层、有源层以及蚀刻阻挡层，所述蚀刻阻挡层的面积大于或等于所述有源层的面积，所述栅电极层包括栅电极和位于栅极引出区域的栅极引出线；

在所述蚀刻阻挡层中形成第一通孔；

形成源电极层和漏电极层，所述源电极层和所述漏电极层通过所述第一通孔与所述有源层连接；

形成钝化层，并对所述钝化层进行蚀刻；以及

形成透明电极层，所述透明电极层与所述漏电极层和所述栅极引出线连接。

12、如权利要求11所述的方法，其中在形成所述第一通孔的同时，还包括：

形成用于所述栅极引出线与透明电极层连通的穿透所述蚀刻阻挡层与所述栅极绝缘层的第二通孔；以及

在形成源电极层和漏电极层的同时，还在所述第二通孔中形成与所述源电极层和漏电极层材质相同的用于进行所述栅极引出线和所述透明电极层之间过渡连接的金属层。

13、如权利要求12所述的方法，其中对所述钝化层进行蚀刻包括：

形成用于所述漏电极层与所述透明电极层连通的穿透钝化层的第四通孔，以及用于所述栅极引线层与所述透明电极层连通的穿透钝化层的第五通孔。

14、如权利要求 13 所述的方法，其中所述第四通孔和第五通孔的深度相同。

15、一种阵列基板制造方法，包括：

在基板上依次形成源漏电极层和蚀刻阻挡层，所述源漏电极层包括源电极层和漏电极层以及位于源极引出区域的源极引出线；

10 在所述蚀刻阻挡层中对应于所述源电极层和所述漏电极层的位置分别形成第一通孔；

形成有源层以及栅极绝缘层，所述有源层通过所述第一通孔连接所述源电极层、漏电极层，所述蚀刻阻挡层的面积大于或等于有源层的面积；

形成栅电极层；

形成钝化层，并对所述钝化层进行蚀刻；以及

15 形成透明电极层，所述透明电极层与所述源极引出线和所述漏电极层连接。

16、如权利要求 15 所述的方法，其中在形成所述有源层以及所述栅极绝缘层后，还包括：

20 对所述栅极绝缘层和所述蚀刻阻挡层进行蚀刻，形成用于所述漏电极层和所述源极引出线与所述透明电极层连通的穿透蚀刻阻挡层与栅极绝缘层的第三通孔；以及

在所述形成所述栅电极层的同时，还在所述第三通孔中形成与所述栅电极层材质相同的用于进行所述漏电极层和所述源极引出线与所述透明电极层之间过渡连接的金属层。

25 17、如权利要求 16 所述的方法，其中对钝化层进行蚀刻包括：

形成用于所述漏电极层和所述源极引出线与所述透明电极层连通的穿透钝化层的第五通孔，以及用于栅电极层与透明电极层连通的穿透钝化层的第四通孔。

30 18、如权利要求 17 所述的方法，其中所述第四通孔和第五通孔的深度相同。

19、一种显示设备，包括如权利要求 1-10 任一项所述的阵列基板。

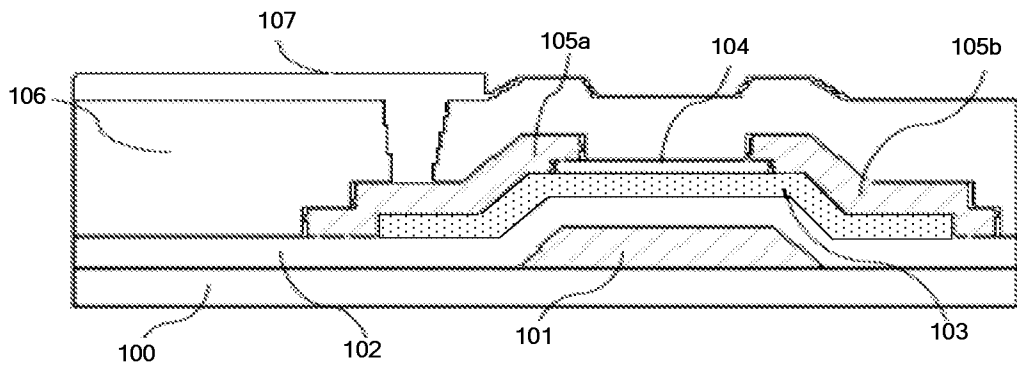


图 1a

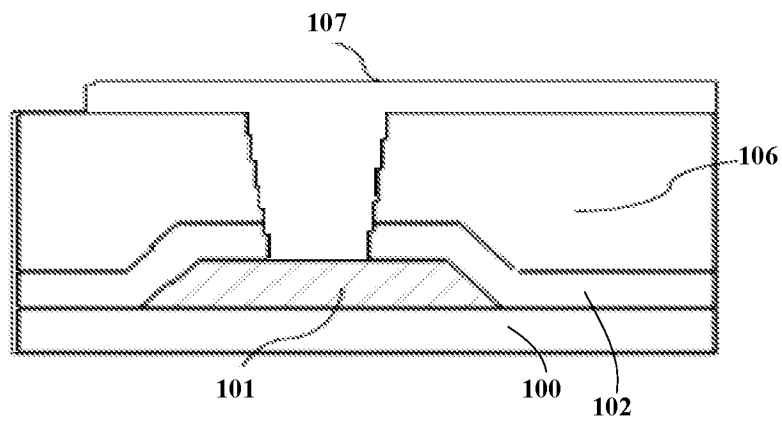


图 1b

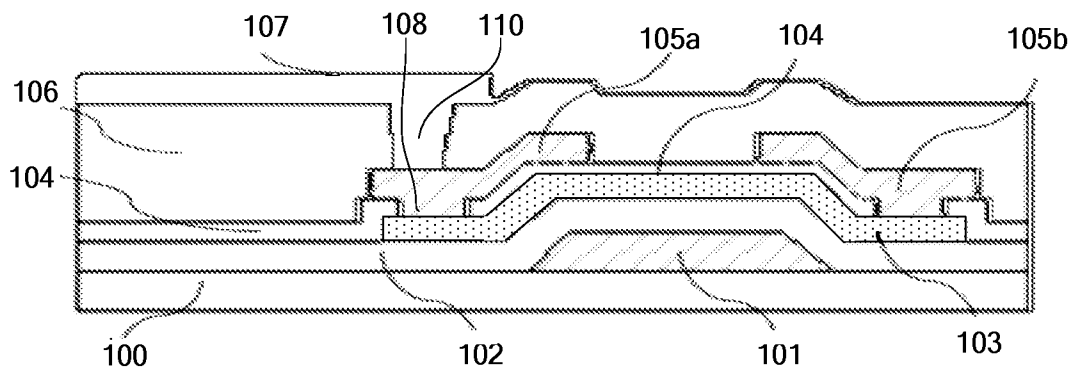


图 2a

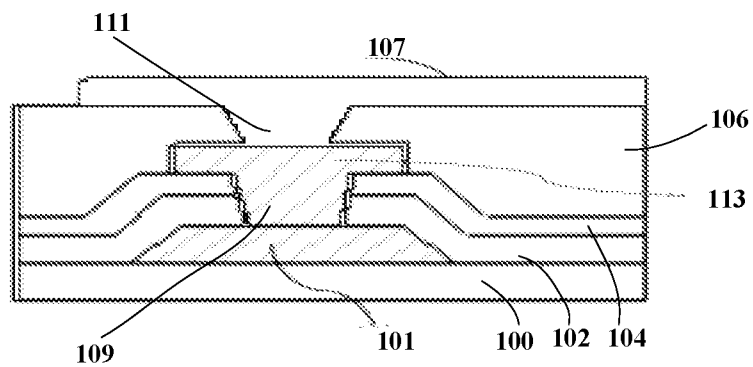


图 2b

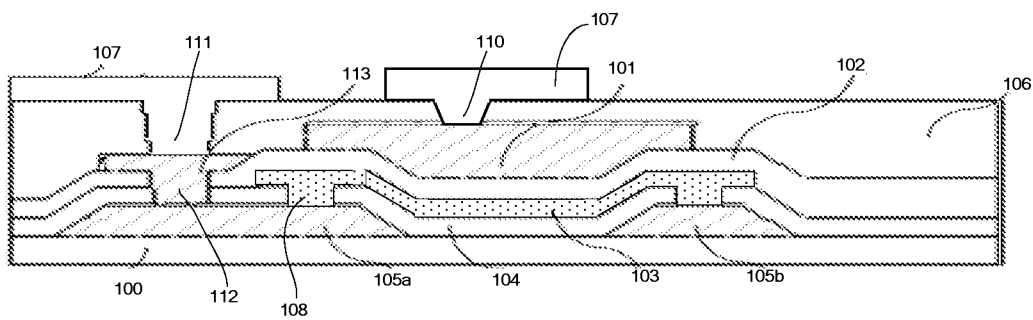


图 3a

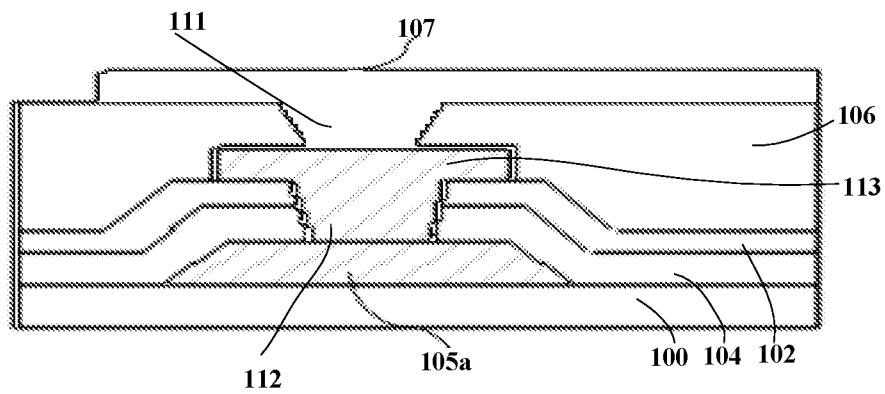


图 3b

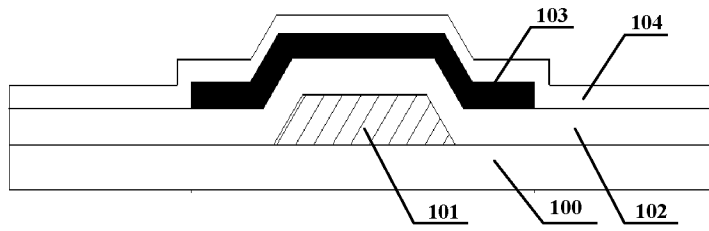


图 4a

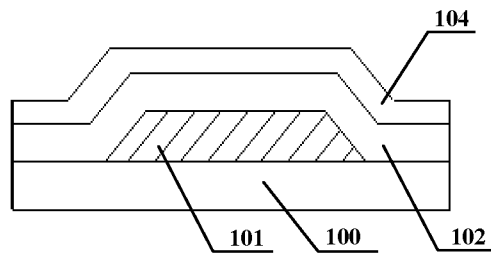


图 4b

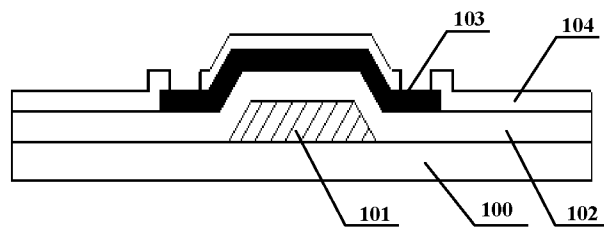


图 4c

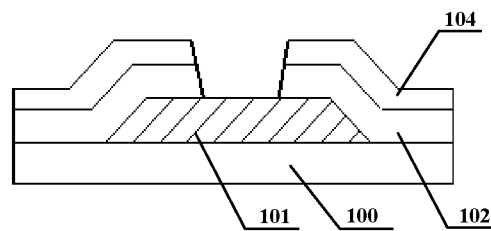


图 4d

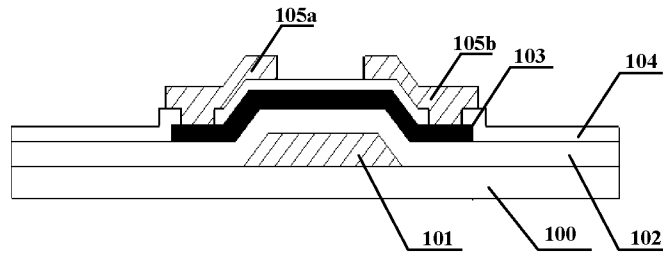


图 4e

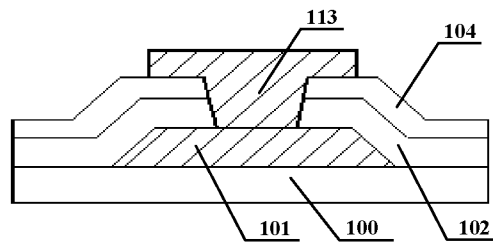


图 4f

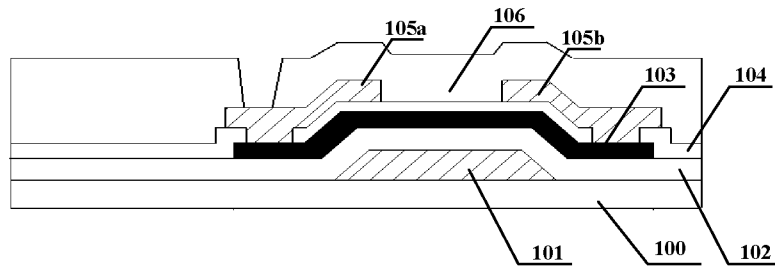


图 4g

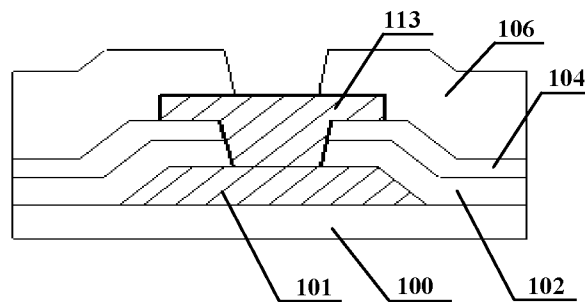


图 4h

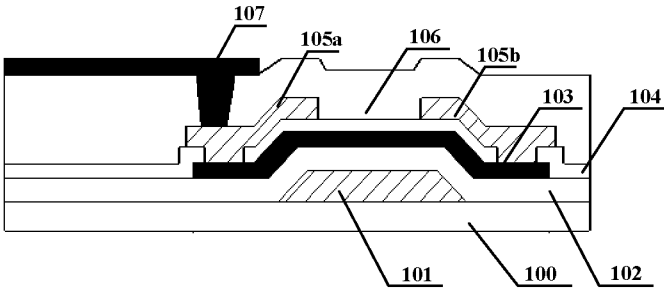


图 4i

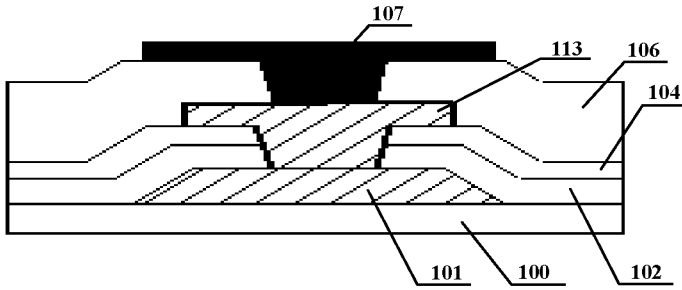


图 4j

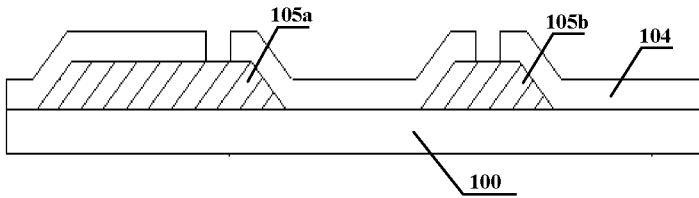


图 5a

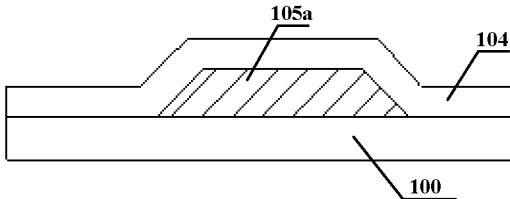


图 5b

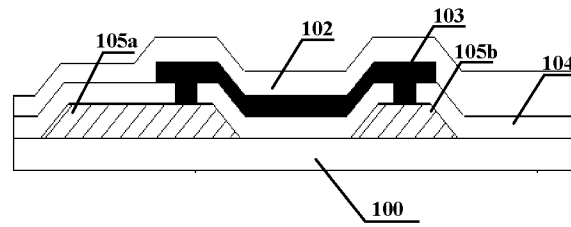


图 5c

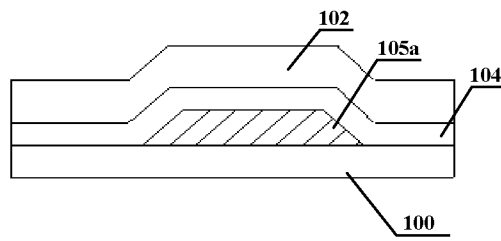


图 5d

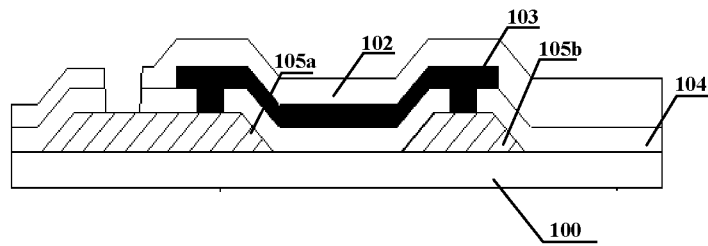


图 5e

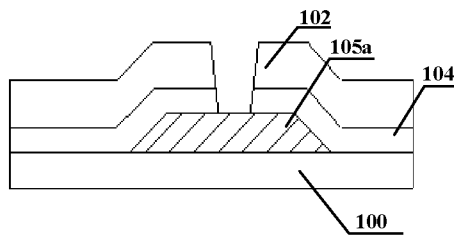


图 5f

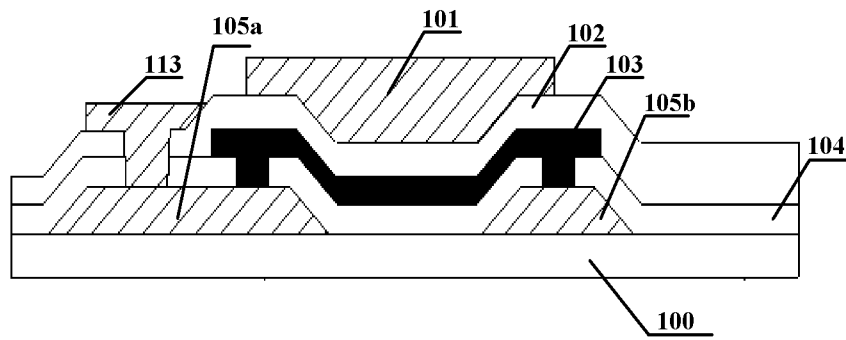


图 5g

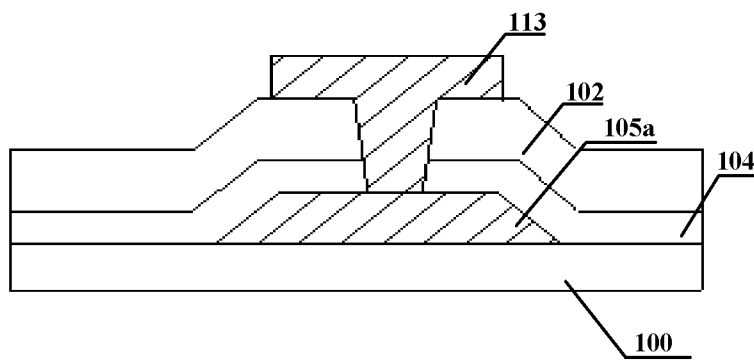


图 5h

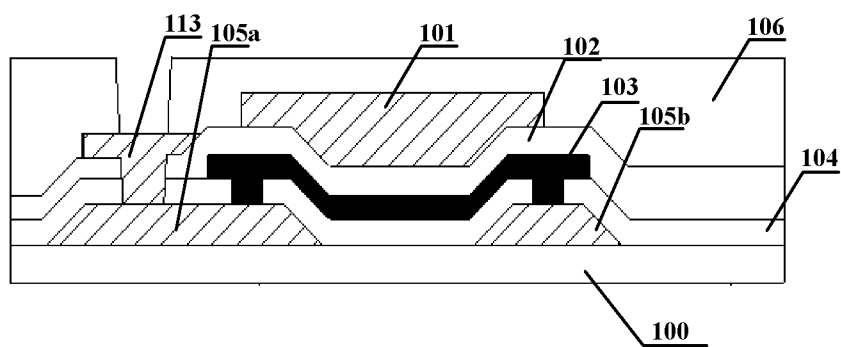


图 5i

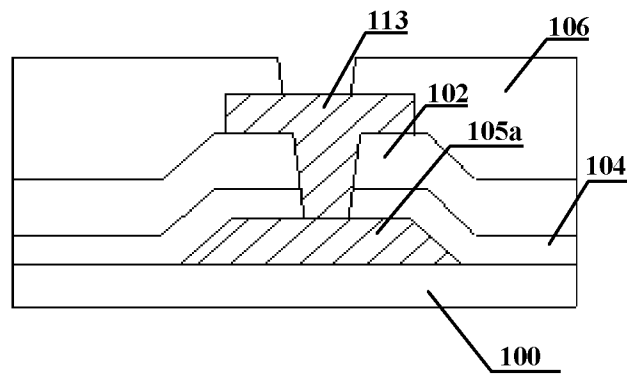


图 5j

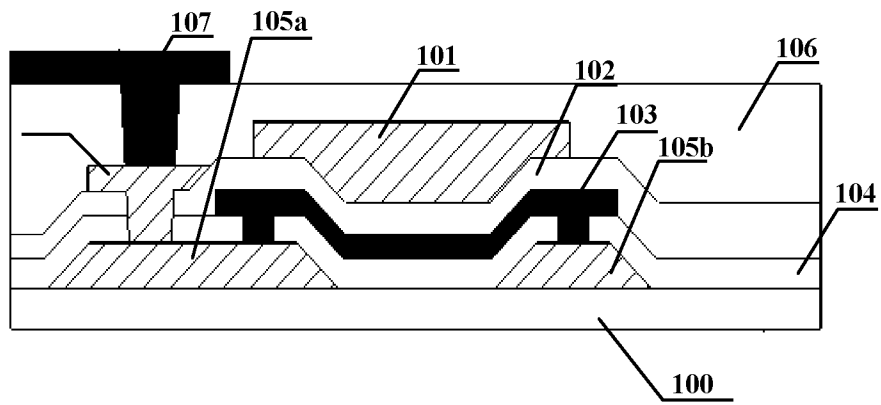


图 5k

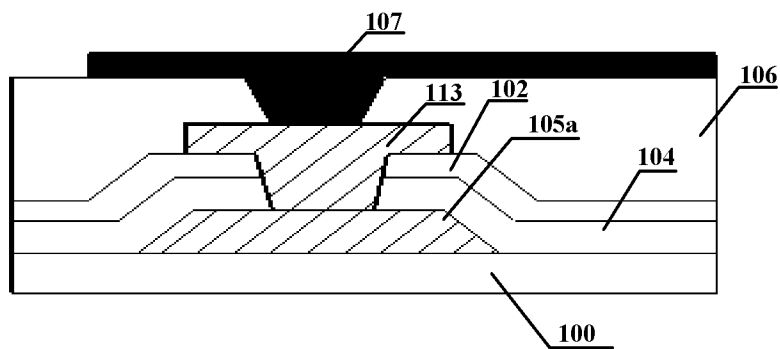


图 5l

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/084415

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; IEE; CPRS; semiconductor, wafer, substrate, gate, etching stop, array, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	CN 101950733 A (AU OPTRONICS CORP) 19 January 2011 (19.01.2011) description, paragraph [0041] to paragraph [0058] and figures 1-11	1, 10, 19 2-9, 11-18
P.X	CN 102646684 A (BOE TECHNOLOGY GROUP CO LTD) 22 August 2012 (22.08.2012) the whole document	1-19
A	US 6383878 B1 (HUANG)07 May 2002 (07.05.2002) the whole document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 January 2013 (15.01.2013)	Date of mailing of the international search report 07 February.2013 (07.02.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fang Telephone No. (86-10) 62411844

International application No.
PCT/CN2012/084415

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101950733 A	19.01.2011	CN 101950733 B	27.06.2012
CN 102646684 A	22.08.2012	None	
US 6383878 B1	07.05.2002	TW 480663 B	21.03.2002

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/084415

Continue: CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

H01L 27/32 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/084415

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI;EPODOC;CNKI;IEE;CPRS,半导体, 衬底, 栅极, 蚀刻阻挡, 阵列, 通孔, semiconductor, wafer, substrate, gate, etching stop, array, hole

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101950733 A(友达光电股份有限公司) 19.1 月 2011 (19.01.2011)	1, 10, 19
A	说明书第 0041-0058 段, 附图 1-11	2-9, 11-18
P,X	CN 102646684 A(京东方科技集团股份有限公司) 22.8 月 2012(22.08.2012)	1-19
A	全文	
	US 6383878 B1(HUANG) 07.5 月 2002 (07.05.2002) 全文	1-19

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
15.1 月 2013(15.01.2013)

国际检索报告邮寄日期
07.2 月 2013 (07.02.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

章放
电话号码: (86-10) **62411844**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/084415

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101950733 A	19.01.2011	CN101950733 B	27.06.2012
CN102646684 A	22.08.2012	无	
US6383878 B1	07.05.2002	TW480663 B	21.03.2002

续：主题的分类

H01L 27/12 (2006.01) i

H01L 21/77 (2006.01) i

H01L 27/32 (2006.01) i