

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5114835号
(P5114835)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月26日 (2012.10.26)

(51) Int.Cl.

F I

GO 1 R 31/28 (2006.01)

GO 1 R 31/28 G

HO 1 L 21/822 (2006.01)

HO 1 L 27/04 T

HO 1 L 27/04 (2006.01)

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2005-282900 (P2005-282900)	(73) 特許権者	508189599
(22) 出願日	平成17年9月28日 (2005.9.28)		株式会社リキッド・デザイン・システムズ
(65) 公開番号	特開2007-95966 (P2007-95966A)		神奈川県横浜市港北区新横浜 2-3-4
(43) 公開日	平成19年4月12日 (2007.4.12)		クレシェンドビル 3F
審査請求日	平成20年2月14日 (2008.2.14)	(74) 代理人	100077838
			弁理士 池田 憲保
		(74) 代理人	100082924
			弁理士 福田 修一
		(72) 発明者	小山田 成聖
			東京都港区赤坂二丁目17番22号 赤坂
			ツインタワー東館17F 株式会社テクノ
			ロジー・アライアンス・グループ内
		審査官	堀 圭史
			最終頁に続く

(54) 【発明の名称】 3次元配線用BSCマクロ構造および半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

当該基板の内部に形成され、前記基デイジーチェーンチェーンを構成するように、互いにシリアル接続された複数のBSC（バウンダリスキャンセル）と、
前記BSCに前記基板内で電氣的に接続されると共に、前記BSCの一方の側または両側に形成され、開口内に配置された1または複数の電極接続開口電極と、
を備え、前記複数のBSCは、複数の前記電極接続開口電極が両側に配置された第1のBSC（10A）と、互いに接続されると共に、それぞれ、片側に単一の前記電極接続開口電極が配置された第2のBSC（10B）を含んでいることを特徴とする3次元配線用BSCマクロ構造。

【請求項2】

基板と、

当該基板の内部に形成され、前記基板内部でデイジーチェーンを構成するように、互いにシリアル接続された複数のBSC（バウンダリスキャンセル）と、
前記BSCに前記基板内で電氣的に接続されると共に、前記BSCの一方の側または両側に形成され、開口内に配置された複数の電極接続開口電極と、
を備え、前記複数のBSCは、互いに接続されると共に、それぞれ、片側に2つの前記電極接続開口電極が配置された複数の第2のBSC（10B）を含んでいることを特徴とする3次元配線用BSCマクロ構造。

【請求項 3】

シリコン基板と、

当該基板の内部に形成され、前記基板内部でデジチェーンを構成するように、互いにシリアル接続された複数の B S C (バウンダリスキャンセル) と、

前記 B S C に前記基板内で電氣的に接続されると共に、前記 B S C の一方の側または両側に形成され、開口内に配置された 1 または複数の電極接続開口電極と、

を備え、前記複数の B S C は、複数の前記電極接続開口電極が両側に配置された第 1 の B S C (1 0 A) と、互いに接続されると共に、それぞれ、片側に単一の前記電極接続開口電極が配置された第 2 の B S C (1 0 B) を含んでいることを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【 0 0 0 1 】

本発明は、3次元配線用 B S C マクロ構造およびその基板に関し、詳細には、バウンダリスキャンテストを行う場合に有効な 3次元配線用 B S C マクロ構造およびその基板に関する。

【背景技術】

【 0 0 0 2 】

I E E E 1 1 4 9 . 1 で規定されたバウンダリスキャンテストは、電子産業の中で幅広く普及している。かかるバウンダリスキャンテストは、L S I の周辺にバウンダリスキャンセル (以下、「B S C」と称する) を配置してスキャンできるようにすることにより、複数の L S I を含むプリント基板や M C M テストを容易にするテスト手法である (例えば、特許文献 1 参照) 。

20

【 0 0 0 3 】

バウンダリスキャンテストを行う方法として、B S C B u f f e r (B S C を内蔵している専用または汎用のスイッチ・アレーまたは双方向ドライバ I C) を用いる方法がある。図 6 は、B S C B u f f e r を使用してバウンダリスキャンテストを行う方法を説明するための図である。同図において、1 0 0 は基板を示しており、この基板 1 0 0 には、外部接続用 I / O 1 0 1 およびベアチップを搭載するためのパッド 1 0 2 が形成されている。1 1 0、1 2 0 はベアチップを示しており、ベアチップ 1 1 0、1 2 0 にはパッド 1 1 1、1 2 1 がそれぞれ形成されている。ベアチップ 1 1 0、1 2 0 のパッド 1 1 1、1 2 1 と、基板 1 0 0 のパッド 1 0 2 とは、ボンディングワイヤ 1 4 0 でワイヤボンディングされている。

30

【 0 0 0 4 】

バウンダリスキャンテストを行う場合には、基板 1 0 0 に、B S C B u f f e r 1 0 3 を配置して、T A P C o n t r o l l e r 1 3 0 でそのテストを行う。

【 0 0 0 5 】

【特許文献 1】特開平 9 - 1 3 9 4 0 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

40

しかしながら、上記従来の方法では、複数の L S I を 1 つのパッケージまたはモジュールに搭載する場合に、搭載する L S I の全ての入力点および出力点に、B S C B u f f e r 1 0 3 及びそのためのパッドを配置する必要があるため、部品点数の増加によるシステムサイズの肥大化とシステムがコストアップするという問題がある。

【 0 0 0 7 】

本発明は、上記課題に鑑みてなされたものであり、システムサイズを肥大化することなく、低コストな構成でバウンダリスキャンテストを行うことが可能な 3次元配線用 B S C マクロ構造およびその基板を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

50

上述した課題を解決し、目的を達成するために、本発明は、基板と、当該基板の内部に形成され、前記基板内部でデジチェーンを構成するように、互いにシリアル接続された複数のＢＳＣ（バウンダリスキャンセル）と、前記ＢＳＣに前記基板内で電氣的に接続されると共に、前記ＢＳＣの一方の側または両側に形成され、開口内に配置された１または複数の電極接続開口電極と、を備え、前記複数のＢＳＣは、複数の前記電極接続開口電極が両側に配置された第１のＢＳＣ（１０Ａ）と、互いに接続されると共に、それぞれ、片側に単一の前記電極接続開口電極が配置された第２のＢＳＣ（１０Ｂ）を含んでいることを特徴とする３次元配線用ＢＳＣマクロ構造が得られる。

【０００９】

また、本発明の好ましい態様によれば、シリコン基板と、当該基板の内部に形成され、前記基板内部でデジチェーンを構成するように、互いにシリアル接続された複数のＢＳＣ（バウンダリスキャンセル）と、前記ＢＳＣに前記基板内で電氣的に接続されると共に、前記ＢＳＣの一方の側または両側に形成され、開口内に配置された１または複数の電極接続開口電極と、を備え、前記複数のＢＳＣは、複数の前記電極接続開口電極が両側に配置された第１のＢＳＣ（１０Ａ）と、互いに接続されると共に、それぞれ、片側に単一の前記電極接続開口電極が配置された第２のＢＳＣ（１０Ｂ）を含んでいることを特徴とする半導体装置が得られる。

【００１０】

また、本発明の好ましい態様によれば、前記開口電極は、集積回路の電極とワイヤボンディングまたはバンプで接続されることが望ましい。

【００１１】

また、本発明の好ましい態様によれば、本発明の３次元配線用ＢＳＣマクロ構造を基板に搭載することが望ましい。

【発明の効果】

【００１２】

本発明の３次元配線用ＢＳＣマクロ構造によれば、基板内に配置された１または複数のＢＳＣ（バウンダリスキャンセル）と、前記ＢＳＣに接続され、その一方の側または両側に形成された１または複数の電極接続用の開口電極とを備え、前記ＢＳＣと前記開口電極との間の電氣的な接続を基板内で行っており、且つ、開口電極には、ベアチップの電極、例えば、バンプを直接接続できる。したがって、本発明は、システムサイズを肥大化することなく、低コストな構成でバウンダリスキャンテストを行うことが可能な３次元配線用ＢＳＣマクロ構造およびその基板を提供することが可能になるという効果を奏する。

【発明を実施するための最良の形態】

【００１３】

以下に、この発明につき図面を参照しつつ詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。また、下記実施例における構成要素には、当業者が容易に想定できるものまたは実質的に同一のものが含まれる。

【実施例】

【００１４】

図１－１は、本発明に係る３次元配線用ＢＳＣマクロ構造を搭載した基板の構成を説明するための模式図であり、図１－１は、本発明に係る３次元配線用ＢＳＣマクロ構造を搭載した基板の平面構成を示す図、図１－２は、本発明に係る３次元配線用ＢＳＣマクロ構造を搭載した基板の断面構成を示す図である。

【００１５】

図１－１および図１－２において、１は基板を示しており、例えば、Ｓｉ基板、有機ＥＬ素子・液晶素子等を搭載可能なガラス基板およびプラスチック基板、並びにプリント基板等である。この基板１には、３次元配線用ＢＳＣマクロ構造１０Ａ、１０Ｂが形成されている。

【００１６】

３次元配線用ＢＳＣマクロ構造１０Ａ、１０Ｂは、基板１の内部に形成されたＢＳＣ１２

10

20

30

40

50

と、B S C 1 2 に電氣的に接続されている略正形状を呈し、開口内に配置された開口電極 1 1 とを備えている。各 B S C 1 2 はシリアル接続され、ディジーチェーンを形成している。図示されているように、開口電極 1 1 は開口の底部に配置されており、当該開口電極 1 1 には、ベアチップをボンディングワイヤやバンプで接続するためのパッド 1 1 a が形成されている。

【 0 0 1 7 】

3次元配線用 B S C マクロ構造 1 0 A は、外部接続用のマクロセルであり、その開口電極 1 1 は、I / O の配線との接続およびベアチップの接続に使用される。3次元配線用 B S C マクロ構造 1 0 B は、内部接続用のマクロセルであり、その開口電極 1 1 はベアチップの接続に使用される。

10

【 0 0 1 8 】

図 2 - 1 は、3次元配線用 B S C マクロ構造 1 0 A の構成を示す平面図である。3次元配線用 B S C マクロ構造 1 0 A は、図 2 - 1 に示すように、B S C 1 2 を中心として、その両側に開口電極 1 1 を接続した構成となっている。また、3次元配線用 B S C マクロ構造 1 0 B は、図 2 - 2 に示すように、2つの B S C 1 2 を接続し、各 B S C 1 2 に開口電極 1 1 を接続した構成となっている。

【 0 0 1 9 】

つぎに、基板 1 にベアチップを搭載してバンダリスキャンテストを行う場合について説明する。図 3 - 1 は、基板 1 にベアチップ 2 0、3 0 を搭載した状態を示す平面図、図 3 - 2 は、基板 1 にベアチップ 2 0、3 0 を搭載した状態を示す断面図である。

20

【 0 0 2 0 】

図 3 - 1 および図 3 - 2 に示すように、ベアチップ 2 0 は、上面の外周に複数のパッド 2 1 が形成されている。また、ベアチップ 3 0 は、底面の外周にパッド 3 1 およびバンプ 3 2 が形成されている。

【 0 0 2 1 】

ベアチップ 2 0 のパッド 2 1 と基板 1 に形成された開口電極 1 1 のパッド 1 1 a とは、ボンディングワイヤ 2 2 でワイヤボンディングして接続される。また、ベアチップ 3 0 のパッド 3 1 と開口電極 1 1 のパッド 1 1 a とは、バンプ 3 2 をリフローして接続される。このように、ベアチップを開口電極 1 1 にワイヤボンディングやバンプで直接接続（プラグイン）することができる。

30

【 0 0 2 2 】

バンダリスキャンテストを行う場合には、T A P C o n t r o l l e r 4 0 を B S C 1 2 に接続してバンダリスキャンテストを行う。

【 0 0 2 3 】

以上説明したように、本実施例の3次元配線用 B S C マクロ構造 1 0 A、1 0 B によれば、B S C 1 2 と、当該 B S C 1 2 に接続され、その一方の側または両側に形成された電極接続用の開口電極 1 1 とを備えているので、システムサイズを肥大化することなく、低コストな構成でバウンダリスキャンテストを行うことが可能となる。

【 0 0 2 4 】

（変形例 1）

40

上記実施例の3次元配線用 B S C マクロ構造 1 0 A、1 0 B では、B S C 1 2 に1つの開口電極 1 1 を接続することとしたが、本発明はこれに限られるものではなく、例えば、図 4 - 1 および図 4 - 2 に示すように、B S C 1 2 に複数の開口電極 1 1 を接続した構成としてもよい。

【 0 0 2 5 】

（変形例 2）

上記実施例の3次元配線用 B S C マクロ構造 1 0 A、1 0 B では、開口電極 1 1 の形状を略正形状としたが本発明はこれに限られるものではなく、例えば、図 5 に示すような形状としてもよい。

【産業上の利用可能性】

50

【 0 0 2 6 】

本発明に係る 3 次元配線用 B S C マクロ構造およびその基板は、バンダリスキャンテストを行うシステムに広く利用可能である。

【図面の簡単な説明】

【 0 0 2 7 】

【図 1 - 1】本発明に係る 3 次元配線用 B S C マクロ構造を搭載した基板の平面構成を示す図である。

【図 1 - 2】本発明に係る 3 次元配線用 B S C マクロ構造を搭載した基板の断面構成を示す図である。

【図 2 - 1】3 次元配線用 B S C マクロ構造の構成を示す平面図である（その 1）。 10

【図 2 - 2】3 次元配線用 B S C マクロ構造の構成を示す平面図である（その 2）。

【図 3 - 1】基板にベアチップを搭載した状態を示す平面図である。

【図 3 - 2】基板にベアチップを搭載した状態を示す断面図である。

【図 4 - 1】3 次元配線用 B S C マクロ構造の変形例を示す図である（その 1）。

【図 4 - 2】3 次元配線用 B S C マクロ構造の変形例を示す図である（その 2）。

【図 5】3 次元配線用 B S C マクロ構造の開口電極の形状の変形例を示す図である。

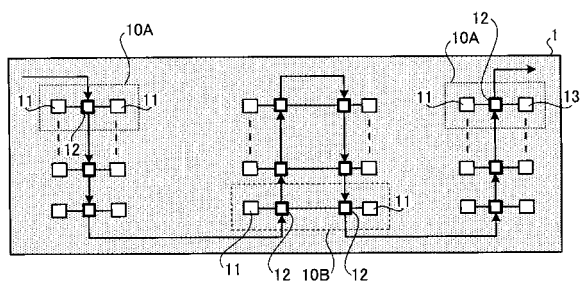
【図 6】従来技術を説明するための図である。

【符号の説明】

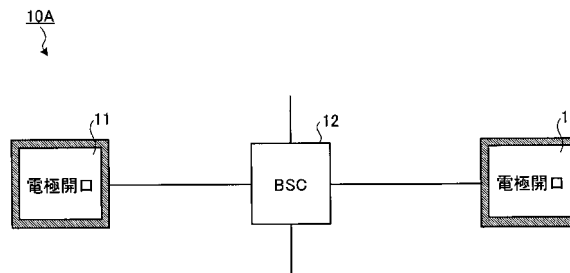
【 0 0 2 8 】

- 1 基板 20
- 1 0 A、1 0 B 3 次元配線用 B S C マクロ構造
- 1 1 開口電極
- 1 1 a パッド
- 1 2 B S C
- 2 0、3 0 ベアチップ
- 2 1、3 1 パッド
- 3 2 バンプ
- 4 0 T A P C o n t r o l l e r
- 1 0 0 基板
- 1 0 1 外部接続用 I / O 30
- 1 0 2 パッド
- 1 0 3 B S C B u f f e r
- 1 1 0、1 2 0 ベアチップ
- 1 3 0 T A P C o n t r o l l e r
- 1 4 0 ボンディングワイヤ

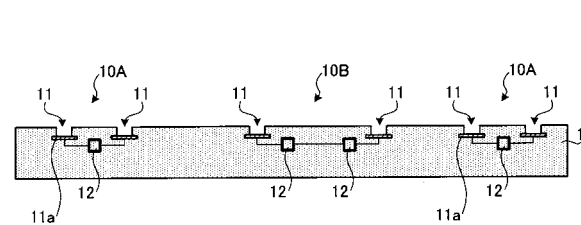
【図 1 - 1】



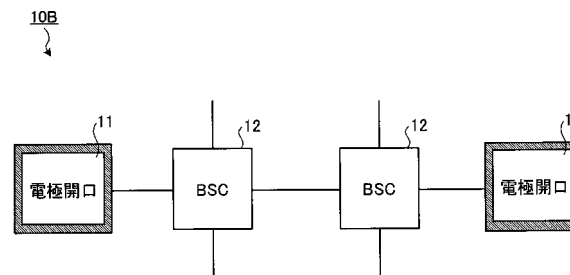
【図 2 - 1】



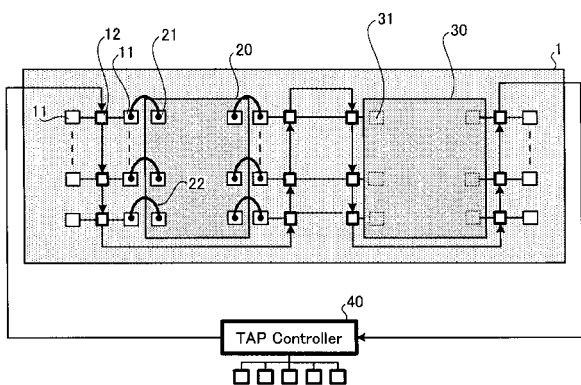
【図 1 - 2】



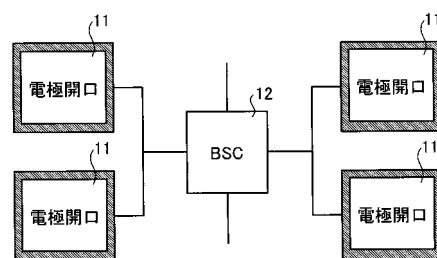
【図 2 - 2】



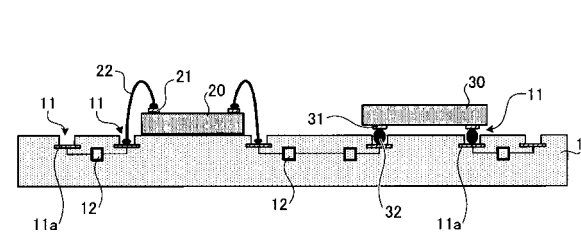
【図 3 - 1】



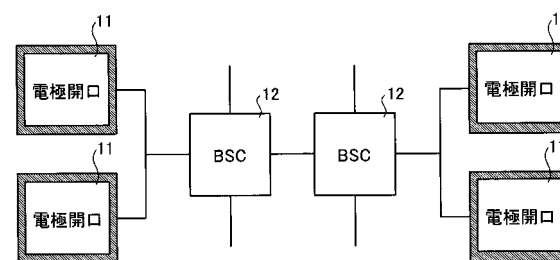
【図 4 - 1】



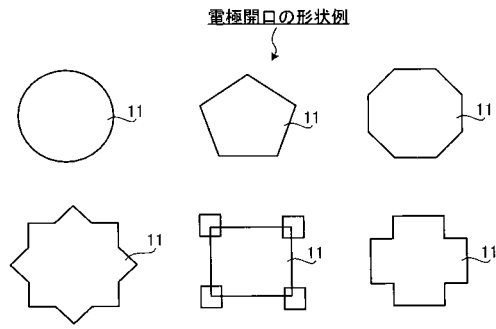
【図 3 - 2】



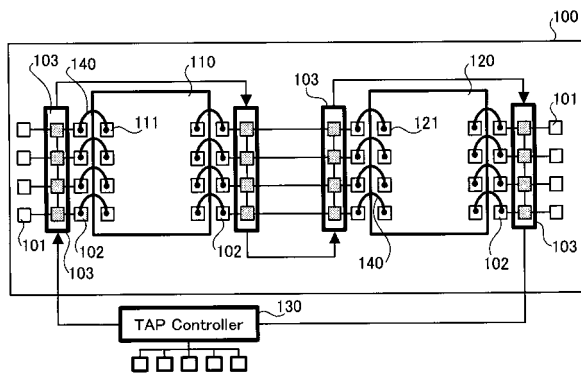
【図 4 - 2】



【図 5】



【図 6】



フロントページの続き

(56)参考文献 特開平 0 8 - 1 0 1 2 5 5 (J P , A)
特開 2 0 0 4 - 0 6 9 6 5 0 (J P , A)
特開 2 0 0 3 - 0 1 4 8 1 9 (J P , A)
特開 2 0 0 1 - 1 6 8 2 7 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 R 3 1 / 2 8 - 3 1 9 3
H 0 1 L 2 1 / 6 6 , 2 1 / 8 2 2 , 2 7 / 0 4