

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5053479号
(P5053479)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.	F I
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 V
GO 1 R 31/02 (2006.01)	GO 1 R 31/02
GO 2 F 1/13 (2006.01)	GO 2 F 1/13 1 O 1
GO 2 F 1/1345 (2006.01)	GO 2 F 1/1345
GO 9 F 9/00 (2006.01)	GO 9 F 9/00 3 5 2
請求項の数 2 (全 9 頁) 最終頁に続く	

(21) 出願番号	特願2000-280270 (P2000-280270)	(73) 特許権者	302020207
(22) 出願日	平成12年9月14日 (2000.9.14)		株式会社ジャパンディスプレイセントラル
(65) 公開番号	特開2002-90424 (P2002-90424A)		埼玉県深谷市幡羅町一丁目9番地2
(43) 公開日	平成14年3月27日 (2002.3.27)	(74) 代理人	100059225
審査請求日	平成19年8月28日 (2007.8.28)		弁理士 蔦田 璋子
		(74) 代理人	100076314
			弁理士 蔦田 正人
		(74) 代理人	100112612
			弁理士 中村 哲士
		(74) 代理人	100112623
			弁理士 富田 克幸
		(74) 代理人	100124707
			弁理士 夫 世進
		最終頁に続く	

(54) 【発明の名称】 マトリクスアレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数の画素が配列されてなる一つの画素領域と、この画素領域に隣接する周縁接続領域と、この周縁接続領域の外側に位置する除去予定領域と、前記画素領域にあって、略平行に配列される複数の走査線と、この走査線に絶縁膜を介して略直交して配列される複数の信号線と、これら走査線及び信号線により画されるマトリクス状の各領域に配置される画素電極と、

この画素電極ごとに設けられ、一の前記走査線と一の前記信号線との交点近傍にあって、一方の電極端子が該画素電極に接続し、他方の電極端子が該一の信号線に接続する各スイッチング素子と、

前記各信号線の一端または前記各走査線の一端から前記周縁接続領域へと引き出されて形成され、前記周縁接続領域に配列される接続パッドとを備えたマトリクスアレイ基板であって、

前記周縁接続領域には、一群の前記接続パッドがなす列と同列上で前記接続パッドの群の両側に配置されるとともに前記信号線または前記走査線もしくははその延在部と直接に接続されない複数のダミーパッドが形成され、

前記除去予定領域には前記画素領域の縁に略平行に延びる検査用配線が、前記画素領域からの距離を違えて複数本配置されるとともに、

前記検査用配線は、対応する前記信号線または前記走査線とは別の配線層に異なる金属パターンにて形成され、

互いに隣り合う前記信号線または互いに隣り合う前記走査線が、前記絶縁膜を貫通するコンタクトホールを介して、それぞれ相異なる前記検査用配線に電氣的に接続されていることを特徴とするマトリクスアレイ基板。

【請求項 2】

複数の画素が配列されてなる一つの画素領域と、この画素領域に隣接する周縁接続領域と、この周縁接続領域の外側に位置する除去予定領域と、前記画素領域にあって、略平行に配列される複数の走査線と、この走査線に絶縁膜を介して略直交して配列される複数の信号線と、これら走査線及び信号線により画されるマトリクス状の各領域に配置される画素電極と、

この画素電極ごとに設けられ、一の前記走査線と一の前記信号線との交点近傍にあって、一方の電極端子が該画素電極に接続し、他方の電極端子が該一の信号線に接続する各スイッチング素子と、

前記各信号線の一端または前記各走査線の一端から前記周縁接続領域へと引き出されて形成され、前記周縁接続領域に配列される接続パッドとを備えたマトリクスアレイ基板の製造方法であって、

アレイ原基板上にあって前記周縁接続領域中に、一群の前記接続パッドがなす列と同列上で前記接続パッドの群の両側に配置されるとともに前記信号線または前記走査線もしくはその延在部と直接に接続されない複数のダミーパッドが形成され、

前記除去予定領域中には前記画素領域の縁に略平行に延びる検査用配線が、前記画素領域の縁からの距離を違えて複数本配置され、

前記検査用配線は、対応する前記信号線または前記走査線とは別の配線層に異なる金属パターンにて形成され、

互いに隣り合う前記信号線または互いに隣り合う前記走査線が、前記絶縁膜を貫通するコンタクトホールを介して、それぞれ相異なる前記検査用配線に電氣的に接続されるときにも、

検査の終了後、前記除去予定領域が除去されることを特徴とするマトリクスアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に代表される平面表示装置や、X線検出装置に代表される平面検出器等を得るためのマトリクスアレイ基板に関する。

【0002】

【従来の技術】

近年、液晶表示装置等の平面表示装置は、薄型、軽量、低消費電力の特徴を生かして、パーソナル・コンピュータ、ワードプロセッサあるいはTV等の表示装置として、更に投射型の表示装置として各種分野で利用されている。

【0003】

中でも、各画素電極にスイッチ素子が電氣的に接続されて成るアクティブマトリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【0004】

以下に、光透過型のアクティブマトリクス型液晶表示装置を例にとり、その構成について簡単に説明する。

【0005】

一般に、アクティブマトリクス型液晶表示装置は、マトリクスアレイ基板（以下アレイ基板と呼ぶ）と対向基板とが所定の間隔をなすよう近接配置され、この間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されて成っている。

【0006】

アレイ基板においては、ガラス等の透明絶縁基板上に、上層の金属配線パターンとして例

10

20

30

40

50

えば複数本の信号線と、下層の金属配線パターンとして例えば複数本の走査線とが絶縁膜を介して格子状に配置され、格子の各マス目に相当する領域にITO (Indium-Tin-Oxide) 等の透明導電材料からなる画素電極が配される。そして、格子の各交点部分には、各画素電極を制御するスイッチング素子が配されている。スイッチング素子が薄膜トランジスタ (以下、TFTと略称する。) である場合には、TFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極に電氣的に接続されている。

【0007】

対向基板は、ガラス等の透明絶縁基板上にITO等から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

10

【0008】

矩形状のアレイ基板は、通常、同様に矩形状の対向基板よりも少し寸法が大きく、アレイ基板が対向基板から一長辺側に突き出してなる長辺側の柵状周縁部には、各信号線に画像データ信号を入力するための信号線パッドが配列される。そして、これら信号線パッドには、1枚の駆動回路基板から、フレキシブル配線基板 (FPC:Flexible Print Circuit) またはテープキャリアパッケージ (TCP:Tape Carrier Package) を介して、画像データ信号が供給される。FPCは、ポリイミドなどの可撓性絶縁フィルム上に銅線パターン等の金属配線が形成されたものである。TCPは、さらに、駆動ICチップをそれぞれ一つ搭載してなるものである。長辺側の柵状周縁部に配列される信号線パッドは、通常、複数の信号線パッド群にまとめられており、TCPを用いる場合、各信号線パッド群にそれぞれ一つの信号線側TCPが接続する。

20

【0009】

一方、アレイ基板が対向基板から一短辺側に突き出してなる短辺側の柵状周縁部には、各走査線にスイッチング素子駆動用の走査信号を入力するための走査線パッドが配列されている。そして、これら走査線パッドには、信号線パッドの場合と同様に、駆動回路基板からFPCまたはTCPを介して走査信号が供給される。短辺側の柵状周縁部に配列される走査線パッドも、通常、一つまたは複数の走査線パッド群にまとめられており、各走査線パッド群に走査線側TCPが接続する。

【0010】

近年、液晶表示装置に対する市場・用途が急拡大するとともに、一般に画像表示性能に対する要求が高まっており、画像表示の高精細化が進みつつある。例えばノートPC用としてはVGA (640×480画素) やSVGA (800×600画素) のものが用いられていたところ、XGA (1024×768画素) のものが用いられつつあり、SXGA (1280×1024画素) やUXGA (1600×1200画素) を採用する例も出てきている。一部にはQUXGA (3200×2400画素) の液晶表示装置も開発されるに至っている。

30

【0011】

ところがこのような高精細 (高解像度) の液晶表示装置であると、信号線パッドや走査線パッドの配列間隔が約50μmまたはそれ以下まで狭くなりつつある。

【0012】

一般に、アレイ基板または液晶表示装置の検査のためには、柵状周縁部にある各パッドにプローブピンを接触させ検査信号を入力して、電氣的検査 (断線の有無や電気容量またはTFT特性についての検査)、または点灯検査 (画素表示による検査) を行なっていた。

40

【0013】

【発明が解決しようとする課題】

しかし、パッド配列ピッチが約50μm以下である場合に、各パッドに正確にプローブピンを接触させることは困難であった。また、可能であるとしても、非常に高精度のプローブピンを多数用いる必要があり、検査装置が高価なものとなるほか、作業負担も非常に大きいものとなる。

【0014】

50

そこで、アレイ基板上に作り込んだ配線により、各信号線または各走査線に検査信号を入力することも考えられるが、これら配線は液晶表示装置の製品に残留するものである場合、液晶表示装置の使用時には、これら検査用配線が各信号線または各走査線を短絡させてしまうこととなる。

【0015】

本発明は、上記問題点に鑑みなされたものであり、平面表示装置等を得るためのマトリクスアレイ基板において、検査を容易かつ安価に行なうことができるものを提供する。

【0016】

【課題を解決するための手段】

請求項1のマトリクスアレイ基板は、略平行に配列される複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線により画されるマトリクス状の各領域に配置されて全体で一つの画素領域をなす画素電極と、この画素電極ごとに設けられ、一の前記走査線と一の前記信号線との交点近傍にあって、一方の電極端子が該画素電極に接続し、他方の電極端子が該一の前記信号線に接続する各スイッチング素子と、前記各信号線の一端または前記各走査線の一端から前記画素領域の外へと引き出されて形成され、前記画素領域の縁に沿って配列される接続パッドとを備えたマトリクスアレイ基板であって、前記画素領域の外側に、前記画素領域の縁に沿って延びる検査用配線が、前記画素領域に近い側から遠い側へと複数本配置され、前記検査用配線の近傍において、互いに隣り合う前記信号線または互いに隣り合う前記走査線が、それぞれ相異なる前記検査用配線に電氣的に接続することを特徴とする。

【0017】

上記構成により、検査を容易かつ安価に行なうことができる。特に、周縁部の接続パッドの配列ピッチが50 μm 以下である場合にも容易かつ確実に検査を行なうことができる。

【0018】

【発明の実施の形態】

実施例のマトリクスアレイ原基板について、図1～3を用いて説明する。ここで、マトリクスアレイ原基板とは、いわゆる1面取りにおいては、周縁部がスクライブ等により分断除去される前の状態のアレイ基板をいう。また、いわゆる多面取りにおいては、個々のアレイ基板を切り出す前の状態のアレイ基板をいう。

以降、アレイ原基板ということにする。

【0019】

図1は、実施例のアレイ原基板2の配線様式を模式的に示す配線図（等価回路図）である。図2は、各信号線パッド群の近傍の構成を示す模式的な平面図であり、図3は、1面取りの場合のアレイ原基板2の全体を示す模式的な平面図である。

【0020】

実施例において、アレイ原基板2から作成される平面表示装置は、画像表示領域の対角寸法が15インチであってUXGA-TFT型のノーマリホワイトモードの光透過型液晶表示装置である。アレイ原基板2は、360×465mmの透明なガラス基板の上に種々の配線や成膜のパターンが作成されたものである。図3に示すように、実施例のアレイ原基板2は1面取りであり、一つのアレイ基板10を切り出すためのものである。しかし、以下の説明において、多面取りであっても全く同様である。

【0021】

アレイ原基板2は、矩形状の切り出し後のアレイ基板10に対応する領域と、この四周の除去予定領域A3とからなり、さらに、アレイ基板10に対応する領域は、対向基板と重ね合わされる個所に形成される画素領域A1と、対向基板から一長辺側及び一短辺側に突き出す周縁接続領域A2とからなる。なお、アレイ基板10の一長辺側及び一短辺側のみに、接続パッド等を設けるための周縁接続領域を配置し、例えばもう一方の長辺側に配置しないのは、アレイ基板10における画素領域A1の比率を大きくし、基板の利用効率を高めるためである。

【0022】

画素領域 A 1 においては、 1600×3 本の信号線 6 1 と、1200 本の走査線 1 1 とが互いにほぼ直交するように配列される(図 2 参照)。信号線 6 1 及び走査線 1 1 が形作る格子の各マス目中には ITO (Indium Tin Oxide) 等の透明導電材料からなる画素電極 5 1 が配される。信号線 6 1 及び走査線 1 1 の各交点付近には、信号線 6 1 から画素電極 5 1 への画像データ電圧の入力をスイッチングするスイッチング素子としての画素電極用 TFT が、それぞれ配される。

【0023】

周縁接続領域 A 2 にあって、切りだし後のアレイ基板 1 0 についての一長辺 1 0 a に沿った側には、信号線 6 1 からの引き出し配線、及びその先端に形成される信号線パッド 6 4 が配列される。これら信号線パッド 6 4 は、図 2 に示すように、所定の数 m ごとにまとめられて、複数の信号線パッド群 6 5 -1, -2, ... をなしている。これら信号線パッド群 6 5 は、周縁接続領域 A 2 に実装される各 T C P の出力端子群に対応して設けられたものである。

10

【0024】

また、各信号線パッド群 6 5 の両端には、それぞれ、基板内側から信号線 6 1 が接続しない二つのダミーパッド 3 2 -1, -2 が設けられている。ダミーパッドは、信号線パッド群 6 5 上に T C P または駆動 I C チップの出力端子部を実装する際に、両端における機械的接続を確実に行なわせ、機械的衝撃やひずみによる接続個所の剥離を確実に防止するものである。

【0025】

20

図 2 中では、ダミーパッド 3 2 -1, -2 の寸法が信号線パッド 6 4 の寸法に略一致するように描かれているが、通常、ダミーパッド 3 2 -1, -2 は他のパッドより大きく形成され、検査装置の端子を容易に接触させることができる。

【0026】

図 1 ~ 2 に示すように、各信号線パッド群 6 5 の外側には、信号線パッド 6 4 の配列方向に沿って、すなわち切りだし後のアレイ基板 1 0 についての上記一長辺 1 0 a に沿って、信号線パッド 6 4 の検査のための 2 本の検査用配線 3 1 -1, -2 が、それぞれ設けられている。各信号線パッド 6 4 の外側端から検査用配線 3 1 へと短い接続配線 3 3 が延びており、各信号線パッド群 6 5 内において互いに隣り合う信号線パッド 6 4 が互いに異なる検査用配線 3 1 に接続するように配線されている。例えば、図 2 に示すように、信号線パッド群 6 5 の一端から数えて奇数番目 ($2n + 1$ 番、 $0 \leq n$ (整数) $m / 2$) の信号線パッド 6 4 -1, -3, ... が内側の検査用配線 3 1 -1 に接続され、偶数番目の信号線パッド 6 4 -2, -4, ... が外側の検査用配線 3 1 -2 に接続される。

30

【0027】

内側及び外側の検査用配線 3 1 -1, -2 は、両端が接続配線 3 4 を介して、内側及び外側のダミーパッド 3 2 -1, -2 にそれぞれ接続している。すなわち、内側のダミーパッド 3 2 -1 は、内側の検査用配線 3 1 -1 を介して、信号線パッド群 6 5 内の奇数番目の各信号線パッド 6 4 -1, -3, ... と接続しており、外側のダミーパッド 3 2 -2 は、外側の検査用配線 3 1 -2 を介して、信号線パッド群 6 5 内の偶数番目の各信号線パッド 6 4 -2, -4, ... と接続している。

40

【0028】

なお、検査用配線 3 1 -1, -2 は信号線パッド 6 4 及び接続配線 3 3 とは異なる金属層の配線パターンにより形成される。詳しくは、信号線 6 1、信号線パッド 6 4 及び接続配線 3 3 が第 2 金属層パターンにより形成されるのに対し、検査用配線 3 1 -1, -2 は、走査線 1 1 及び走査線パッド 1 4 と同時に第 1 の金属層パターンにより形成される。そして、接続配線 3 3 と検査用配線 3 1 -1, -2 とは、金属層パターン間の絶縁膜を貫くコンタクトホール 4 1 を介して接続される。

【0029】

アレイ基板 1 0 の一短辺 1 0 b に沿った側、すなわち走査線パッド 1 4 の個所についても、上記の信号線パッド 6 4 付近の個所と全く同様である。

50

【 0 0 3 0 】

まず、周縁接続領域 A 2 にあって、切りだし後のアレイ基板 1 0 の一短辺 1 0 b に沿った側についても、同様に、走査線 1 1 からの引き出し配線、及びその先端に形成される走査線パッド 1 4 が配列される。走査線パッド 1 4 は、一つまたは複数の走査線パッド群 1 5 にまとめられており、各走査線パッド群 1 5 の両端にも、二つのダミーパッドが設けられる。そして、各走査線パッド 1 4 が接続配線 3 7 を介して、内側及び外側の検査用配線 3 5 -1, -2 のいずれかに接続しており、隣り合う走査線パッド 1 4 は異なる検査用配線 3 5 に接続されるように配線されている。また、走査線 1 1、走査線パッド 1 4 及び接続配線 3 7 が第 1 の金属層パターンにより形成されるのに対して、検査用配線 3 5 -1, -2 は、信号線 6 1 等と同時に第 2 の金属層パターンにより形成され、絶縁膜を貫くコンタクトホール 4 1 を介して、各接続配線 3 7 といずれかの検査用配線 3 5 -1, -2 とが接続される。

10

【 0 0 3 1 】

上記のようなアレイ原基板 2 は、複数の成膜、パターニング及び洗浄の工程を経て完成された際には、対向基板と貼り合わせる前に、断線の有無や電気容量または T F T 特性の不良の有無等についての検査が行なわれる。

【 0 0 3 2 】

このアレイ検査工程においては、検査パッドを兼ねるダミーパッド 3 2 に検査装置の検査端子を接続させるだけで隣り合う信号線に異なる検査用信号電位を供給することができ、これにより、アレイ基板の各部分の電気的特性について十分な検査を行うことができる。例えば、隣り合う信号線 6 1 間の短絡は、二つのダミーパッド 3 2 -1, -2 間の抵抗値を測定することにより検出することができる。隣り合う走査線 1 1 についても全く同様である。

20

【 0 0 3 3 】

アレイ検査工程を経た後、アレイ原基板は、シール材を塗布した対向基板と貼り合わされて液晶材料が注入された後、周囲の不要部分がスクライプ等により分断除去される。

【 0 0 3 4 】

上記実施例のようなアレイ原基板であると、接続パッド間の間隔が 5 0 μ m 以下となった場合にも、検査装置の検査端子を容易かつ確実に接触させて検査を行なうことができる。また、精密で高価な検査プローブを省くことができるので、製造コストを低減することができる。

30

【 0 0 3 5 】

上記実施例においては、信号線パッド群 6 5 ごとに、2 本の検査用配線 3 1 -1, -2、及び検査用パッドを兼ねるダミーパッド 3 2 -1, -2 が設けられるものとして説明したが、信号線パッド 6 4 の全てについて、2 本の検査用共通配線、及び 2 個の検査用パッドを配する構成とすることもできる。走査線パッドの側についても同様である。このような場合にも、上記実施例とほぼ同様の効果が得られる。

【 0 0 3 6 】

また、上記実施例では、信号線 6 1 と検査用配線 3 1 とが、信号線パッド 6 4 及び短い接続配線 3 3 を介して接続するものとして説明したが、信号線パッド 6 4 を経ずに引き出された接続配線と検査用配線 3 1 とが接続するようにすることもできる。例えば、切り出し後のアレイ基板 1 0 のもう一方の長辺 1 c に沿って検査用配線が配置され、信号線 6 1 が信号線パッド 6 4 とは逆の側で、除去予定領域 A 3 に引き出されて検査配線に接続するようにすることもできる。

40

【 0 0 3 7 】

上記実施例においては、内側及び外側の 2 本の検査用配線を並べるものとして説明したが、3 本以上の検査用配線を設け、互いに隣り合う接続パッドが異なる検査用配線に接続されるようにすることもできる。

【 0 0 3 8 】

また、上記実施例においては、検査用配線 3 1, 3 5 がスクライプ等のガラス基板の分断により除去されるものとして説明したが、検査後に、砥石やレーザーで除去されるもの

50

であっても良い。

【 0 0 3 9 】

さらに、上記実施例においては、検査用配線がアレイ検査工程で用いられるものとして説明したが、場合によっては、液晶セルに組み立てた後の点灯検査の際に用いることもできる。この場合は、点灯検査の後に、検査用配線が配された周縁部分を分断除去するか、または検査用配線の個所をレーザー等により除去することができる。

【 0 0 4 0 】

本実施例では、液晶表示装置用のマトリクスアレイ基板の例について説明したが、マトリクスアレイ基板をしようする製品であれば、例えば、平面型 X 線検出装置等に用いられるマトリクスアレイ基板であっても良い。

10

【 0 0 4 1 】

【発明の効果】

液晶表示装置用等のマトリクスアレイ基板において、検査を容易かつ安価に行なうことができる。特に、周縁部の接続パッドの配列ピッチが $50\ \mu\text{m}$ 以下である場合にも容易かつ確実に検査を行なうことができる。

【図面の簡単な説明】

【図 1】実施例の液晶表示装置におけるアレイ基板の配線様式を模式的に示す平面図である。

【図 2】各信号線パッド群の近傍の構成を示す模式的な平面図である。

【図 3】1 面取りの場合のアレイ原基板 2 の全体を示す模式的な平面図である。

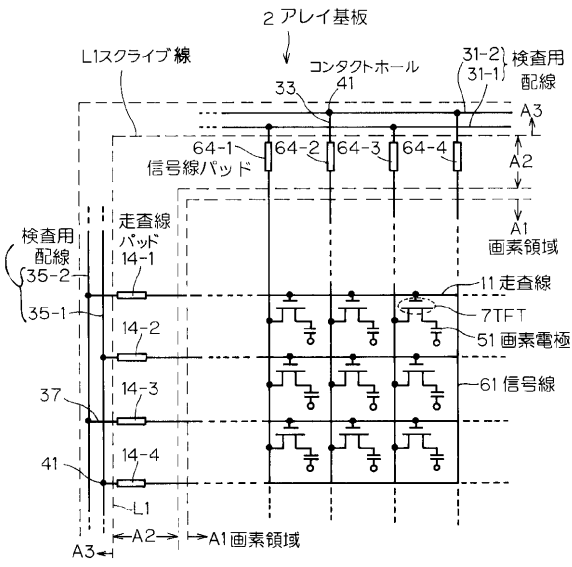
20

【符号の説明】

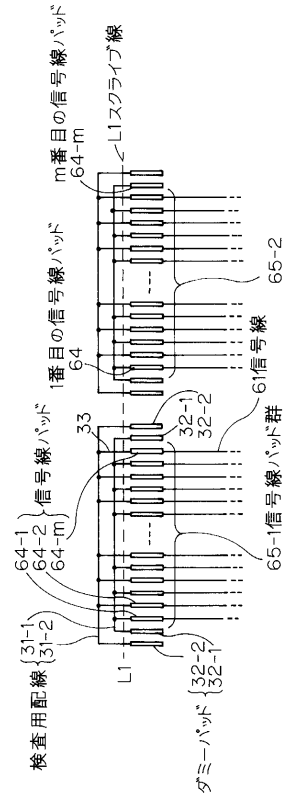
- 1 1 走査線
- 1 4 走査線パッド
- 2 アレイ原基板(分断除去前のアレイ基板)
- 3 1 信号線パッド群の検査用配線
- 3 2 信号線パッド群の両端のダミーパッド
- 3 5 走査線パッド群の検査用配線
- 3 6 走査線パッド群の両端のダミーパッド
- 4 1 コンタクトホール
- 5 1 画素電極
- 6 1 信号線
- 6 4 信号線パッド
- 6 5 信号線パッド群
- 7 T F T
- A 1 画素領域
- A 2 周縁接続領域
- A 3 除去予定領域
- L 1 スクライプ線(分断予定線)

30

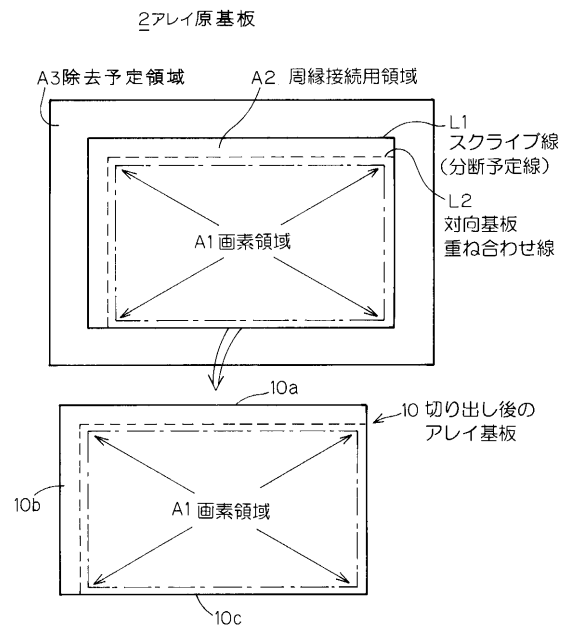
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 (2006.01) G 0 9 F 9/30 3 3 0 Z
G 0 9 F 9/30 3 3 8

(72)発明者 林 央晶
兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内

審査官 堀 圭史

(56)参考文献 特開平 0 3 - 0 9 4 2 2 3 (J P , A)
特開平 0 5 - 3 0 7 1 9 2 (J P , A)
特開平 1 0 - 1 7 7 1 8 4 (J P , A)
特開平 0 9 - 1 3 8 4 2 2 (J P , A)
特開平 0 5 - 3 4 1 2 4 6 (J P , A)
特開平 0 7 - 2 9 4 3 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G01R 31/00-04,31/26-3193
G09G 3/18,3/20,3/36
G02F 1/13
G09F 9/00