(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 274 531**

(51) Int. Cl.:
H04N 5/445 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(86) Número de solicitud europea: **97104981 .2**
(86) Fecha de presentación : **24.03.1997**
(87) Número de publicación de la solicitud: **0798920**
(87) Fecha de publicación de la solicitud: **01.10.1997**

(54) Título: **Disposición de circuito para la generación de una señal de una imagen que se puede representar en una pantalla.**

(30) Prioridad: **25.03.1996 DE 196 11 694**

(45) Fecha de publicación de la mención BOPI:
16.05.2007

(45) Fecha de la publicación del folleto de la patente:
16.05.2007

(73) Titular/es: **Micronas GmbH**
Hans-Bunte-Strasse 19
79108 Freiburg i. Br., DE

(72) Inventor/es: **Englert, Ulrich**

(74) Agente: **Lehmann Novo, María Isabel**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Venta de fascículos: Oficina Española de Patentes y Marcas. Pº de la Castellana, 75 – 28071 Madrid

DESCRIPCIÓN

Disposición de circuito para la generación de una señal de una imagen que se puede representar en una pantalla.

La invención se refiere a una disposición de circuito para la generación de una señal de una imagen que se puede representar en una pantalla con una relación de sincronización predeterminada.

Una disposición de circuito de este tipo se puede aplicar en combinación con la representación de caracteres y gráficos en una pantalla, en una llamada On-Screen-Display (OSD). La información OSD representable se representa en este caso de una manera asíncrona con respecto al pulso de reloj sincronizado horizontal y con respecto al pulso de reloj del punto de la imagen de la pantalla. Sin embargo, el pulso de reloj del punto de la imagen oscila. Esto se debe a que el pulso de reloj del punto de la imagen está acoplado en el sistema de sincronización de una fuente de señales de vídeo, cuya imagen se representa junto con la inserción de OSD en la pantalla, pudiendo oscilar el sistema de sincronización de la fuente de señales de vídeo. Tales oscilaciones aparecen especialmente en las señales de imágenes suministradas por un registrador de vídeo, en las que el pulso de reloj de los píxeles puede variar en virtud de las inexactitudes de la posición del cabezal de vídeo o en virtud de las oscilaciones de la velocidad de la cinta. Además, están presentes oscilaciones del pulso de reloj de los píxeles que están condicionadas por el sistema, puesto que el pulso de reloj de los píxeles es generado, como se conoce, por un circuito de regulación de fases que presenta una amplitud de oscilación de la regulación. Especialmente al comienzo de las líneas durante la fase de estabilización del circuito de regulación de fases, el pulso de reloj de los píxeles puede oscilar el doble.

En las soluciones conocidas hasta ahora, por ejemplo el módulo integrado SDA 5273 de Siemens, ver a este respecto la Información de Producto Siemens “ICs for Consumer Electronics, MEGATEXT, SDA 5273”, edición 5.93, páginas 14 - 18, todas las unidades funcionales internas, especialmente la memoria, el generador de pantalla así como las unidades funcionales conectadas a continuación del mismo, son controladas por el impulso de sincronización horizontal y por el pulso de reloj del punto de imagen derivado a partir de éste. Una memoria FIFO en la trayectoria de lectura sirve para la conversión de la representación 4 : 3 en una representación 16 : 9, como se describe en el documento EP-A- 0 597 197. Los pulsos de reloj de entrada y de salida de la memoria FIFO están acoplados entre sí a través de una relación fija. La memoria FIFO es controlada, por lo tanto, en SDA 5273 tanto en el lado de entrada como también en el lado de salida por un sistema de pulso de reloj que está acoplado en el pulso de reloj de sincronización horizontal y en el pulso de reloj de píxeles de la pantalla.

En esta realización es problemático que todas las unidades funcionales, que son controladas por el sistema de pulso de reloj de reproducción, que está sometido, como se ha descrito anteriormente, a oscilaciones considerables, deben dimensionarse para la frecuencia de pulso de reloj máxima posible previsible. Esto eleva el gasto de circuito e implica el peligro de que el sistema falla con picos de frecuencia. Además, en el caso de una adaptación del sistema a otras normas de frecuencia, debe reelaborarse el circuito completo.

El documento EP 0 381 271 describe un dispositivo de representación para la representación opcional de imágenes en el formato 9 : 16 o formato 3 : 4. En una memoria de imágenes, en este dispositivo de representación se inscriben y se leen datos de imágenes con la misma velocidad, cuando debe representarse la imagen en el formato 9 : 16. Para una representación en el formato 3 : 4, los datos de imagen son leídos desde la memoria más rápidamente que son inscritos en la memoria.

El cometido de la invención consiste en mejorar una disposición de circuito del tipo mencionado al principio, de tal forma que a pesar de las modificaciones y oscilaciones del pulso de reloj de representación, es necesario un gasto de circuito más reducido.

De acuerdo con la invención, este cometido se soluciona a través de una disposición de circuito de acuerdo con las características de la reivindicación 1 de la patente.

En la disposición de circuito de acuerdo con la invención, se controlan el lado de entrada y el lado de salida de la memoria FIFO por señales de pulso de reloj, en general, asíncronas entre sí. Puesto que la trayectoria del circuito hasta el lado de entrada de la memoria FIFO es controlada con un pulso de reloj constante, derivado, por ejemplo, desde un oscilador de cuarzo, las instalaciones de circuito correspondientes solamente son dimensionadas para su frecuencia de pulso de reloj. Para frecuencias oscilantes de pulso de reloj, solamente debe dimensionarse el lado de salida de la memoria FIFO así como el convertidor D/A conectado a continuación.

Actualmente, un aparato de televisión posee una arquitectura de bus. Una pluralidad de unidades funcionales se comunican a través de un bus de datos común, especialmente también la memoria de vídeo así como el generador de pantalla, que es alimentado con datos desde la memoria de vídeo, a continuación del cual están conectadas unidades funcionales, tales como la memoria FIFO y el convertidor analógico a digital. La disposición de circuito de acuerdo con la invención presenta, en combinación con una estructura de bus, la ventaja de que debido a la memorización intermedia a través de la memoria FIFO, no es necesario que, durante una reproducción de OSD, el bus sea bloqueado constantemente por el tráfico de datos entre la memoria de vídeo y el generador de pantalla, sino que se pueden procesar también accesos al bus de prioridad más elevada durante una reproducción de OSD. En un sistema de acuerdo con el estado de la técnica, un acceso al bus de prioridad elevada conduciría a un error de píxel en la imagen reproducida de OSD.

Además, se puede utilizar el mismo circuito con un diseño correspondiente de la trayectoria de lectura de la memoria FIFO en sistemas con diferente frecuencia de reproducción, por ejemplo tanto para el control de aparatos de televisión como también para la activación de monitores de alta resolución para ordenadores personales, que tienen una frecuencia de reproducción relativamente alta. La diferencia en la reproducción de la pantalla reside solamente en que, con elevada frecuencia de reproducción, los caracteres reproducidos rellenan una sección más pequeña en la pantalla.

A continuación se explica en detalle la invención con la ayuda del ejemplo de realización representado en el dibujo. En este caso:

La figura 1 muestra un diagrama de principio de una disposición de acuerdo con la invención.

La figura 2 muestra una representación de los estados en la memoria FIFO, cuando la frecuencia de reproducción es más reducida que la frecuencia del sistema y

La figura 3 muestra una representación correspondiente para el caso inverso.

La disposición de circuito de acuerdo con la figura 1 representa una parte de un aparato de televisión para On-Screen-Display. Con esta pantalla se pueden representar en una pantalla caracteres y gráficos discrecionales, por ejemplo también aquéllos que se transmiten a través de una norma de teletexto. Las unidades funcionales del circuito intercambian datos entre sí a través de un bus 1. La información OSD a representar está memorizada en una memoria de vídeo 2. La memoria de vídeo 2 contiene o bien valores de exploración para cada punto de la imagen a representar o información codificada, que se convierte entonces (como se representa en la figura 1) a través de un generador de pantalla 3 en valores de exploración para puntos de la imagen. La memoria de vídeo 2 se describe a través de una instalación de escritura 4 y se lee por medio de un generador de direcciones de lectura 5. Además, en el bus de datos 1 están conectadas otras unidades, como por ejemplo un controlador 6. Los valores de exploración generados por el generador de pantalla 3 para los puntos de imagen a representar son convertidor en un convertidor digital a analógico 7 en señales analógicas de color rojo - verde - azul, a través de las cuales se puede activar un tubo de la imagen.

Entre el generador de pantalla 3 y el convertidor D/A 7 está conectada una memoria intermedia 8 con modo de funcionamiento First-In-First-Out FIFO. De acuerdo con la invención, el lado de entrada de la memoria intermedia 8 así como las unidades 2 ... 5 conectadas delante en la trayectoria de los datos son activados por un generador de pulso de reloj 9, que emite una señal CLKQ con frecuencia de pulso de reloj constante, predeterminada. El generador de pulso de reloj de la FIFO 8 es de una manera más conveniente un oscilador de cuarzo. El lado de salida de la FIFO 8 así como su convertidor D/A conectado a continuación son controlados por el sistema de pulso de reloj de reproducción, que presenta un pulso de reloj de píxeles CLKP. Además, ser alimentan impulsos de sincronización horizontal derivados a partir de la pantalla, un impulso HSYNC, a través del cual se inicia el retorno de las líneas del haz de electrones de la pantalla, y a través del cual se identifica el final de la línea, así como un impulso HSYNCD, un impulso de sincronización horizontal retardado, a través del cual se establece el comienzo de una línea. Entre dos impulsos consecutivos de HSYNC y HSYNCD se lleva a cabo el retorno de las líneas del haz de electrones (la llamada laguna de exploración horizontal). La memoria FIFO 8 genera, además, un impulso de espera W, que es alimentado al generador de direcciones de lectura 5 y a través del cual se detiene la lectura desde la memoria 2, así como un impulso HDG, que comunica al generador de direcciones 5 el comienzo de la lectura. El control del generador de pantalla 3 y de la memoria 2 se lleva a cabo en función del nivel de llenado de la memoria FIFO 8, que se indica a través del espacio de la memoria que está ocupado con valores de exploración.

El modo de actuación de la memoria FIFO 8 en la disposición de circuito representada se explica en detalle con la ayuda de los diagramas de las figuras 2 y 3. La memoria FIFO 8 está realizada en este caso como memoria anular, es decir, que los generadores de direcciones de escritura y de lectura son en cada caso contadores, que cuentan en sentido ascendente y que comienzan de nuevo de una manera automática en el límite superior de recuento. En las figuras 2 y 3 se representa la curva de los contadores de escritura y de lectura de la memoria FIFO 8 con línea continua y con línea discontinua. El nivel de llenado se calcula a través de la posición relativa de los contadores de escritura y de lectura entre sí en la memoria FIFO.

En el caso de la figura 2, la inscripción en la memoria FIFO 8 se lleva a cabo de una manera más rápida que la lectura, es decir, que la frecuencia de pulso de reloj de la señal de pulso de reloj CLKQ de frecuencia fija es mayor que la frecuencia de lectura del pulso de reloj de píxeles CLKP. La memoria presenta una capacidad de memoria de una pluralidad de píxeles CAP (puntos de la imagen). En el caso de un impulso HSYNCD, que indica el comienzo de la línea, se pone en marcha en 20 el contador de lectura ya repuesto. En menos en este instante, de una manera más conveniente ya con anterioridad, se lleva a cabo con el puntero 21 la inscripción en la memoria FIFO 8. De una manera más conveniente se comienza con la inscripción con un impulso de retorno de línea HSYNC. El proceso de inscripción se prosigue hasta que se alcanza un umbral TH. Por medio de la emisión de un impulso de espera W a la instalación de lectura 5 se detiene la lectura desde la memoria 2. Cuando el nivel del contador de lectura, que trabaja de forma continua, de la memoria FIFO, ha alcanzado el umbral TH en el lugar 22, se prosigue el proceso de lectura. Si los contadores de inscripción y de lectura han llegado al límite superior de la dirección 23 y 24, respectivamente, se reponen y comienzan inmediatamente después en el estado inicial del contador cero. Este proceso se repite dos veces en el presente caso, como se designa con 25 y 26, hasta que aparece en el lugar 27 otro impulso de retorno de línea HSYNC, a través del cual se reponen el contador de inscripción y el contador de lectura, comenzando el primero de

nuevo con la precarga de la memoria FIFO y esperando el último el impulso de sincronización horizontal retardado HSYNCD.

La curva de recuento representada está representada de una manera ideal de tal manera que no se representan retardos de tiempo internos, por ejemplo para el inicio, para el ajuste previo de valores de registro, etc. Por ejemplo, se produce un retardo de tiempo en el lugar 23, cuando se prosigue el proceso de lectura. Por lo tanto, es conveniente continuar el proceso de lectura cuando el contador de lectura alcanza un segundo umbral, que es más bajo, en la medida del tiempo de retardo interno, que el umbral TH representado. De una manera correspondiente, existe un retardo interno en el lugar 27, cuando se inicia el proceso de inscripción para la nueva línea, que está condicionada porque en la memoria de vídeo 2 y en el generador de pantalla 3 se realizan ocupaciones previas correspondientes para conmutar a los datos para una nueva línea de la imagen.

En la figura 3 se representan el nivel del contador de escritura (línea continua) y el nivel del contador de lectura (línea discontinua), donde la frecuencia de pulso de reloj de la señal de pulso de reloj CLKQ de frecuencia fija es más lenta que la frecuencia de pulso de reloj de píxeles CLKP. La memoria FIFO es ya lo más amplia posible a la aparición del impulso de sincronización horizontal retardado HSYNCD, que indica el comienzo de la línea, de una manera preferida está totalmente precargada en 33. El contador de lectura ya está repuesto y se pone en marcha con el impulso HSYNCD. El contador de inscripción avance en adelante para la carga repetida de la memoria FIFO. De acuerdo con la relación de la frecuencia de pulso de reloj entre el pulso de reloj de inscripción y el punto de reloj de lectura (CLKW; CLKP) se pueden llevar a cabo una pluralidad de repeticiones de ciclos de inscripción y de lectura. Una condición es que no se crucen los punteros de inscripción y de lectura. En el presente caso, se lee con los punteros de inscripción 30, 31 dos veces de una manera consecutiva el contenido completo de la memoria FIFO; se inscribe con el puntero de escritura 32, estando ya llena la memoria FIFO previamente en el lugar 33. El número de las repeticiones de inscripción y de lectura se programa de una manera conveniente en función de la relación de las frecuencias de pulso de reloj CLKQ, CLKP y se comunica a la memoria FIFO como señal M2. Después del término de la última lectura en el lugar 34 se lleva a cabo de una manera más conveniente ya un impulso HDG, a través del cual se comunica al generador de direcciones 5 para la memoria de vídeo 2 que se inicia una línea nueva. A continuación, después del retardo interno, se lleva a cabo el proceso de precarga 35 de la memoria FIFO para las líneas de la imagen a leer y a representar con la aparición siguiente del impulso HSYNCD.

En general, en este caso de la figura 3 no se podrá describir la pantalla con anchura horizontal total con información OSD. Por lo tanto, de una manera más conveniente, al final 34 de la última pasada del contador durante la lectura dentro de una línea se deposita un valor constante en el convertidor D/A 7, para representar en el resto remanente de las líneas de la imagen un valor de fondo. En la práctica esto se realiza de tal forma que el contador de lectura permanece en su nivel máximo del contador 36 y emite el valor de esta célula de la memoria de una manera continua al convertidor D/A 7. Con el siguiente impulso de retorno de línea HSYNC se repone de nuevo el contador. De una manera alternativa a ello (no se representa), al comienzo del convertidor D/A 7 se puede prever un multiplexor, a través del cual se alimenta al convertidor 7 un valor constante. La conmutación entre los tipos de funcionamiento mostrados en las figuras 2 y 3, se representa para la memoria FIFO 8 a través de una señal M1 correspondiente. La señal M1 se genera de una manera automática a través de una comparación de la frecuencia de las señales CLKQ, CLKP de una manera convencional. Por ejemplo, esto se lleva a cabo a través de la activación paralela de los contadores con las señales CLKQ y CLKP, respectivamente, y a través de la comparación de los niveles de los contadores en un instante predeterminado.

El número de los valores de exploración a memorizar en la memoria FIFO depende de la cantidad de los puntos de la imagen a representar y de la relación de la frecuencia de los pulsos de reloj CLKQ, CLKP. En una forma de realización práctica, han sido seleccionadas frecuencias de 40 MHz para CLKQ y 12 MHz para CLKP para el primer tipo de funcionamiento así como 40 MHz y 80 MHz, respectivamente, para el segundo tipo de funcionamiento, habiendo determinado que es suficiente una capacidad de memoria de 300 valores de exploración para la memoria FIFO.

REIVINDICACIONES

1. Disposición de circuito para la generación de una señal de una imagen (RGB), que se puede representar en una pantalla con una primera relación de sincronización (CLKP), que comprende medios (2, 3, 5) para el acondicionamiento de valores de exploración con una segunda relación de sincronización (CLKQ) predeterminada constante, asíncrona con respecto a la primera relación de sincronización (CLKP), una memoria (8) con un modo de funcionamiento First-In-First-Out, a la que se pueden alimentar los valores de exploración con la segunda relación de sincronización (CLKQ) y desde la que se pueden emitir los valores de exploración con la primera relación de sincronización (CLKP), y una instalación de conversión digital a analógico (7), que puede ser controlada con la primera relación de sincronización (CLKP), a la que se pueden alimentar los valores de exploración emitidos por la memoria (8) para la generación de la señal de la imagen (RGB) representable, a través de la cual se puede activar la pantalla, **caracterizada** porque la memoria (8) presenta un contador de inscripción, que cuenta de forma anular las direcciones de inscripción, y un contador de lectura, que cuenta de forma anular las direcciones de lectura, porque cuando la segunda relación de sincronización (CLKQ) es mayor que la primera relación de sincronización (CLKP), se mantiene la inscripción de valores de exploración en la memoria (W, 22), cuando el contador de inscripción alcanza un primer umbral (TH), y se prosigue la inscripción cuando el contador de lecturas alcanza un segundo umbral, que es menor o igual que el primer umbral (TH).

2. Disposición de circuito para la generación de una señal de una imagen (RGB), que se puede representar en una pantalla con una primera relación de sincronización (CLKP), que comprende medios (2, 3, 5) para el acondicionamiento de valores de exploración con una segunda relación de sincronización (CLKQ) predeterminada constante, asíncrona con respecto a la primera relación de sincronización (CLKP), una memoria (8) con un modo de funcionamiento First-In-First-Out, a la que se pueden alimentar los valores de exploración con la segunda relación de sincronización (CLKQ) y desde la que se pueden emitir los valores de exploración con la primera relación de sincronización (CLKP), y una instalación de conversión digital a analógico (7), que puede ser controlada con la primera relación de sincronización (CLKP), a la que se pueden alimentar los valores de exploración emitidos por la memoria (8) para la generación de la señal de la imagen (RGB) representable, a través de la cual se puede activar la pantalla, **caracterizada** porque la memoria (8) presenta un contador de inscripción, que cuenta de forma anular las direcciones de inscripción, y un contador de lectura, que cuenta de forma anular las direcciones de lectura, porque cuando la segunda relación de sincronización (CLKQ) es menor que la primera relación de sincronización (CLKP), se lleva a cabo la inscripción en la memoria ya antes del comienzo de la lectura (35) y se mantiene la inscripción (33) cuando el contador de inscripción alcanza un tercer umbral (CAP) y porque la inscripción se prosigue con el comienzo de la lectura.

3. Disposición de circuito de acuerdo con la reivindicación 1, **caracterizada** porque los medios (2, 3, 5) para el acondicionamiento de los valores de exploración se pueden controlar en función de la cantidad de memoria (8) que está ocupada por los valores de exploración.

4. Disposición de circuito de acuerdo con una de las reivindicaciones 1 ó 3, **caracterizada** porque la inscripción en la memoria se realiza durante la laguna de exploración horizontal.

5. Disposición de circuito de acuerdo con una de las reivindicaciones 1 a 4, **caracterizada** porque la inscripción en la memoria se inicia a través de un impulso (HSYNC), que indica el final de una línea representada en la pantalla, y porque la lectura se inicia a través de otro impulso (HSYCD), que indica el comienzo de una línea a representar a continuación en la pantalla, siendo repuesto e iniciado, respectivamente, el contador de inscripción y el contador de lectura respectivos.

6. Disposición de circuito de acuerdo con una de las reivindicaciones 2 a 5, **caracterizada** porque cuando la segunda relación de sincronización (CLKQ) es menor que la primera relación de sincronización (CLKP), se indica a través de una señal (M2) el número de las pasadas anulares del contador de lectura y porque cuando el contador de lectura ha llegado al final de la última pasada (34), se emite un valor de exploración constante al convertidor digital a analógico (7).

7. Disposición de circuito de acuerdo con la reivindicación 6, **caracterizada** porque con la última pasada (34) se inicia la inscripción en la memoria, siendo repuesto e iniciado el contador de inscripción.

8. Disposición de circuito de acuerdo con una de las reivindicaciones 1 a 7, **caracterizada** porque los medios (2, 3, 5) para el acondicionamiento de valores de exploración contienen otra memoria (2), en la que están memorizados los datos asociados a los valores de exploración, y un contador de lectura (5) para esta memoria, que se controla con la segunda relación de sincronización (CLKQ).

9. Disposición de circuito de acuerdo con la reivindicación 8, **caracterizada** porque a continuación de la otra memoria (2) está conectada una instalación (3) controlada con la segunda relación de sincronización (CLKQ), a través de la cual se pueden convertir los datos leídos a partir de la otra memoria (2) en señales digitales de color rojo - verde - azul.

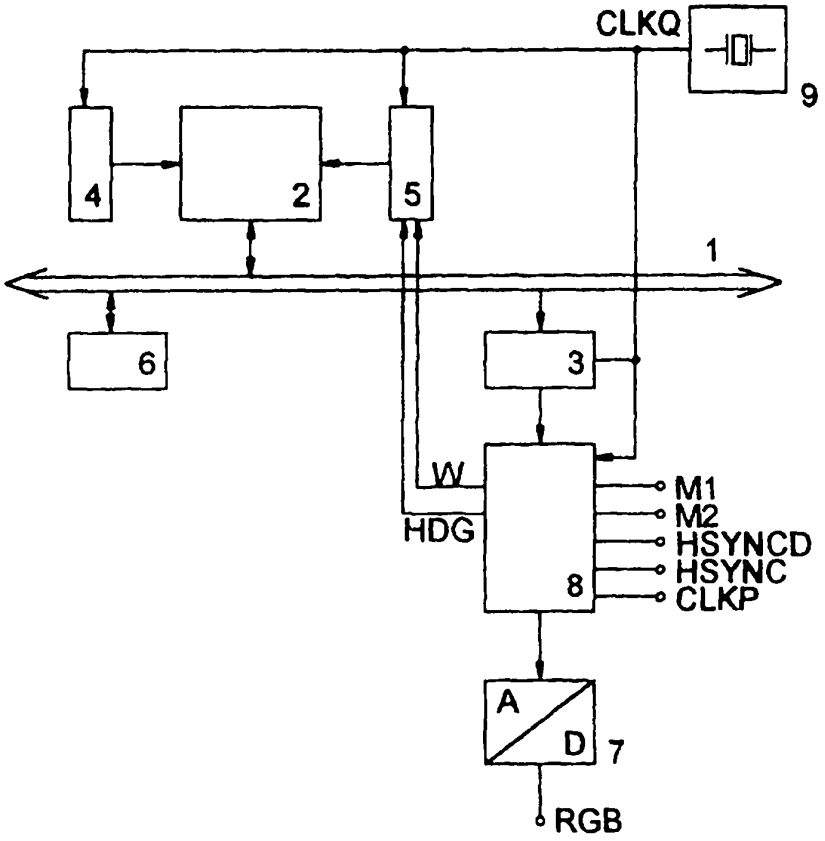


FIG. 1

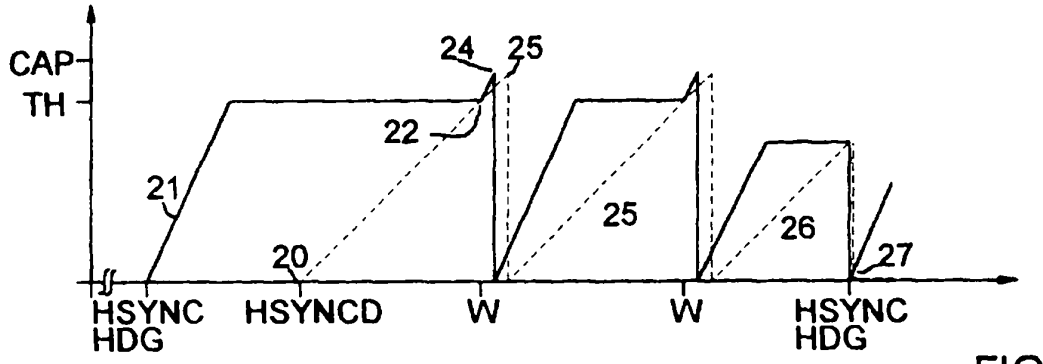


FIG. 2

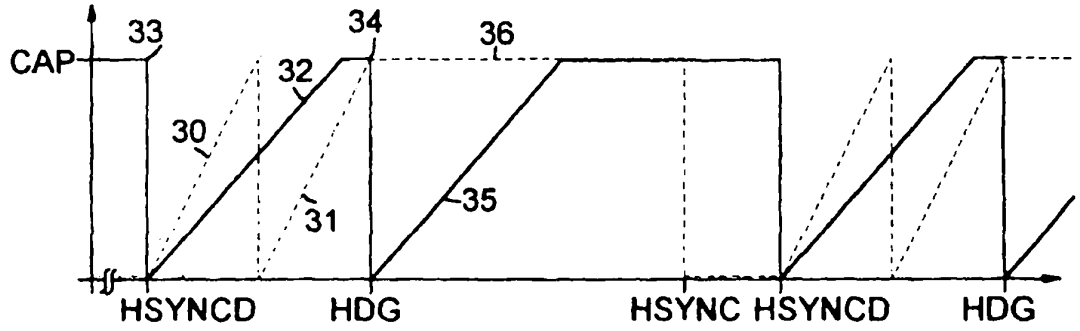


FIG. 3