



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월23일
(11) 등록번호 10-0848058
(24) 등록일자 2008년07월17일

(51) Int. Cl.

G11C 11/41 (2006.01)

(21) 출원번호 10-2002-0020841
(22) 출원일자 2002년04월17일
심사청구일자 2006년05월10일
(65) 공개번호 10-2003-0010489
(43) 공개일자 2003년02월05일
(30) 우선권주장 JP-P-2001-00224922 2001년07월25일 일본(JP)
(56) 선행기술조사문헌 KR100092416 B1
KR100228525 B1

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라꾸 가미고
다나카 4초메 1-1

(72) 발명자

고다마츠요시

일본가나가와켄가와사키시나카하라꾸가미고다나카
4-1-1후지쯔가부시끼가이샤나이

(74) 대리인

김태홍, 신정권

전체 청구항 수 : 총 8 항

심사관 : 손윤식

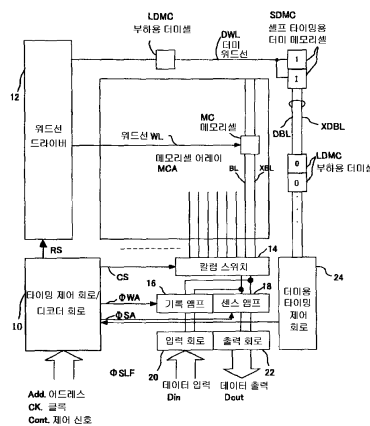
(54) 셀프 타이밍 회로를 구비하는 정적 기억 장치

(57) 요약

본 발명은 더미 회로를 이용한 셀프 타이밍 회로의 타이밍이 부하용 더미 메모리 셀의 누설 전류에 의해 가속되는 것을 방지하는 것을 목적으로 한다.

본 발명의 정적 기억 장치에 있어서, 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 더미 워드선 및 더미 비트선쌍에 접속되고 역상 레벨을 유지하는 한 쌍의 노드를 갖는 셀프 타이밍용 더미 메모리 셀과, 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀과, 더미 비트선쌍의 전압 변화를 검출하고 타이밍 제어 신호(예컨대, 비트선쌍을 증폭하는 센스 앰프의 기동 신호)를 생성하는 타이밍 제어 회로를 포함한다. 그리고, 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드를 제1 상태로 고정하고, 부하용 더미 메모리 셀의 한 쌍의 노드를 상기 제1 상태와는 역상의 제2 상태로 고정한다. 셀프 타이밍용 더미 메모리 셀에 의해 더미 비트선쌍이 구동될 때, 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀과 상이한 상태로 고정되어 있기 때문에, 종래 예와 같이 부하용 더미 메모리 셀의 누설 전류에 의해 더미 비트선쌍의 구동을 지나치게 가속시키는 것이 방지된다.

대표도 - 도5



특허청구의 범위

청구항 1

정적 기억 장치(static memory)에 있어서,

복수의 워드선과, 복수의 비트선쌍과, 그 교차 위치에 배치되어 역상 레벨을 유지하는 한 쌍의 노드를 갖는 메모리 셀을 구비하는 메모리 셀 어레이와,

상기 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 상기 더미 워드선 및 더미 비트선쌍에 접속되고 역상 레벨을 유지하는 한 쌍의 노드를 가지며 상기 더미 워드선의 선택에 응답하여 동시에 상기 더미 비트선쌍을 구동하는 복수개의 셀프 타이밍용 더미 메모리 셀과, 상기 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀을 구비하는 더미 회로와,

상기 더미 비트선쌍의 전압 변화를 검출하고 타이밍 제어 신호를 생성하는 타이밍 제어 회로

를 포함하며,

상기 복수개의 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 전원 레벨에 접속되어 제1 상태로 고정되고, 모든 부하용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 그라운드 레벨로 접속되어 상기 제1 상태와는 역상의 제2 상태로 고정되는 것을 특징으로 하는 정적 기억 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

정적 기억 장치에 있어서,

복수의 워드선과, 복수의 비트선쌍과, 그 교차 위치에 배치되어 역상 레벨을 유지하는 한 쌍의 노드를 갖는 메모리 셀을 구비하는 메모리 셀 어레이와,

상기 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 상기 더미 워드선 및 더미 비트선쌍에 접속되어 역상 레벨을 유지하는 한 쌍의 노드를 가지며 상기 더미 워드선의 선택에 응답하여 동시에 상기 더미 비트선쌍을 구동하는 복수개의 셀프 타이밍용 더미 메모리 셀과, 상기 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀을 갖는 더미 회로와,

상기 더미 비트선쌍의 전압 변화를 검출하여 타이밍 제어 신호를 생성하는 타이밍 제어 회로를 포함하며,

상기 복수개의 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드가 제1 상태로 고정되고, 상기 복수의 부하용 더미 메모리 셀의 일부를, 한 쌍의 노드가 상기 제1 상태와는 역상의 제2 상태로 고정되며, 나머지는 상기 제1 상태로 고정되는 것을 특징으로 하는 정적 기억 장치.

청구항 8

제7항에 있어서, 상기 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 제1 전압 레벨로 고정되고, 상기 복수의 부하용 더미 메모리 셀의 적어도 일부는, 한 쌍의 노드의 한 쪽이 상기 제1 전압 레벨과는 역상의 제2 전압 레벨로 고정되거나, 상기 한 쌍의 노드의 다른 쪽이 상기 제1 전압 레벨로 고정되는 것을 특징으로 하는 정적 기억 장치.

청구항 9

제1항 또는 제7항에 있어서, 정적 기억 장치는 외부로부터 공급되는 클록에 동기하고 어드레스를 입력하는 클록 동기형인 것을 특징으로 하는 정적 기억 장치.

청구항 10

제8항에 있어서, 상기 제1 및 제2 전압 레벨은, 전원 레벨 또는 그라운드 레벨인 것을 특징으로 하는 정적 기억 장치.

청구항 11

제1항 또는 제7항에 있어서, 상기 타이밍 제어 신호는 상기 비트선쌍을 증폭하는 센스 앰프의 기동 신호를 포함하는 것을 특징으로 하는 정적 기억 장치.

청구항 12

제1항 또는 제7항에 있어서, 상기 부하용 더미 메모리 셀은 판독 동작시에 선택되지 않는 것을 특징으로 하는 정적 기억 장치.

청구항 13

제1항 또는 제7항에 있어서, 상기 더미 메모리 셀은 한 쌍의 인버터의 입출력 단자를 교차 접속한 래치 회로를 구비하고, 상기 입출력 단자가 한 쌍의 노드를 구성하며, 상기 한 쌍의 노드가 한 쌍의 전송 트랜지스터를 통하여 상기 더미 비트선쌍에 접속되는 것을 특징으로 하는 정적 기억 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <26> 본 발명은 센스 앰프의 기동 신호 등의 타이밍 제어 신호를 생성하는 셀프 타이밍 회로를 구비하는 정적 기억 장치(static memory)에 관한 것으로, 특히 셀 트랜지스터의 누설 전류에 수반되는 오동작의 발생을 방지한 정적 기억 장치에 관한 것이다.
- <27> 정적 기억 장치는 한 쌍의 인버터를 교차 접속한 메모리 셀을 구비한다. 메모리 셀의 한 쌍의 인버터는 한 쌍의 전송 트랜지스터를 통하여 비트선쌍에 접속되고, 워드선의 구동에 따라 전송 트랜지스터가 도통하며, 메모리 셀의 인버터쌍이 비트선쌍에 접속되고, 인버터쌍에 의해 비트선쌍이 구동된다. 그리고, 구동된 비트선쌍의 전압차가 센스 앰프에 의해 검출되고 증폭된다. 따라서, 센스 앰프의 기동 타이밍은 비트선쌍의 전압이 충분히 개방된 후가 되도록 설계된다.
- <28> 클록 동기형 정적 기억 장치에서는 클록이 공급되고 나서 일정한 지연 시간 후에, 또한 클록 비동기형 정적 기억 장치에서는 어드레스가 변화되고 나서 일정한 지연 시간 후에, 상기 센스 앰프를 기동하는 타이밍 제어 신호가 생성된다.
- <29> 상기 센스 앰프 기동 신호는 비트선쌍 사이에 소정의 전압차가 생성된 후의 최단의 타이밍에 생성되는 것이 바람직하고, 이것에 의해 액세스 시간을 단축할 수 있다. 그러나, 메모리 셀의 비트선을 구동하는 능력은 셀 트랜지스터의 특성에 의존하고, 셀 트랜지스터의 특성은 제조 공정의 편차에 기인하여 편차를 수반한다. 이와 같이, 비트선쌍 사이에 소정의 전압차가 생성되기까지의 시간이 그 제조 공정의 편차에 의존하기 때문에, 충분한 타이밍 마진을 마련하고 센스 앰프의 기동 신호가 생성된다. 이 타이밍 마진에 의해, 셀 트랜지스터의 구동 능력이

저하되는 쪽으로 편차가 발생하여 비트선쌍 사이에 소정의 전압차가 생성되는 타이밍이 지연되게 되더라도 센스 앰프가 먼저 기동하여 잘못된 데이터를 검출하는 것을 방지할 수 있다.

- <30> 상기 센스 앰프 기동 신호의 타이밍 마진은 메모리의 액세스 시간을 길게 하고, 정적 기억 장치의 특징인 고속성이 손상된다. 이 문제를 해결하는 방법으로서, 워드선, 메모리 셀 및 비트선으로 이루어진 더미 회로를 설치하고, 이 더미 회로에 의한 셀프 타이밍 회로를 이용하여 센스 앰프 기동 신호를 생성한다.
- <31> 도 1은 종래의 셀프 타이밍 회로를 구비하는 정적 기억 장치의 구성도이다. 이 실시예에서는 클럭(CK)에 동기하여 어드레스(Add)와 제어 신호(Cont)가 입력되고, 타이밍 제어 회로 및 타이밍 디코더 회로(10)에 의해 타이밍 제어 신호(ϕ_{WA} , ϕ_{SE})와, 워드선 선택 신호(RS)와, 칼럼 선택 신호(CS)가 생성된다. 디코더 회로에 의해 생성되는 워드선 선택 신호(RS)에 따라서 워드선 드라이버(12)가 워드선(WL)을 구동하고, 메모리 셀 어레이(MCA) 내의 메모리 셀(MC)을 선택한다. 선택된 메모리 셀(MC)은 비트선쌍(BL, XBL)을 구동하고, 칼럼 스위치(14)에 의해 선택된 비트선쌍의 전압이 센스 앰프(18)에 의해 증폭된다. 그리고, 출력 회로(22)로부터 데이터 출력(Dout)이 출력된다. 이상이 판독 동작이다. 기록 동작에서는 데이터 입력(Din)이 입력 회로(20)에 입력되고, 선택된 메모리 셀(MC)이 기록 앰프(16)에 의해 구동되며, 데이터가 기록된다.
- <32> 판독 동작에 있어서, 이 센스 앰프(18)를 기동하는 기동 신호(ϕ_{SA})의 타이밍은 더미 워드선(DWL)과, 셀프 타이밍용 더미 메모리 셀(SDMC)과, 더미 비트선쌍(DBL, XDBL)과, 더미용 타이밍 제어 회로(24)로 이루어지는 셀프 타이밍 회로에 의해 제어된다.
- <33> 복수의 부하용 더미 셀(LDMC)을 갖는 더미 워드선(DWL)과, 셀프 타이밍용 더미 메모리 셀(SDMC)과, 복수의 부하용 더미 셀(LDMC)을 갖는 더미 비트선쌍(DBL, XDBL)이 통상의 메모리 셀 어레이와 동등한 구성으로 설치된다.
- <34> 도 2는 도 1의 판독 동작의 타이밍 차트도이다. 판독 동작에 있어서, 비트선쌍이 H 레벨로 프리차지된 상태이고, 워드선 드라이버(12)는 선택된 워드선(WL)과 함께 더미 워드선(DWL)을 구동한다. 이것에 응답하여 셀프 타이밍용 더미 메모리 셀(SDMC)이 선택되고, 더미 비트선쌍(DBL, XDBL)이 구동된다. 구체적으로는, 한 쪽의 더미 비트선의 전위 레벨이 프리차지 레벨로부터 저하된다. 이 더미 비트선쌍의 전압의 변화(ΔV)를 검출하고, 더미용 타이밍 제어 회로(24)가 셀프 타이밍 신호(ϕ_{SLF})를 발생한다. 그리고, 타이밍 제어 회로(10)가 이 셀프 타이밍 신호(ϕ_{SLF})에 응답하여 센스 앰프 기동 신호(ϕ_{SA})를 생성한다.
- <35> 한편, 선택된 워드선(WL)의 구동에 의해 선택된 메모리 셀(MC)이 비트선쌍(BL, XBL)을 구동한다. 그리고, 상기 센스 앰프 기동 신호(ϕ_{SA})에 응답하여 센스 앰프(18)가 선택된 비트선쌍의 전압차를 검출하고, 비트선쌍의 한 쪽을 충분히 저레벨까지 구동한다.
- <36> 상기 더미 회로에 따르면, 제조 공정의 편차에 의해 메모리 셀 어레이 내의 메모리 셀(MC)의 구동 능력이 편차가 발생하지만, 더미 메모리 셀(SDMC)도 마찬가지로 그 구동 능력의 편차가 발생한다. 따라서, 메모리 셀(MC)에 의해 구동되는 비트선쌍(BL, XBL)에 센스 앰프가 검출 가능한 전압차가 발생하는 타이밍과, 더미 메모리 셀(SDMC)에 의해 구동되는 더미 비트선쌍(DBL, XDBL)에 소정의 전압차가 발생하는 타이밍이 그 제조 공정의 편차에 의해 동일한 방향으로 편차가 발생한다. 그 결과, 항상 센스 앰프 기동 신호(ϕ_{SA})는 최적의 타이밍으로 생성된다.
- <37> 또한, 도 2에 있어서, 더미 비트선쌍의 전압 저하가 통상의 비트선쌍보다도 빠른 것은 셀프 타이밍용 더미 메모리 셀(SDMC)이 복수의 메모리 셀을 병렬 접속하여 구성되고, 이것에 의해 1 개의 메모리 셀보다 높은 구동 능력을 갖기 때문이다. 이것에 의해, 더미 비트선쌍의 전압 변화를 통상의 비트선쌍보다도 빠르게 하고, 셀프 타이밍 신호(ϕ_{SLF})를 빠른 타이밍으로 생성할 수 있도록 하고 있다.

발명이 이루고자 하는 기술적 과제

- <38> 도 3은 상기 종래예의 더미 비트선쌍과 그것에 접속되는 더미 메모리 셀을 상세히 도시하는 회로도이다. 셀프 타이밍용 더미 메모리 셀(SDMC)은 한 쌍의 인버터(INV1, INV2)를 교차 접속한 래치 회로와, 그것을 비트선쌍에 접속하는 전송 트랜지스터(N5, N6)를 구비한다. 이 더미 메모리 셀(SDMC)은 도시하고 있지 않지만 더미 워드선(DWL)에 대하여 복수개가 병렬로 접속된다. 또한, 부하용 더미 메모리 셀(LDMC1, LDMC2)도 마찬가지로 한 쌍의 인버터(INV1, INV2)와 전송 트랜지스터(N5, N6)를 구비한다. 단, 이들에 접속되는 워드선(LDWL1, LDWL2)은 접지 전위(V_{ss})로 고정된다. 따라서, 부하용 더미 메모리 셀은 단순히 더미 비트선쌍(DBL, XDBL)에 통상의 메모리 셀과 동일한 기생 용량을 부여하기 위해 설치될 뿐이고, 더미 비트선쌍을 구동하는 일은 없다.
- <39> 셀프 타이밍용 더미 메모리 셀(SDMC)은 복수개가 병렬로 설치되기 때문에, 더미 워드선(DWL)이 구동되었을 때에

더미 비트선쌍을 구동하는 동작에 모순이 발생하지 않도록 인버터쌍의 한 쌍의 노드(n1, n2) 중 어느 한 쪽이 H 레벨 또는 L 레벨의 전위로 고정된다. 도 3의 실시예에서는 노드(n1)가 전원(Vcc)에 접속된다. 그 결과, 더미 워드선(DWL)의 구동에 따라 미리 프리차지되어 있던 더미 비트선쌍 중 우측의 더미 비트선(XDBL)이 전송 트랜지스터(N6)를 통하여 인버터(INV1)에 의해 L 레벨측으로 구동된다. 즉, 도면 중 도시되는 방전 전류(I0)에 의해 더미 비트선(XDBL)이 구동된다. 이 더미 비트선의 움직임은 고정적이다.

- <40> 그런데, 더미 비트선의 구동에 관여하는 일이 없는 부하용 더미 메모리 셀(LDMC1, LDMC2)은 통상의 메모리 셀과 동일한 구성이고, 한 쌍의 노드(n1, n2)는 전원 기동시에 H 및 L 중 어느 하나의 레벨이 된다. 이 부하용 더미 메모리 셀(LDMC1, LDMC2)의 상태는 셀프 타이밍용 더미 메모리 셀(SDMC)과 상이하고, 불특정 상태이다.
- <41> 셀프 타이밍용 더미 메모리 셀(SDMC)과 부하용 더미 메모리 셀(LDMC)은 메모리 셀 어레이의 메모리 셀과 동일한 수만큼 설치된다. 셀프 타이밍용 더미 메모리 셀(SDMC)은 겨우 4 개 내지 8 개 정도의 셀을 병렬로 접속할 뿐이고, 그 나머지의 대부분의 셀은 부하용 더미 메모리 셀이 된다.
- <42> 만일, 이 부하용 더미 메모리 셀(LDMC)이 전부 노드(n1)가 H 레벨의 상태 및 노드(n2)가 L 레벨의 상태가 되었다고 하자. 전송 트랜지스터(N6)는 비도통 상태이기는 하지만, 어느 정도의 누설 전류가 흐르고 있다. 특히, 최근의 반도체 메모리의 저임계치 전압화에 따라 트랜지스터의 누설 전류는 증가하고 있다. 그 결과, 더미 비트선쌍의 우측 더미 비트선(XDBL)측으로부터 누설 전류(I1)가 흐르게 된다. 누설 전류 자체는 매우 작은 전류이지만, 부하용 더미 메모리 셀의 갯수가 많기 때문에 이들을 가산하면 비교적 큰 전류가 된다.
- <43> 이 때문에, 도 4의 타이밍 차트도에 도시된 바와 같이, 우측의 더미 비트선(XDBL)은 셀프 타이밍용 더미 메모리 셀(SDMC)의 구동 전류(I0)에 부가해서 누설 전류(I1)에 의해서도 프리차지 레벨로부터 L 레벨을 향해 구동된다. 이 구동 속도는 도 2에 도시된 것보다 가속된다. 이 때문에, 더미 비트선쌍에 소정의 전위차(ΔV)가 생성되는 타이밍이 가속되고, 셀프 타이밍 신호(ϕ_{SLF})의 상승 타이밍도 가속되며, 결국 센스 앰프 기동 신호(ϕ_{SA})의 타이밍도 가속된다. 도 4 중의 점선으로 도시한 타이밍이 최적의 센스 앰프 기동 신호(ϕ_{SA})의 타이밍이기 때문에 실선과 같이 빠른 타이밍이 된다. 그 결과, 비트선쌍(BL, XBL)에 충분한 전위차가 발생하지 않는 동안에 센스 앰프(18)가 활성화되면, 잘못된 판독 데이터가 센스 앰프로부터 출력될 가능성이 있다. 즉, 누설 전류에 의해 오동작을 초래한다.
- <44> 그래서, 본 발명의 목적은 상기 오동작의 발생을 방지한 정적 기억 장치를 제공하는 것이다.
- <45> 또한, 본 발명의 목적은 더미 셀에 의해 구성된 셀프 타이밍 회로가 센스 앰프 기동 신호의 타이밍을 지나치게 빠르게 하여 오동작을 초래하는 것을 방지한 정적 기억 장치를 제공하는 것이다.

발명의 구성 및 작용

- <46> 상기 목적을 달성하기 위해서, 본 발명의 하나의 특징은 복수의 워드선과, 복수의 비트선쌍과, 그 교차 위치에 배치되고 역상 레벨을 유지하는 한 쌍의 노드를 갖는 메모리 셀을 구비하는 메모리 셀 어레이를 포함하는 정적 기억 장치에 있어서, 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 더미 워드선 및 더미 비트선쌍에 접속되고 역상 레벨을 유지하는 한 쌍의 노드를 갖는 셀프 타이밍용 더미 메모리 셀과, 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀과, 더미 비트선쌍의 전압 변화를 검출하고 타이밍 제어 신호(예컨대, 비트선쌍을 증폭하는 센스 앰프의 기동 신호)를 생성하는 타이밍 제어 회로를 구비한다. 그리고, 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드를 제1 상태로 고정하고, 부하용 더미 메모리 셀의 한 쌍의 노드를 상기 제1 상태와는 역상의 제2 상태로 고정한다.
- <47> 상기 발명에 따르면, 한 쌍의 노드를 제1 상태로 고정한 셀프 타이밍용 더미 메모리 셀에 의해 더미 비트선쌍이 구동될 때, 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀과 상이한 상태로 고정되어 있기 때문에, 종래예와 같이 부하용 더미 메모리 셀의 누설 전류에 의해 더미 비트선쌍의 구동을 지나치게 가속되는 것이 방지된다. 그 결과, 비트선쌍에 충분한 전압차가 발생하고 나서 센스 앰프 기동 신호를 발생시킬 수 있다. 또한, 제조 공정 등에 기인하는 셀 트랜지스터의 특성 편차에 따른 최적의 타이밍으로 센스 앰프 기동 신호를 발생시킬 수 있다.
- <48> 상기 발명의 바람직한 실시예에서는 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 제1 전압 레벨로 고정되는 것에 대하여, 부하용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 제1 전압 레벨과는 역상의 제2 전압 레벨로 고정되거나 또는 다른 쪽 노드가 제1 전압 레벨로 고정된다. 제1 및 제2 전압 레벨은 예를 들어 전원 레벨 또는 접지 레벨이다.

- <49> 상기 발명의 바람직한 실시예에서는 복수의 부하용 더미 메모리 셀 전체가 셀프 타이밍용 더미 메모리 셀과는 역상태로 고정된다. 그 결과, 항상 모든 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀과는 역상태를 유지하고, 그 누설 전류에 의해 더미 비트선쌍의 구동을 가속시키는 것이 방지되어 오동작을 방지할 수 있다.
- <50> 다른 바람직한 실시예에서는 복수의 부하용 더미 메모리 셀 중 적어도 일부가 셀프 타이밍용 더미 메모리 셀과는 역상태로 고정되어 있으면 좋다. 그 결과, 모든 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀과 동일 상태를 유지하여, 그 누설 전류에 의해 더미 비트선쌍의 구동을 지나치게 가속하여 오동작을 초래하는 것이 방지된다. 즉, 최악의 상태를 방지할 수 있다.
- <51> 또한, 다른 실시예에서는 복수의 부하용 더미 메모리 셀 중 일부를 셀프 타이밍용 더미 메모리 셀과는 역상태로 고정하고, 그 나머지를 동일 상태로 고정하여도 좋다. 이와 같이 함으로써, 부하용 더미 메모리 셀에 의한 누설 전류의 거동을 항상 동일 상태로 할 수 있기 때문에, 부하용 더미 메모리 셀의 불확정된 상태에 의해 더미 비트선쌍의 구동 동작이 변동하고 오동작을 초래할 가능성을 포함하는 것을 방지할 수 있다. 또한, 최악의 상태는 방지할 수 있다.
- <52> 본 발명의 제2 특징에 따르면, 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀의 상태와 역상태로 초기 설정되는 것을 특징으로 한다. 즉, 부하용 더미 메모리 셀의 한 쪽 노드 또는 다른 쪽 노드를 소정의 전압 레벨로 고정하고 셀프 타이밍용 더미 메모리 셀과 역상태로 고정하는 대신에, 제2 특징에서는 메모리의 초기 설정시에 부하용 더미 메모리 셀을 셀프 타이밍용 더미 메모리 셀의 상태와 역상태로 설정하고, 그것을 유지시킨다. 이 때문에, 초기 설정시에 부하용 더미 메모리 셀의 리셋 동작을 행한다. 부하용 더미 메모리 셀은 워드선에 의해 구동되지 않기 때문에 일단 상태가 설정되면, 전원이 오프가 될 때까지 그 상태가 유지된다.
- <53> 이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 그러나, 본 발명의 보호 범위는 이하의 실시예에 한정되는 것이 아니라, 특허청구범위에 기재된 발명과 그 균등물에까지 미치는 것이다.
- <54> 도 5는 본 실시예에 있어서의 메모리의 구성도이다. 도 5에는 도 1과 마찬가지로, 복수의 워드선(WL)과, 복수의 비트선쌍(BL, XBL)과, 그 교차 위치에 배치된 복수의 메모리 셀(MC)을 갖는 메모리 셀 어레이(MCA)를 구비한다. 그리고, 워드선 드라이버(12)에 의해 선택된 워드선이 구동되고, 메모리 셀(MC)이 비트선쌍(BL, XBL)을 구동하며, 그 비트선쌍에 생성되는 전압차가 센스 앰프(18)에 의해 검출되고 증폭된다. 또한, 기록시에는 기록 앰프(16)에 의해 비트선쌍이 구동되고, 선택된 메모리 셀로 데이터가 기록된다.
- <55> 센스 앰프(18)의 기동 타이밍을 제어하는 센스 앰프 기동 신호(ϕSA)가 더미 회로와 그 더미용 타이밍 제어 회로(24)에 의해 제어된다. 즉, 메모리 셀 어레이(MCA)를 따라 더미 워드선(DWL)과, 셀프 타이밍용 더미 메모리 셀(SDMC)과, 더미 비트선쌍(DBL, XDBL)으로 이루어진 더미 회로가 설치된다. 더미 워드선과 더미 비트선쌍에는 부하용 더미 메모리 셀(LDMC)이 복수개 설치되고, 메모리 셀 어레이 내의 워드선(WL)과 비트선쌍(BL, XBL)과 동등한 부하 용량을 부여받는다. 예를 들면, 메모리 셀 어레이를 행 방향과 열 방향으로 확장함으로써 이들 더미 회로를 설치할 수 있다.
- <56> 도 5에 도시된 바와 같이, 통상의 메모리 셀(MC)보다도 구동 능력을 높게 하기 위해 복수개의 셀프 타이밍용 더미 메모리 셀(SDMC)이 더미 비트선(DBL, XDBL)에 병렬로 접속된다. 그리고, 셀프 타이밍용 더미 메모리 셀(SDMC)의 내부 상태는 모두 제1 상태 「1」로 고정된다. 복수의 셀프 타이밍용 더미 메모리 셀(SDMC)이 동시에 선택되기 때문에 이들을 동일한 상태로 고정함으로써 더미 비트선쌍(DBL, XDBL)의 구동 동작에 있어서 서로 상반된 동작이 발생하는 것이 방지된다.
- <57> 그것에 대하여, 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀(LDMC)은 적어도 일부 또는 전체가 셀프 타이밍용 더미 메모리 셀(SDMC)과는 역상태 「0」으로 고정된다. 예를 들면, 메모리 셀 어레이(MCA)가 512 개의 워드선을 갖는 경우, 더미 비트선쌍에는 513 개의 더미 메모리 셀이 설치된다. 그리고, 4 개 또는 6 개의 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀로서 더미 워드선(DWL)에 접속되면, 나머지 509 개 또는 506 개의 더미 메모리 셀이 부하용 더미 메모리 셀로서 된다.
- <58> 이 많은 부하용 더미 메모리 셀(LDMC) 모두를 셀프 타이밍용 더미 메모리 셀(SDMC)과는 역상태로 고정함으로써, 셀프 타이밍용 더미 메모리 셀에 의한 더미 비트선쌍의 구동 속도가 부하용 더미 메모리 셀의 누설 전류에 의해 가속되는 것이 방지된다. 단, 반드시 모든 부하용 더미 메모리 셀을 셀프 타이밍용 더미 메모리 셀과 역상태로 고정할 필요는 없고, 예를 들어 대부분의 부하용 더미 메모리 셀을 역상태로 고정하며, 나머지를 동일한 상태로 고정하여도 좋다. 또는, 절반의 부하용 더미 메모리 셀을 역상태로, 그 나머지 절반을 동일 상태로 고정하여도 좋다. 적어도, 모든 부하용 더미 메모리 셀이 셀프 타이밍용 더미 메모리 셀과 동일한 상태가 되는 최악의 상태

는 방지할 필요가 있다.

- <59> 도 6은 본 실시예에 있어서의 더미 비트선쌍과 더미 메모리 셀을 상세히 도시하는 회로도이다. 도 6에는 2 개의 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)과, 2개의 부하용 더미 메모리 셀(LDMC1, LDMC2)이 도시되어 있다. 2 개의 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)은 더미 워드선(DWL)에 병렬로 접속되고, 더미 워드선(DWL)이 구동될 때에 더미 비트선쌍(DBL, XDBL)을 동시에 구동한다.
- <60> 더미 메모리 셀은 통상의 메모리 셀과 마찬가지로 한 쌍의 인버터(INV1, INV2)의 입출력이 교차 접속된 래치 회로와, 이 한 쌍의 노드(n1, n2)를 각각 더미 비트선에 접속되는 전송 트랜지스터(N5, N6)를 구비한다. 전송 트랜지스터(N5, N6)가 도통하면, 한 쌍의 인버터가 더미 비트선쌍을 구동한다.
- <61> 2 개의 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)은 한 쌍의 노드 중 한 쪽의 노드(n1)가 전원 전압(Vcc)으로 고정되어 있다. 따라서, 더미 워드선(DWL)이 구동되면, 인버터(INV1)에 의해 한 쪽의 더미 비트선(XDBL)을 L 레벨로 저하하도록 구동한다. 이 경우, 복수의 셀프 타이밍용 더미 메모리 셀에 의해 구동 전류(IO)는 1 개의 메모리 셀(MC)의 구동 전류보다도 많고, 그 만큼 더미 비트선은 통상의 비트선보다도 빠르게 구동된다.
- <62> 한편, 부하용 더미 메모리 셀(LDMC1, LDMC2)의 한 쪽의 노드(n1)는 접지 전압(Vss)으로 고정되어 있다. 따라서, 다른 쪽의 노드(n2)는 전원 전압(Vcc)의 레벨로 유지된다. 부하용 더미 메모리 셀에 대한 워드선(LDWL1, LDWL2)은 접지 전압(Vss)의 레벨로 고정되고 H 레벨로 구동되는 일은 없다. 그러나, 전송 트랜지스터(N5)의 누설 전류에 의해 도 6에 도시된 바와 같은 좌측의 더미 비트선(DBL)측으로 누설 전류(Ileak)가 흐른다. 단, 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)에 의해 구동되는 우측의 더미 비트선(XDBL)에는 그 구동을 가속시키는 누설 전류는 발생하지 않는다.
- <63> 도 7은 본 실시예에서의 판독 동작의 타이밍 차트도이다. 판독 동작을 설명하면, 비트선쌍 및 더미 비트선쌍이 전원 전압(Vcc)의 레벨로 프리차지된 상태에서 클럭(CK)에 동기하고 어드레스(Add)와 제어 신호(Cont)가 공급되면, 디코더 회로(10)에 의해 선택된 워드선(WL)과 더미 워드선(DWL)이 워드선 드라이버(12)에 의해 구동된다. 워드선(WL)의 구동에 따라 메모리 셀(MC)이 비트선쌍(BL, XBL) 중 어느 한 쪽을 L 레벨측으로 구동한다. 또한, 더미 워드선(DWL)의 구동에 따라 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)이 더미 비트선쌍의 한 쪽의 XDBL을 L 레벨측으로 구동한다.
- <64> 이 때, 더미 비트선쌍에 접속되어 있는 복수의 부하용 더미 메모리 셀(LDMC1, LDMC2)은 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)과는 상이한 상태로 고정되어 있다. 따라서, 전송 트랜지스터(N6)를 통하여 발생하는 누설 전류가 우측의 더미 비트선(XDBL)의 구동을 가속하는 일은 없다. 부하용 더미 메모리 셀의 누설 전류(Ileak)가 좌측의 더미 비트선(DBL)에 발생하지만, 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)의 노드(n1)가 전원 전압(Vcc)으로 고정되어 있기 때문에, 이들 누설 전류(Ileak)에 의해 프리차지 레벨에 있는 더미 비트선(DBL)의 레벨이 저하되는 일은 없다. 따라서, 더미 비트선쌍(DBL, XDBL)에 전압차(ΔV)가 생성되는 타이밍은 거의 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)의 구동 능력에 의존하게 되고, 제조 공정의 편차에 따른 메모리 셀의 구동 능력의 편차에 대응한 움직임은 더미 비트선쌍에 발생시킬 수 있다.
- <65> 그 결과, 도 7에 도시된 바와 같이, 더미 비트선쌍의 전압차(ΔV)의 발생에 응답하여 더미용 타이밍 제어 회로(24)가 셀프 타이밍 신호(ϕ SLF)를 생성하고, 이것에 응답하여 타이밍 제어 회로(10)가 센스 앰프 기동 신호(ϕ SA)를 생성한다. 상기한 바와 같이, 셀프 타이밍 신호(ϕ SLF)의 발생 타이밍은 부하용 더미 메모리 셀의 내부 상태에 의존하여 변화하는 일은 없고, 항상 메모리 셀의 구동 능력의 편차에 연동한 최적의 타이밍이 된다. 또한, 타이밍 제어 신호(10)는 도시하고 있지 않은 비트선쌍의 이퀄라이즈 신호나 데이터 출력 회로의 출력 허가 신호 등의 다른 타이밍 제어 신호도 상기 셀프 타이밍 신호(ϕ SLF)에 응답하여 생성된다.
- <66> 부하용 더미 메모리 셀(LDMC) 중 적어도 일부가 셀프 타이밍용 더미 메모리 셀(SDMC)과는 역상태로 고정되어 있어도 좋다. 이것에 의해, 적어도 더미 비트선(XDBL)의 L 레벨측으로의 구동 속도는 종래의 최악 상태보다도 지연되고, 센스 앰프의 기동이 지나치게 가속되어 오동작으로 이어지는 것은 피할 수 있다. 그 경우에는 나머지 부하용 더미 메모리 셀을 어느 상태로 고정하고 부하용 더미 메모리 셀의 누설 전류의 영향을 고정적으로 하는 것이 바람직하다.
- <67> 도 8은 본 실시예에 있어서의 다른 더미 비트선쌍과 더미 메모리 셀을 상세히 도시하는 회로도이다. 이 실시예에서는 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)은 도 6과 동일하고, 노드(n1)가 전원 전압(Vcc)으로 고정되어 있다. 한편, 도 8의 실시예에서는 부하용 더미 메모리 셀(LDMC1, LDMC2)의 노드(n2)가 전원 전압(Vcc)으로 고정되어 있다. 이러한 고정 방법으로도 부하용 더미 메모리 셀(LDMC1, LDMC2)을 타이밍 차트용 더미 메모리 셀

과는 상이한 상태로 고정할 수 있다.

- <68> 도 9는 도 8을 상세히 도시하는 회로도이다. 더미 메모리 셀은 P 채널 트랜지스터(P1)와 N 채널 트랜지스터(N3)에 의해 인버터(INV2)가, 트랜지스터(P2, N4)에 의해 인버터(INV1)가 구성되고, 양자의 입출력 노드(n1, n2)가 교차 접속되고 있다. 그리고, 셀프 타이밍용 더미 메모리 셀(SDMC)에서는 노드(n1)가 전원 전압(Vcc)에 접속되어 제1 상태로 고정되어 있다. 한편, 부하용 더미 메모리 셀(LDMC1, LDMC2)에서는 노드(n2)가 전원 전압(Vcc)에 접속되어 제1 상태와는 역상의 제2 상태로 고정되어 있다. 한 쌍의 노드 중 어느 한 쪽이 전원 전압(Vcc) 또는 접지 전압(Vss)으로 고정되면, 다른 쪽 노드는 인버터의 동작에 의해 그 역레벨로 자동적으로 고정된다.
- <69> 도 10은 다른 실시예에 있어서의 더미 비트선쌍과 더미 메모리 셀의 회로도이다. 이 실시예에서는 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)은 한 쪽의 노드(n1)가 전원 전압(Vcc)으로 고정되어 있다. 이것에 대하여, 부하용 더미 메모리 셀(LDMC1, LDMC2)에는 어느 쪽의 노드(n1, n2)도 전원 전압 또는 접지 전압으로 고정되어 있지 않다.
- <70> 그러나, 부하용 더미 메모리 셀(LDMC)의 더미 워드선(LDWL1, LDWL2)은 트랜지스터(P10)를 통하여 전원 전압(Vcc)에 접속되고, 트랜지스터(N11)를 통하여 접지 전압(Vss)에 접속되고 있다. 또한, 우측의 더미 비트선(XDBL)이 트랜지스터(P12)를 통하여 전원 전압(Vcc)에, 좌측의 더미 비트선(DBL)이 트랜지스터(N13)를 통하여 접지 전압(Vss)에 접속되고 있다. 그리고, 초기화시에 L 레벨이 되는 초기화 신호(ϕ INT)가 트랜지스터(P10, N11, P12)의 게이트에 인가되고, 그 반전 신호($\bar{\phi}$ INT)가 트랜지스터(N13)의 게이트에 인가된다.
- <71> 따라서, 메모리의 전원이 기동했을 때의 초기화시에 초기화 신호(ϕ INT)가 L 레벨이 되고, 더미 워드선(LDWL1, LDWL2)이 전원 전압(Vcc)으로 구동된다. 그 결과, 부하용 더미 메모리 셀(LDMC1, LDMC2)의 전송 트랜지스터(N5, N6)가 도통한다. 그리고, 이와 동시에 더미 비트선(DBL)이 접지 레벨(Vss)로 구동되고, 더미 비트선(XDBL)이 전원 레벨(Vcc)로 구동된다. 즉, 트랜지스터(P12, N13)가 부하용 더미 메모리 셀(LDMC1, LDMC2)에 초기 상태를 기록하는 더미 기록 회로로서 동작하고 부하용 더미 메모리 셀의 노드(n2)를 H 레벨로, 노드(n1)를 L 레벨로 구동하며, 부하용 더미 메모리 셀에 셀프 타이밍용 더미 메모리 셀(SDMC1, SDMC2)과는 역상태를 기록한다.
- <72> 초기 설정이 완료되면, 초기화 신호(ϕ INT)가 H 레벨이 되고 더미 워드선(LDWL1, LDWL2)이 L 레벨로 고정됨과 동시에 트랜지스터(P12, N13)가 비도통 상태로 유지된다. 그 결과, 부하용 더미 메모리 셀은 상기 초기 설정 상태를 유지한다.
- <73> 이상과 같이, 본 실시예에서는 부하용 더미 메모리 셀에 초기화할 때에 있어서 셀프 타이밍용 더미 메모리 셀과는 역상태가 기록되고 유지된다. 따라서, 통상 동작시에 있어서는 도 6과 동일한 상태가 되고, 부하용 더미 메모리 셀에 의한 누설 전류가 셀프 타이밍용 더미 메모리 셀에 의한 더미 비트선의 구동을 가속시키는 일은 없다.
- <74> 이상의 실시예에서는 더미 메모리 셀과 더미 비트선쌍을 갖는 더미 회로를 이용하여 센스 앰프 기동 신호를 최적의 타이밍으로 생성하는 셀프 타이밍 회로를 설명하였다. 그러나, 본 발명은 그것에 한정되지 않고, 더미 회로를 이용하여 다른 타이밍 제어 신호 예를 들어 비트선 이퀄라이즈 신호나 센스 앰프 출력의 이퀄라이즈 신호 또는 출력 래치 회로의 출력 허가 신호 등을 생성하여도 좋다.
- <75> 또한, 도 5에 있어서, 더미용 타이밍 제어 신호(24)가 셀프 타이밍 신호(ϕ SLF)를 생성하였지만, 센스 앰프 기동 신호(ϕ SA)를 직접 생성할 수도 있다.
- <76> 또한, 상기 실시예에서는 클록 동기형 정적 기억 장치를 예로서 설명하였지만, 본 발명은 클록 비동기형 SRAM에도 적용할 수 있다. 클록 비동기형 SRAM의 경우에는 외부로부터 클록이 공급되지 않지만, 외부로부터 공급되는 어드레스의 변화를 검출하는 ATD 회로를 설치하고, 이 ATD 회로에 의해 새로운 판독 동작의 개시를 검출한 타이밍으로 내부 회로의 동작이 개시되며, 내부 회로의 여러 가지 타이밍 신호가 생성된다. 따라서, 도 5에 있어서, 타이밍 제어 회로/디코더 회로(10) 내에는 상기 어드레스의 변화를 검출하는 검출 회로가 내장되고, 그 검출 회로의 출력이 클록과 동일한 기능을 갖는다. 또한, 기록 동작의 경우에는 제어 신호인 기록 허가 신호가 활성화되고 기록 데이터가 입력되었을 때에 기록 동작이 개시된다. 이 이외의 더미 회로에 의한 셀프 타이밍 회로의 구성은 클록 동기형의 예와 동일하다.
- <77> 이상, 실시예를 정리하면 이하의 부기와 같다.
- <78> (부기 1) 정적 기억 장치에 있어서,
- <79> 복수의 워드선과, 복수의 비트선쌍과, 그 교차 위치에 배치되어 역상 레벨을 유지하는 한 쌍의 노드를 갖는 메

모리 셀을 구비하는 메모리 셀 어레이와,

- <80> 상기 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 상기 더미 워드선 및 더미 비트선쌍에 접속되고 역상 레벨을 유지하는 한 쌍의 노드를 갖는 셀프 타이밍용 더미 메모리 셀과, 상기 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀을 구비하는 더미 회로와,
- <81> 상기 더미 비트선쌍의 전압 변화를 검출하고 타이밍 제어 신호를 생성하는 타이밍 제어 회로를 포함하며,
- <82> 상기 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드를 제1 상태로 고정하고, 부하용 더미 메모리 셀의 한 쌍의 노드를 상기 제1 상태와는 역상의 제2 상태로 고정하는 것을 특징으로 하는 정적 기억 장치.
- <83> (부기 2) 부기 1에 있어서, 상기 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 제1 전압 레벨로 고정되고, 상기 부하용 더미 메모리 셀의 한 쌍의 노드의 한 쪽이 상기 제1 전압 레벨과는 역상의 제2 전압 레벨로 고정되거나 또는 다른 쪽 노드가 상기 제1 전압 레벨로 고정되는 것을 특징으로 하는 정적 기억 장치.
- <84> (부기 3) 부기 2에 있어서, 상기 제1 및 제2 전압 레벨은 전원 전압의 레벨 또는 접지 전압의 레벨인 것을 특징으로 하는 정적 기억 장치.
- <85> (부기 4) 부기 1에 있어서, 상기 셀프 타이밍용 더미 메모리 셀이 상기 더미 워드선에 복수개 접속되고, 상기 복수개의 셀프 타이밍용 더미 메모리 셀이 동시에 상기 더미 비트선쌍을 구동하며, 상기 복수개의 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드가 상기 제1 상태로 고정되는 것을 특징으로 하는 정적 기억 장치.
- <86> (부기 5) 부기 1에 있어서, 상기 복수의 부하용 더미 메모리 셀 전체가 상기 셀프 타이밍용 더미 메모리 셀과는 역상상태로 고정되는 것을 특징으로 하는 정적 기억 장치.
- <87> (부기 6) 부기 1에 있어서, 상기 복수의 부하용 더미 메모리 셀 중 적어도 일부가 셀프 타이밍용 더미 메모리 셀과는 역상상태로 고정되는 것을 특징으로 하는 정적 기억 장치.
- <88> (부기 7) 부기 1에 있어서, 상기 복수의 부하용 더미 메모리 셀 중 일부를 셀프 타이밍용 더미 메모리 셀과는 역상상태로 고정하고, 그 나머지를 동일 상태로 고정한 것을 특징으로 하는 정적 기억 장치.
- <89> (부기 8) 정적 기억 장치에 있어서,
- <90> 복수의 워드선과, 복수의 비트선쌍과, 그 교차 위치에 배치되어 역상 레벨을 유지하는 한 쌍의 노드를 갖는 메모리 셀을 구비하는 메모리 셀 어레이와,
- <91> 상기 메모리 셀 어레이를 따라 배치된, 더미 워드선과, 더미 비트선쌍과, 상기 더미 워드선 및 더미 비트선쌍에 접속되고 역상 레벨을 유지하는 한 쌍의 노드를 갖는 셀프 타이밍용 더미 메모리 셀과, 상기 더미 비트선쌍에 접속되는 복수의 부하용 더미 메모리 셀을 구비하는 더미 회로와,
- <92> 상기 더미 비트선쌍의 전압 변화를 검출하고 타이밍 제어 신호를 생성하는 타이밍 제어 회로를 포함하며,
- <93> 상기 셀프 타이밍용 더미 메모리 셀의 한 쌍의 노드를 제1 상태로 고정하고,
- <94> 초기 설정시에 부하용 더미 메모리 셀의 한 쌍의 노드에 상기 제1 상태와는 역상의 제2 상태로 기록하는 더미 기록 회로를 더 포함하는 것을 특징으로 하는 정적 기억 장치.
- <95> (부기 9) 부기 8에 있어서, 상기 부하용 더미 메모리 셀은 초기 설정시에 기록된 제2 상태를 그 후의 통상 동작시에 있어서 유지하는 것을 특징으로 하는 정적 기억 장치.
- <96> (부기 10) 부기 1 또는 8에 있어서, 상기 타이밍 제어 신호는 상기 비트선쌍을 증폭하는 센스 앰프의 기동 신호를 포함하는 것을 특징으로 하는 정적 기억 장치.
- <97> (부기 11) 부기 1 또는 8에 있어서, 정적 기억 장치는 외부로부터 공급되는 클럭에 동기하고 어드레스를 입력하는 클럭 동기형인 것을 특징으로 하는 정적 기억 장치.
- <98> (부기 12) 부기 1 또는 8에 있어서, 상기 부하용 더미 메모리 셀은 판독 동작시에 선택되지 않는 것을 특징으로 하는 정적 기억 장치.
- <99> (부기 13) 부기 1 또는 8에 있어서, 상기 더미 메모리 셀은 한 쌍의 인버터의 입출력 단자를 교차 접속한 래치 회로를 구비하고, 상기 입출력 단자가 한 쌍의 노드를 구성하며, 상기 한 쌍의 노드가 한 쌍의 전송 트랜지스터를 통하여 상기 더미 비트선쌍에 접속되는 것을 특징으로 하는 정적 기억 장치.

발명의 효과

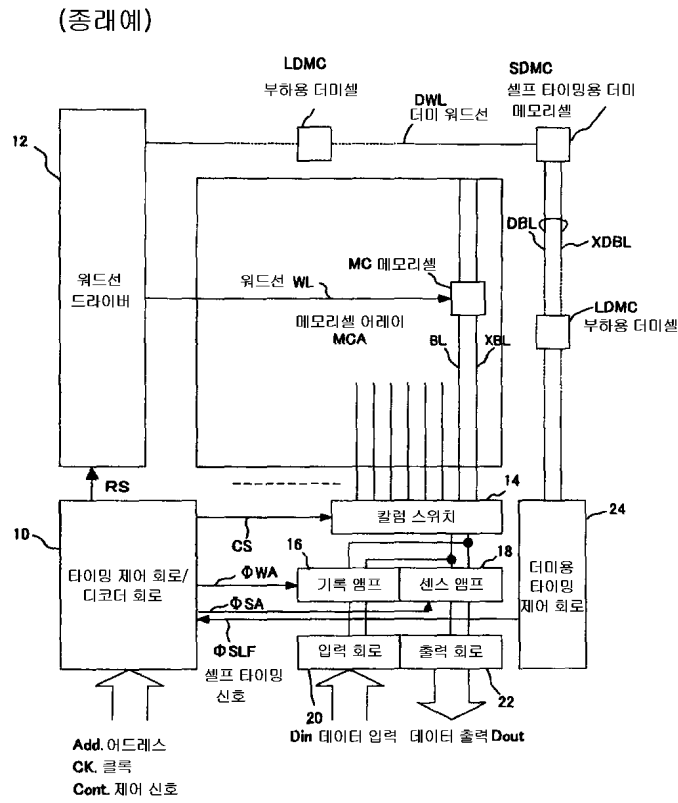
<100> 이상, 본 발명에 따르면, 더미 회로에 의한 셀프 타이밍 회로를 구성한 정적 기억 장치에 있어서, 더미 비트선의 구동이 더미 메모리 셀의 누설 전류에 의해 지나치게 가속되고 제어 신호의 타이밍이 지나치게 가속되어 오동작을 초래하는 것을 방지할 수 있다.

도면의 간단한 설명

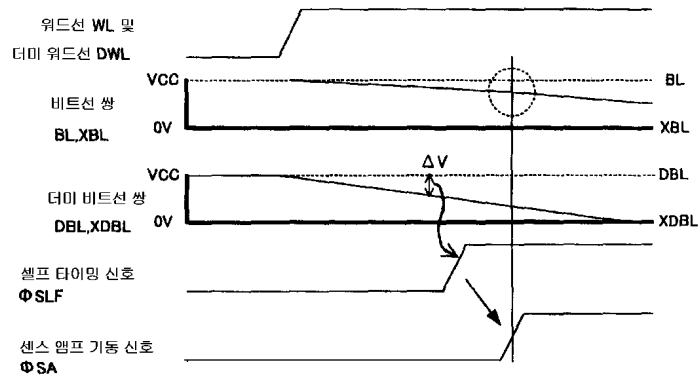
- <1> 도 1은 종래의 셀프 타이밍 회로를 구비하는 정적 기억 장치의 구성도.
- <2> 도 2는 도 1의 판독 동작의 타이밍 차트도.
- <3> 도 3은 종래예의 더미 비트선쌍과 이 더미 비트선쌍에 접속되는 더미 메모리 셀을 상세히 도시하는 회로도.
- <4> 도 4는 판독의 오동작을 도시하는 타이밍 차트도.
- <5> 도 5는 본 실시예에 있어서의 메모리의 구성도.
- <6> 도 6은 본 실시예에 있어서의 더미 비트선쌍과 더미 메모리 셀을 상세히 도시하는 회로도.
- <7> 도 7은 본 실시예에 있어서의 판독 동작의 타이밍 차트도.
- <8> 도 8은 본 실시예에 있어서의 다른 더미 비트선쌍과 더미 메모리 셀을 상세히 도시하는 회로도.
- <9> 도 9는 도 8을 상세히 도시하는 회로도.
- <10> 도 10은 다른 실시예에 있어서의 더미 비트선쌍과 더미 메모리 셀의 회로도.
- <11> <도면의 주요 부분에 대한 부호의 설명>
- <12> MCA : 메모리 셀 어레이
- <13> MC : 메모리 셀
- <14> WL : 워드선
- <15> BL, XBL : 비트선쌍
- <16> DWL : 더미 워드선
- <17> DBL, XDBL : 더미 비트선쌍
- <18> SDMC : 셀프 타이밍용 더미 메모리 셀
- <19> LDMC : 부하용 더미 메모리 셀
- <20> 10, 24 : 타이밍 제어 회로
- <21> 18 : 센스 앰프
- <22> ϕSA : 센스 앰프 기동 신호(타이밍 제어 신호)
- <23> n1, n2 : 한 쌍의 노드
- <24> Vcc : 전원 전압
- <25> Vss : 접지 전압

도면

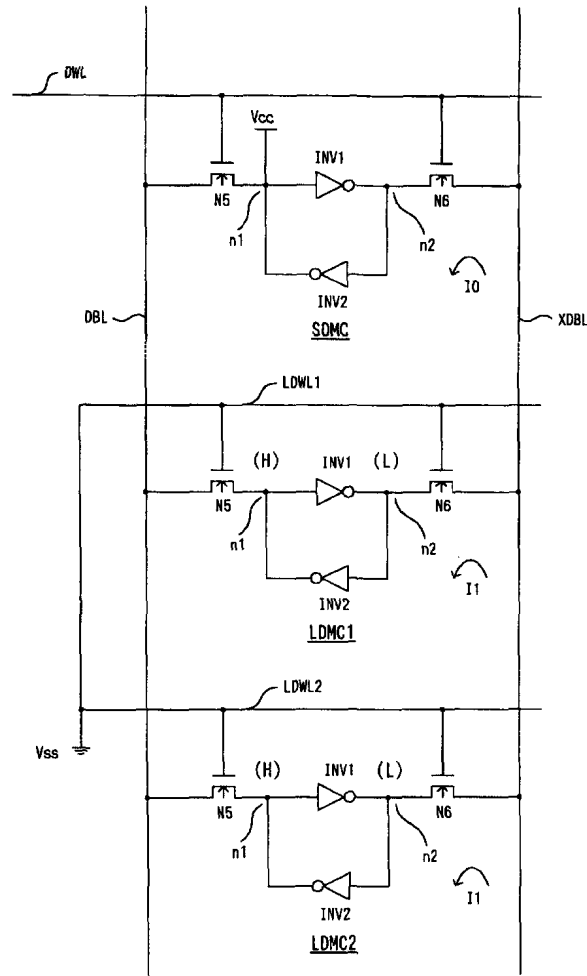
도면1



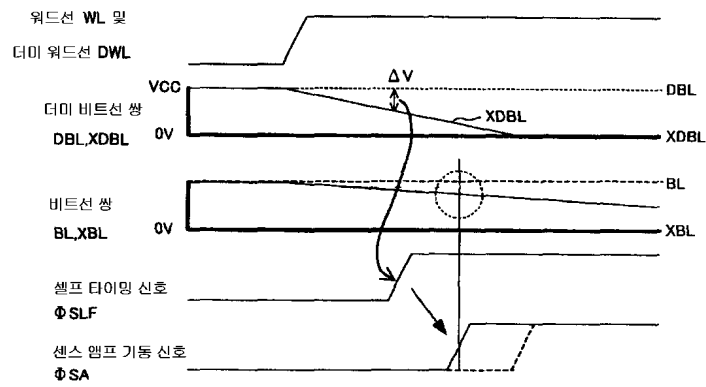
도면2



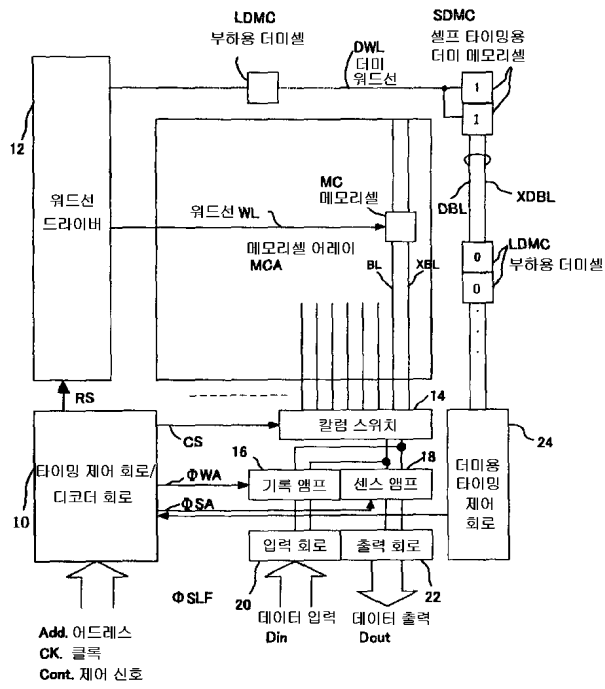
도면3



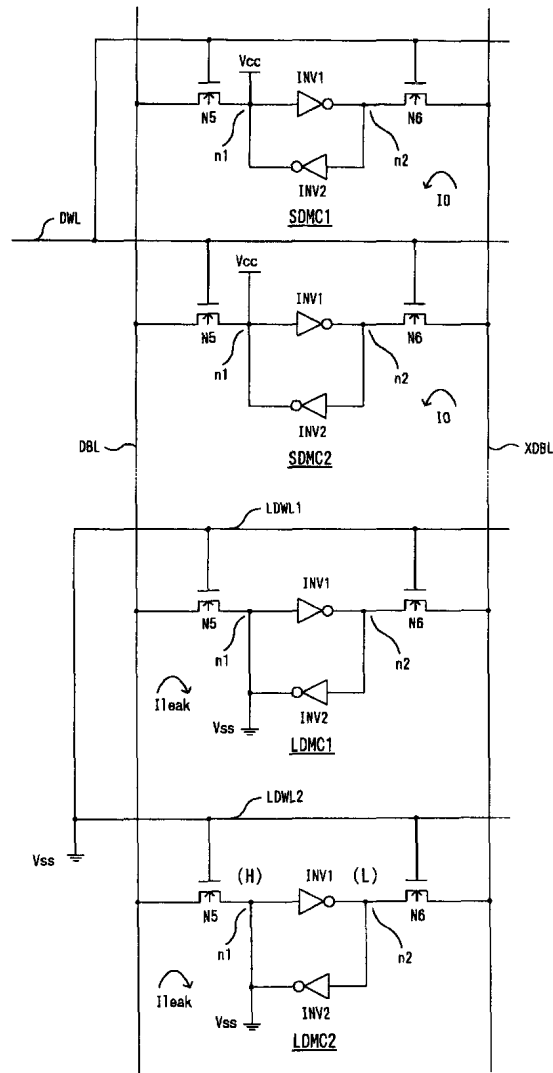
도면4



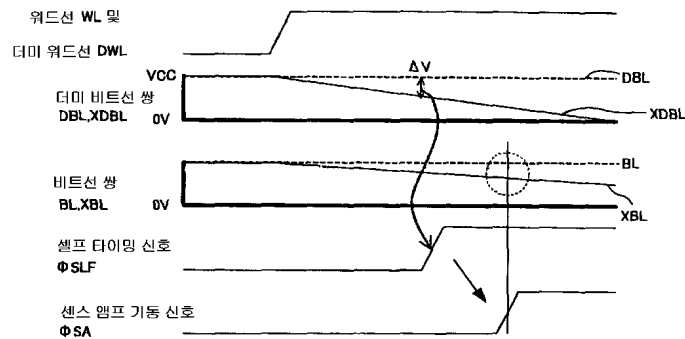
도면5



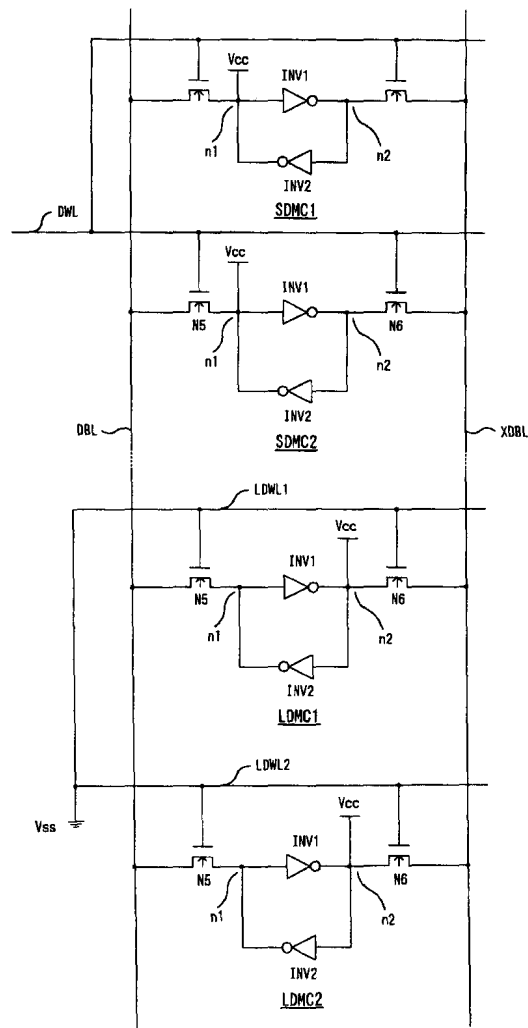
도면6



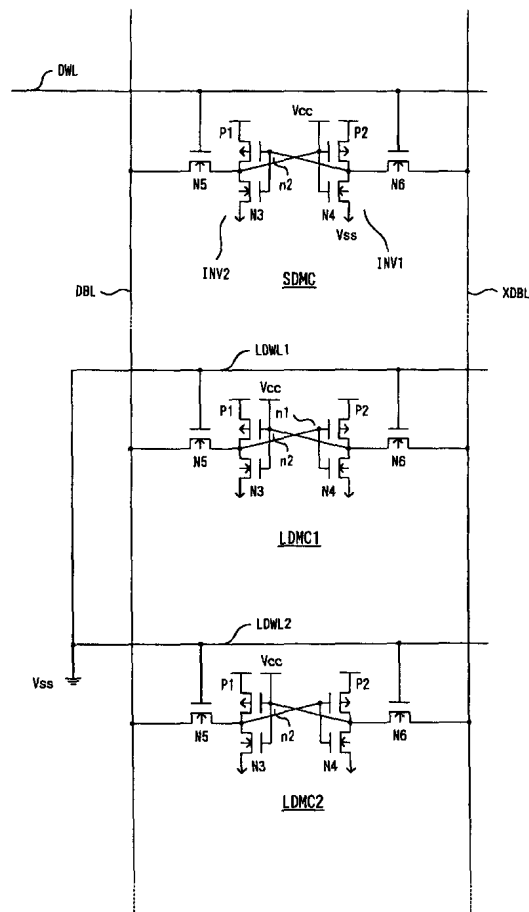
도면7



도면8



도면9



도면10

