

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5809596号  
(P5809596)

(45) 発行日 平成27年11月11日(2015.11.11)

(24) 登録日 平成27年9月18日(2015.9.18)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 M
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 8 F
HO 1 L 29/417 (2006.01)	HO 1 L 29/50	M
HO 1 L 21/768 (2006.01)	HO 1 L 29/78	6 5 2 D
請求項の数 8 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2012-106022 (P2012-106022)	(73) 特許権者	000002130
(22) 出願日	平成24年5月7日(2012.5.7)		住友電気工業株式会社
(65) 公開番号	特開2013-235893 (P2013-235893A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成25年11月21日(2013.11.21)	(73) 特許権者	302062931
審査請求日	平成27年2月23日(2015.2.23)		ルネサスエレクトロニクス株式会社
			東京都江東区豊洲三丁目2番24号
		(74) 代理人	110001195
			特許業務法人深見特許事務所
		(72) 発明者	堀井 拓
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	木村 真二
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素からなる基板と、  
前記基板の表面上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
前記ゲート絶縁膜上において前記ゲート電極を取り囲むように形成された層間絶縁膜と

、  
TiおよびNを含み、Alを含まないバッファ膜と、  
Ti、AlおよびSiを含むソース電極とを備え、  
前記層間絶縁膜を貫通し、前記基板の前記表面を露出させるコンタクトホールが前記ゲート電極から離れて形成されており、  
前記バッファ膜は、前記コンタクトホールの側壁面上に接触するように形成されており

、  
前記ソース電極は、前記コンタクトホールの側壁面上に接触する前記バッファ膜上に積層され、かつ、前記コンタクトホール内に位置する前記基板の前記表面上に接触する、半導体装置。

【請求項2】

前記バッファ膜は、TiNからなっている、請求項1に記載の半導体装置。

【請求項3】

前記バッファ膜は、0.025 μm以上0.15 μm以下の厚みを有している、請求項

1 または 2 に記載の半導体装置。

【請求項 4】

炭化珪素からなる基板を準備する工程と、  
前記基板の表面上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程と、  
前記ゲート絶縁膜上に前記ゲート電極を取り囲む層間絶縁膜を形成する工程と、  
前記層間絶縁膜を貫通し、前記基板の前記表面を露出させるコンタクトホールを前記ゲート電極から離れて形成する工程と、  
前記コンタクトホールの側壁面上に接触し、Ti および N を含み、Al を含まないパッファ膜を形成する工程と、  
前記パッファ膜、およびコンタクトホールを形成することにより露出した前記基板の前記表面上に接触し、Ti、Al および Si を含むソース電極を形成する工程とを備える、半導体装置の製造方法。

10

【請求項 5】

前記ソース電極を形成する工程は、  
Ti を含む第 1 金属層と、前記第 1 金属層上に接触し Al を含む第 2 金属層と、前記第 2 金属層上に接触し Si を含む第 3 金属層とが積層された金属膜を形成する工程と、  
前記金属膜を加熱することにより前記ソース電極を形成する工程とを含む、請求項 4 に記載の半導体装置の製造方法。

20

【請求項 6】

前記ソース電極を形成する工程は、  
Ti、Al および Si が混合された金属膜を形成する工程と、  
前記金属膜を加熱することにより前記ソース電極を形成する工程とを含む、請求項 4 に記載の半導体装置の製造方法。

【請求項 7】

前記パッファ膜を形成する工程では、TiN からなる前記パッファ膜が形成される、請求項 4 ~ 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記パッファ膜を形成する工程では、 $0.025 \mu\text{m}$  以上  $0.15 \mu\text{m}$  以下の厚みを有する前記パッファ膜が形成される、請求項 4 ~ 7 のいずれか 1 項に記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関するものであり、より特定的には、アルミニウムを含む電極と層間絶縁膜との密着性を向上させることにより特性の安定した半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のソース電極や IGBT (Insulated Gate Bipolar Transistor) のエミッタ電極には、アルミニウム (Al) を含む電極が採用される場合がある。そして、たとえば MOSFET においては、このような Al を含むソース電極と、ゲート電極、ゲート絶縁膜および層間絶縁膜との位置関係等について検討されている (たとえば、特許文献 1 および 2 参照)。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許 6833562 号明細書

【特許文献 2】特開 2000-012846 号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

MOSFETにおいて、ソース電極は、活性領域が形成された基板の表面上に接触するとともに、当該表面上においてゲート電極を取り囲むように形成された層間絶縁膜の側壁面に接触して形成される場合がある。ここで、ソース電極と層間絶縁膜との密着性が不十分である場合にはソース電極の剥がれが生じ、結果としてMOSFETのデバイス特性に影響を与える場合がある。

## 【0005】

本発明は、上記課題に鑑みてなされたものであり、その目的は、アルミニウムを含む電極と層間絶縁膜との密着性を向上させることにより特性の安定した半導体装置およびその製造方法を提供することである。

## 【課題を解決するための手段】

## 【0006】

本発明に従った半導体装置は、炭化珪素からなる基板と、基板の表面上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート絶縁膜上においてゲート電極を取り囲むように形成された層間絶縁膜と、TiおよびNを含み、Alを含まないバッファ膜と、Ti、AlおよびSiを含むソース電極とを備えている。上記半導体装置には、層間絶縁膜を貫通し、基板の上記表面を露出させるコンタクトホールがゲート電極から離れて形成されている。バッファ膜は、コンタクトホールの側壁面上に接触するように形成されている。ソース電極は、バッファ膜、およびコンタクトホールを形成することにより露出した基板の上記表面上に接触するように形成されている。

## 【0007】

ここで、Alを含まないバッファ膜とは、Alを実質的に含まないバッファ膜を意味する。すなわち、当該バッファ膜は、意図的にAlが添加されないバッファ膜を意味し、たとえば不純物としてのAlが混入したバッファ膜も含む。

## 【0008】

本発明に従った半導体装置では、ソース電極は、層間絶縁膜を貫通するコンタクトホールの側壁面に接触するように形成されたバッファ膜上に接触するように形成されているため、ソース電極と層間絶縁膜との密着性を向上させることができる。したがって、本発明に従った半導体装置によれば、アルミニウムを含む電極であるソース電極と層間絶縁膜との密着性を向上させることにより特性の安定した半導体装置を提供することができる。

## 【0009】

上記半導体装置において、バッファ膜は、TiNからなってもよい。これにより、ソース電極と層間絶縁膜との密着性をより向上させることができる。

## 【0010】

上記半導体装置において、バッファ膜は、0.025 μm以上0.15 μm以下の厚みを有していてもよい。このように、バッファ膜の厚みは、ソース電極と層間絶縁膜との密着性を向上させるために必要な範囲内に設定することができる。

## 【0011】

本発明に従った半導体装置の製造方法は、炭化珪素からなる基板を準備する工程と、基板の表面上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート絶縁膜上にゲート電極を取り囲む層間絶縁膜を形成する工程と、層間絶縁膜を貫通し、基板の上記表面を露出させるコンタクトホールをゲート電極から離れて形成する工程と、コンタクトホールの側壁面上に接触し、TiおよびNを含み、Alを含まないバッファ膜を形成する工程と、バッファ膜、およびコンタクトホールを形成することにより露出した基板の上記表面上に接触し、Ti、AlおよびSiを含むソース電極を形成する工程とを備えている。

## 【0012】

本発明に従った半導体装置の製造方法では、層間絶縁膜を貫通するコンタクトホールの

10

20

30

40

50

側壁面上に接触し、TiおよびNを含むバッファ膜が形成された後に、バッファ膜上に接触し、Ti、AlおよびSiを含むソース電極が形成される。このように、本発明に従った半導体装置の製造方法では、ソース電極を形成する前にTiおよびNを含むバッファ膜を予め形成することにより、ソース電極と層間絶縁膜との密着性を向上させることができる。したがって、本発明に従った半導体装置の製造方法によれば、アルミニウムを含む電極であるソース電極と層間絶縁膜との密着性を向上させることにより特性の安定した上記本発明に従った半導体装置を製造することが可能な半導体装置の製造方法を提供することができる。

【0013】

上記半導体装置の製造方法において、ソース電極を形成する工程は、Tiを含む第1金属層と、第1金属層上に接触しAlを含む第2金属層と、第2金属層上に接触しSiを含む第3金属層とが積層された金属膜を形成する工程と、金属膜を加熱することによりソース電極を形成する工程とを含んでいてもよい。また、上記半導体装置の製造方法において、ソース電極を形成する工程は、Ti、AlおよびSiが混合された金属膜を形成する工程と、金属膜を加熱することによりソース電極を形成する工程とを含んでいてもよい。これにより、ソース電極を容易に形成することができる。

10

【0014】

上記半導体装置の製造方法において、バッファ膜を形成する工程では、TiNからなるバッファ膜が形成されてもよい。これにより、ソース電極と層間絶縁膜との密着性をより向上させることができる。

20

【0015】

上記半導体装置の製造方法において、バッファ膜を形成する工程では、 $0.025\mu\text{m}$ 以上 $0.15\mu\text{m}$ 以下の厚みを有するバッファ膜が形成されてもよい。このように、バッファ膜の厚みは、ソース電極と層間絶縁膜との密着性を向上させるために必要な範囲内に設定することができる。

【発明の効果】

【0016】

以上の説明から明らかなように、本発明に従った半導体装置およびその製造方法によれば、アルミニウムを含む電極と層間絶縁膜との密着性を向上させることにより特性の安定した半導体装置およびその製造方法を提供することができる。

30

【図面の簡単な説明】

【0017】

【図1】MOSFETの構造を示す概略断面図である。

【図2】MOSFETの製造方法を概略的に示すフローチャートである。

【図3】ソース電極を形成する工程を概略的に示すフローチャートである。

【図4】ドレイン電極を形成する工程を概略的に示すフローチャートである。

【図5】MOSFETの製造方法を説明するための概略断面図である。

【図6】MOSFETの製造方法を説明するための概略断面図である。

【図7】MOSFETの製造方法を説明するための概略断面図である。

【図8】MOSFETの製造方法を説明するための概略断面図である。

40

【図9】MOSFETの製造方法を説明するための概略断面図である。

【図10】MOSFETの製造方法を説明するための概略断面図である。

【図11】MOSFETの製造方法を説明するための概略断面図である。

【図12】MOSFETの製造方法を説明するための概略断面図である。

【図13】MOSFETの製造方法を説明するための概略断面図である。

【図14】図13中の第1金属膜の構造を概略的に示す拡大図である。

【図15】MOSFETの製造方法を説明するための概略断面図である。

【発明を実施するための形態】

【0018】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一

50

または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0019】

まず、本実施の形態に係る半導体装置としてのMOSFET1の構造について説明する。図1を参照して、MOSFET1は、炭化珪素からなる基板10と、ゲート絶縁膜20と、ゲート電極30と、層間絶縁膜40と、バッファ膜51と、ソース電極52と、ソース配線60と、ドレイン電極70とを備えている。基板10は、ベース基板11と、半導体層12とを含み、また半導体層12には、ドリフト領域13と、ボディ領域14と、ソース領域15と、コンタクト領域16とが形成されている。また、MOSFET1には、ゲート絶縁膜20と層間絶縁膜40とを貫通し、基板10の主表面10Aを露出させるコンタクトホール80がゲート電極30から離れて形成されている。

10

【0020】

ベース基板11は、たとえばN(窒素)等のn型不純物を含むことにより導電型がn型(第1導電型)となっている。ドリフト領域13は、ベース基板11の主表面11A上に形成されたエピタキシャル成長層である。ドリフト領域13は、ベース基板11と同様に、たとえばN(窒素)等のn型不純物を含むことにより導電型がn型となっており、その濃度はベース基板11よりも低くなっている。

【0021】

ボディ領域14は、基板10の主表面10Aを含み、半導体層12内に互いに分離して形成されている。ボディ領域14は、たとえばAl(アルミニウム)やB(硼素)などのp型不純物を含むことにより、導電型がp型(第2導電型)となっている。

20

【0022】

ソース領域15は、主表面10Aを含み、ボディ領域14に取り囲まれるように各々のボディ領域14内に形成されている。ソース領域15は、たとえばP(リン)などのn型不純物を含むことにより、ベース基板11およびドリフト領域13と同様に導電型がn型となっている。また、ソース領域15に含まれるn型不純物の濃度は、ドリフト領域13に含まれるn型不純物の濃度よりも高くなっている。

【0023】

コンタクト領域16は、ソース領域15と同様に、主表面10Aを含みつつボディ領域14に取り囲まれ、かつソース領域15に隣接するように各々のボディ領域14内に形成されている。コンタクト領域16は、ボディ領域14と同様に、たとえばAl(アルミニウム)やB(硼素)などのp型不純物を含むことにより導電型がp型となっており、その濃度は、ボディ領域14よりも高くなっている。

30

【0024】

ゲート絶縁膜20は、たとえばSiO<sub>2</sub>(二酸化珪素)からなり、主表面10A上に接触しつつ、一方のソース領域15の上面から他方のソース領域15の上面にまで延在するように形成されている。

【0025】

ゲート電極30は、ゲート絶縁膜20上に接触しつつ、一方のソース領域15上から他方のソース領域15上にまで延在するように形成されている。ゲート電極30は、たとえば不純物が添加されたポリシリコンなどの導電体からなっている。

40

【0026】

層間絶縁膜40は、たとえばSiO<sub>2</sub>(二酸化珪素)からなり、ゲート絶縁膜20上においてゲート電極30を取り囲むように形成されている。コンタクトホール80は、側壁面80Aと底面80Bとを有し、層間絶縁膜40およびゲート絶縁膜20を貫通して形成されている。また、図1に示すように、コンタクトホール80の側壁面80Aは層間絶縁膜40およびゲート絶縁膜20により構成され、また、底面80Bはソース領域15およびコンタクト領域16の上面となっている。

【0027】

バッファ膜51は、コンタクトホール80内において、側壁面80A上に接触するように形成されている。また、バッファ膜51は、TiおよびNを含み、Alを含まない膜で

50

あって、たとえばTiNからなる膜であってもよい。また、バッファ膜51は、TiWからなる膜や、Ta<sub>2</sub>N<sub>5</sub>からなる膜であってもよい。

【0028】

ソース電極52は、バッファ膜51、およびコンタクトホール80を形成することにより露出した基板10の主表面10A上に接触するように形成されている。また、ソース電極52は、Ti、AlおよびSiを含む膜であって、たとえばTiAlSi合金からなっている。

【0029】

ドレイン電極70は、ベース基板11の主表面11Aとは反対側の主表面11B上に形成されている。ドレイン電極70は、ソース電極52と同様に、たとえばTiAlSi合金からなっており、ベース基板11に対して電氣的に接続されている。

10

【0030】

ソース配線60は、ソース電極52および層間絶縁膜40を覆うように形成されている。ソース配線60は、たとえばAl(アルミニウム)等の金属からなっており、ソース電極52を介してソース領域15と電氣的に接続されている。

【0031】

次に、本実施の形態に係る半導体装置としてのMOSFET1の動作について説明する。図1を参照して、ゲート電極30に印加された電圧が閾値電圧未満の状態、すなわちオフ状態では、ソース電極52とドレイン電極70との間に電圧が印加されても、ボディ領域14とドリフト領域13との間に形成されるpn接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極30に閾値電圧以上の電圧が印加されると、ボディ領域14に反転層が形成される。その結果、ソース領域15とドリフト領域13とが電氣的に接続され、ソース電極52とドレイン電極70との間に電流が流れる。以上のようにして、MOSFET1は動作する。

20

【0032】

以上のように、本実施の形態に係るMOSFET1では、ソース電極52は、層間絶縁膜40を貫通するコンタクトホール80の側壁面80Aに接触するように形成されたバッファ膜51上に接触するように形成されているため、ソース電極52と層間絶縁膜40との密着性を向上させることができる。このように、本実施の形態に係るMOSFET1は、アルミニウムを含む電極であるソース電極52と層間絶縁膜40との密着性を向上させることにより特性の安定した半導体装置となっている。

30

【0033】

また、上述のように、MOSFET1において、バッファ膜51は、TiNからなってもよい。これにより、ソース電極52と層間絶縁膜40との密着性をより向上させることができる。

【0034】

また、MOSFET1において、バッファ膜51は、0.025μm以上0.15μm以下の厚みを有していてもよい。このように、バッファ膜51の厚みは、ソース電極52と層間絶縁膜40との密着性を向上させるために必要な範囲内に設定することができる。

【0035】

次に、本発明の一実施の形態に係る半導体装置の製造方法について、図1~図15を参照して説明する。本実施の形態に係る半導体装置の製造方法においては、上記本実施の形態に係る半導体装置としてのMOSFET1が製造される。図2を参照して、まず、基板準備工程(S10)が実施される。この工程(S10)では、以下に説明する工程(S11)~(S14)が実施されることにより、炭化珪素からなる基板10が準備される。

40

【0036】

まず、工程(S11)として、ベース基板準備工程が実施される。この工程(S11)では、図5を参照して、たとえば4H-SiCからなるインゴット(図示しない)をスライスすることにより、導電型がn型のベース基板11が準備される。

【0037】

50

次に、工程（S12）として、エピタキシャル成長層形成工程が実施される。この工程（S12）では、図5を参照して、エピタキシャル成長により、ベース基板11の主表面11A上に導電型がn型の半導体層12が形成される。

【0038】

次に、工程（S13）として、イオン注入工程が実施される。この工程（S13）では、図6を参照して、まず、たとえばA1イオンが、基板10の主表面10Aを含む領域に注入されることにより、半導体層12内に導電型がp型のボディ領域14が形成される。次に、たとえばPイオンが、上記A1イオンの注入深さよりも浅い深さでボディ領域14内に注入されることにより、導電型がn型のソース領域15が形成される。そして、たとえばA1イオンが、ボディ領域14内にさらに注入されることにより、ソース領域15と隣接し、かつソース領域15と同等の深さを有し、導電型がp型のコンタクト領域16が形成される。また、半導体層12において、ボディ領域14、ソース領域15およびコンタクト領域16のいずれも形成されない領域は、ドリフト領域13となる。

10

【0039】

次に、工程（S14）として、活性化アニール工程が実施される。この工程（S14）では、基板10を加熱することにより、上記工程（S13）にて導入された不純物が活性化される。これにより、不純物が導入された領域において所望のキャリアが生成する。このようにして、上記工程（S11）～（S14）が実施されることにより、不純物の導入により活性領域が形成された基板10が準備される。

【0040】

20

次に、工程（S20）として、ゲート絶縁膜形成工程が実施される。この工程（S20）では、図7を参照して、たとえば酸素を含む雰囲気中において基板10を加熱することにより、基板10の主表面10A上を覆うようにSiO<sub>2</sub>（二酸化珪素）からなるゲート絶縁膜20が形成される。

【0041】

次に、工程（S30）として、ゲート電極形成工程が実施される。この工程（S30）では、図8を参照して、たとえばLPCVD（Low Pressure Chemical Vapor Deposition）法により、不純物を含むポリシリコンからなるゲート電極30がゲート絶縁膜20上に形成される。

【0042】

30

次に、工程（S40）として、層間絶縁膜形成工程が実施される。この工程（S40）では、図9を参照して、たとえばP（Plasma）-CVD法により、SiO<sub>2</sub>（二酸化珪素）からなる層間絶縁膜40が、ゲート絶縁膜20とともにゲート電極30を取り囲むようにゲート絶縁膜20上に形成される。

【0043】

次に、工程（S50）として、コンタクトホール形成工程が実施される。この工程（S50）では、図10を参照して、側壁面80Aおよび底面80Bを有し、基板10の主表面10Aを露出させるコンタクトホール80が形成される。具体的には、たとえばRIE（Reactive Ion Etching）などのエッチング方法を用いて、層間絶縁膜40およびゲート絶縁膜20を貫通するようにエッチングを進行させることにより、基板10の主表面10A（ソース領域15およびコンタクト領域16の上面）を露出させるコンタクトホール80が形成される。また、この工程（S50）では、コンタクトホール80は、ゲート電極30から離れて形成されるため、図10に示すようにゲート電極30がゲート絶縁膜20と層間絶縁膜40とにより取り囲まれた状態が維持される。

40

【0044】

次に、工程（S60）として、バッファ膜形成工程が実施される。この工程（S60）では、図11を参照して、たとえばスパッタリングにより、コンタクトホール80の側壁面80Aおよび底面80B、ならびに層間絶縁膜40の上面上に接触するバッファ膜51が形成される。この工程（S60）では、TiおよびNを含み、Alを含まないバッファ膜51として、たとえばTiNからなる膜が形成されてもよい。また、バッファ膜51と

50

して、TiWからなる膜や、TaNからなる膜が形成されてもよい。また、この工程(S60)では、 $0.025\mu\text{m}$ 以上 $0.15\mu\text{m}$ 以下の厚みを有するバッファ膜51が形成されてもよい。

【0045】

次に、工程(S70)として、エッチング工程が実施される。この工程(S70)では、図12中矢印に示すように、基板10の主表面10A側よりドライエッチングを実施することにより、層間絶縁膜40の上面およびコンタクトホール80の底面80B上に形成されたバッファ膜51が除去され、コンタクトホール80の側壁面80A上に形成されたバッファ膜51が残存する。

【0046】

次に、工程(S80)として、オーミック電極形成工程が実施される。この工程(S80)では、図3および図4を参照して、以下に説明する工程(S81)~(S84)が実施され、バッファ膜51、およびコンタクトホール80を形成することにより露出した基板10の主表面10A上に接触し、Ti、AlおよびSiを含むソース電極52と、ベース基板11の主表面11B上に接触し、たとえばソース電極52と同様の材料からなるドレイン電極70が形成される。

【0047】

まず、工程(S81)として、第1金属膜形成工程が実施される。この工程(S81)では、図13および図14を参照して、たとえばスパッタリングにより、Tiを含む第1金属層52aと、第1金属層52a上に接触しAlを含む第2金属層52bと、第2金属層52b上に接触しSiを含む第3金属層52cとが積層された構造を有する第1金属膜52dが形成される。また、この工程(S81)では、上述のように第1~第3金属層52a~52cが積層されることにより第1金属膜52dが形成されてもよいが、これに限られるものではない。たとえば、Ti、AlおよびSiを同時にスパッタリングすることにより、Ti、AlおよびSiが混合された第1金属膜52dが形成されてもよい。

【0048】

次に、工程(S82)として、エッチング工程が実施される。この工程(S82)では、コンタクトホール80の近傍にマスク(図示しない)を配置した上で、図15中矢印に示すように基板10の主表面10A側よりドライエッチングを実施することにより、層間絶縁膜40の上面に形成された第1金属膜52dが主に除去される。その結果、バッファ膜51、およびコンタクトホール80の底面80B上に接触して形成された第1金属膜52dが残存する。

【0049】

次に、工程(S83)として、第2金属膜形成工程が実施される。この工程(S83)では、図15を参照して、たとえばスパッタリングにより、ベース基板11の主表面11B上において、第1金属膜52dと同様に、Ti、AlおよびSiが積層または混合された第2金属膜70aが形成される。

【0050】

次に、工程(S84)として、合金化アニール工程が実施される。この工程(S84)では、図1を参照して、上記工程(S81)および(S83)にて形成された第1および第2金属膜52d, 70aが加熱される。これにより、第1および第2金属膜52d, 70aを構成するTi、AlおよびSiの合金化が進行し、その結果TiAlSi合金となり、基板10にオーミック接触するソース電極52およびドレイン電極70が形成される。このように、この工程(S80)では、工程(S81)、(S82)および(S84)が実施されることによりソース電極52が形成され(図3参照)、また工程(S83)および(S84)が実施されることによりドレイン電極70が形成される(図4参照)。

【0051】

次に、工程(S90)として、配線形成工程が実施される。この工程(S90)では、図1を参照して、たとえば蒸着法により、Alなどの導電体からなるソース配線60が、ソース電極50上に接触するように形成される。上記工程(S10)~(S90)が実施

10

20

30

40

50

されることにより、MOSFET1が製造され、本実施の形態に係る半導体装置の製造方法が完了する。

【0052】

以上のように、本実施の形態に係る半導体装置の製造方法では、層間絶縁膜40を貫通するコンタクトホール80の側壁面80A上に接触し、TiおよびNを含むバッファ膜51が形成された後に、バッファ膜51上に接触し、Ti、AlおよびSiを含むソース電極52が形成される。このように、本実施の形態に係る半導体装置の製造方法では、ソース電極52を形成する前にTiおよびNを含むバッファ膜51を予め形成することにより、ソース電極52と層間絶縁膜40との密着性を向上させることができる。したがって、本実施の形態に係る半導体装置の製造方法によれば、アルミニウムを含む電極であるソース電極52と層間絶縁膜40との密着性を向上させることにより特性の安定した上記本実施の形態に係る半導体装置としてのMOSFET1を製造することができる。

10

【0053】

また、上記本実施の形態において、ソース電極52は、これと同様にキャリア供給機能を有する電極であればよく、たとえばIGBTのエミッタ電極等を採用することができる。

【0054】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

20

【産業上の利用可能性】

【0055】

本発明の半導体装置およびその製造方法は、アルミニウムを含む電極と層間絶縁膜との密着性を向上させることにより特性を安定化することが要求される半導体装置およびその製造方法において特に有利に適用され得る。

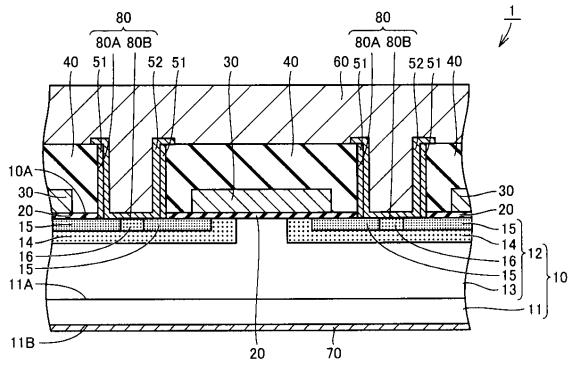
【符号の説明】

【0056】

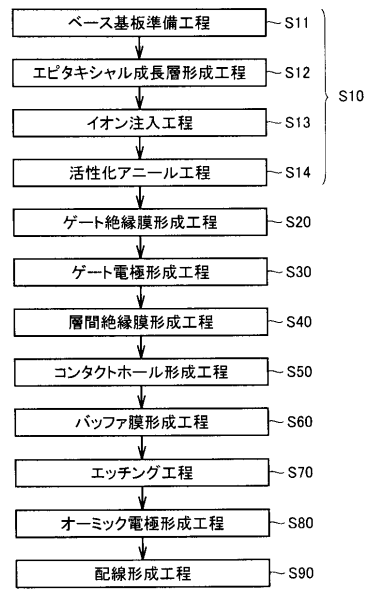
1 MOSFET、10 基板、11 ベース基板、10A, 11A, 11B 主表面、12 半導体層、13 ドリフト領域、14 ボディ領域、15 ソース領域、16  
コンタクト領域、20 ゲート絶縁膜、30 ゲート電極、40 層間絶縁膜、51 バッファ膜、52 ソース電極、52a 第1金属層、52b 第2金属層、52c 第3金属層、52d 第1金属膜、60 ソース配線、70 ドレイン電極、70a 第2金属膜、80 コンタクトホール、80A 側壁面、80B 底面。

30

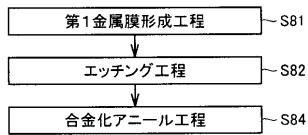
【図1】



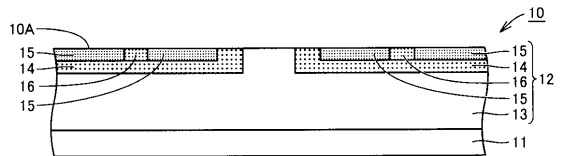
【図2】



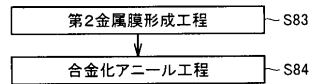
【図3】



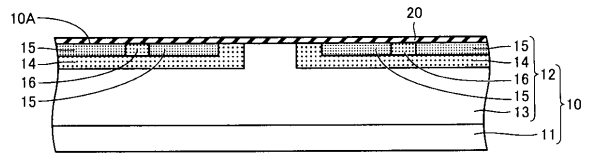
【図6】



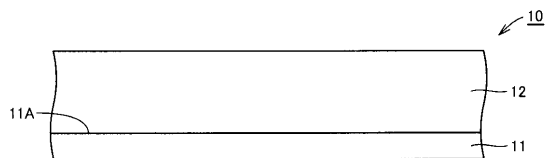
【図4】



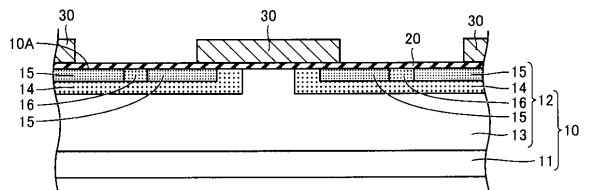
【図7】



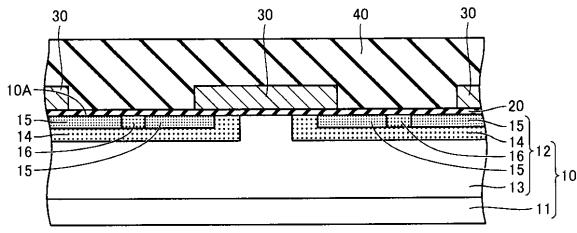
【図5】



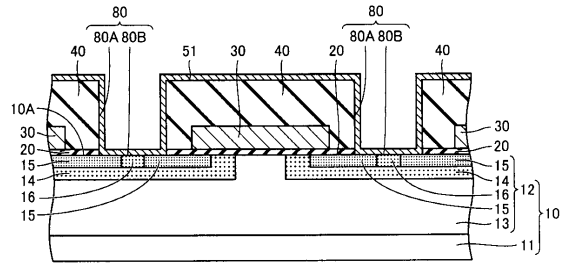
【図8】



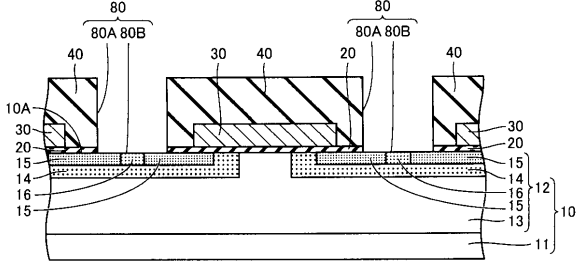
【 図 9 】



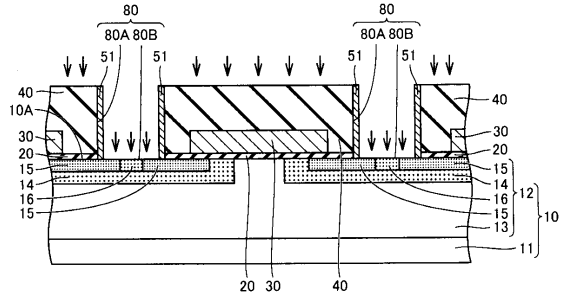
【 図 11 】



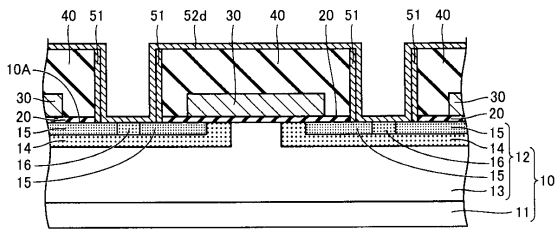
【 図 10 】



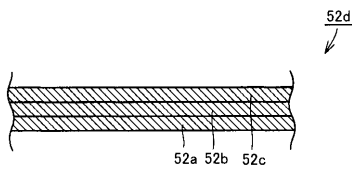
【 図 12 】



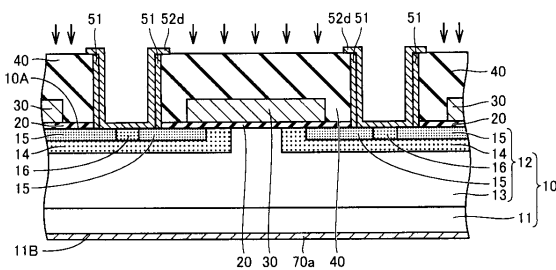
【 図 13 】



【 図 14 】



【 図 15 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/90 C

(72)発明者 木本 美津男  
兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスセミコンダクタエンジニアリング内

審査官 須原 宏光

(56)参考文献 特開2010-272766(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 2 8