

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/34

(11) 공개번호 특2000-0020747
(43) 공개일자 2000년04월15일

(21) 출원번호	10-1998-0039495
(22) 출원일자	1998년09월23일
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지 정덕주
(72) 발명자	충청북도 청주시 흥덕구 분평동 분평주공아파트 506-1103
(74) 대리인	김용인, 강용복

심사청구 : 있음**(54) 로컬 워드라인 드라이버****요약**

본 발명은 워드라인 드라이버를 구성하는 트랜지스터 수를 줄여 칩 면적을 줄이고 소자의 동작 특성을 향상시키는데 적당하도록한 로컬 워드라인 드라이버에 관한 것으로, Vss(0V)를 공급받아 -1V 정도의 값을 갖는 Vbb신호를 출력하는 Vbb 발생부와, Vbb신호와 입력 어드레스 신호에 의해 셀 블록 선택신호(BS)(BSB)를 출력하는 블록 선택 신호 출력부를 포함하고; 상기 블록 선택 신호 출력부에서 출력되는 제 1 블록 선택신호(BS0)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)로 구성되는 제 1 워드라인 구동부와, 제 2 블록 선택신호(BS1)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부로 이루어져 2개의 단위 셀 블록에 상응하여 구성된다.

대표도**도3****명세서****도면의 간단한 설명**

- 도 1은 종래 기술의 로컬 워드라인 드라이버의 회로로 구성도
- 도 2는 종래 기술의 로컬 워드라인 드라이버의 동작 타이밍도
- 도 3은 본 발명에 따른 로컬 워드라인 드라이버의 회로 구성도
- 도 4는 본 발명에 따른 로컬 워드라인 드라이버의 동작 타이밍도

도면의 주요부분에 대한 부호의 설명

- | | |
|------------------|------------------|
| 31. Vbb 발생부 | 32. 블록 선택신호 출력부 |
| 33. 제 1 워드라인 구동부 | 34. 제 2 워드라인 구동부 |

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 메모리 소자의 워드라인 드라이버에 관한 것으로, 특히 회로를 구성하는 트랜지스터 수를 줄여 칩 면적의 감소 및 동작 특성 향상에 적당하고록한 로컬 워드라인 드라이버에 관한 것이다.

이하, 첨부된 도면을 참고하여 종래 기술의 반도체 메모리 소자의 워드라인 드라이버에 관하여 설명하면 다음과 같다.

도 1은 종래 기술의 로컬 워드라인 드라이버의 회로 구성도이고, 도 2는 종래 기술의 로컬 워드라인 드라이버의 동작 타이밍도이다.

도 1은 SRAM(Static Random Access Memory)에 사용되는 로컬 워드라인 드라이버의 회로 구성을 나타낸

것으로, 메인 워드라인(MWL)구동 신호가 게이트 입력으로 공통 사용되는 제 1 PMOS 트랜지스터(MP1)와 제 1 PMOS 트랜지스터(MP1)에 직렬 연결되는 제 1 NMOS 트랜지스터(MN1) 그리고 워드라인 구동신호(MWL)가 게이트 입력으로 공통 사용되는 제 2 PMOS 트랜지스터(MP2)와 제 2 PMOS 트랜지스터(MP2)에 직렬 연결되는 제 2 NMOS 트랜지스터(MN2)와, 상기 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)의 출력단에 연결되어 항상 터온되어 있는 제 3 PMOS 트랜지스터(MP3)와, 상기 직렬 연결되는 제 2 PMOS 트랜지스터(MP2)와 제 2 NMOS 트랜지스터(MN2)의 출력단에 연결되어 항상 터온되어 있는 제 4 PMOS 트랜지스터(MP4)와, 각각의 출력단에 각각 연결 구성되어 하나의 워드라인 구동신호만을 HIGH로 인에이블되도록 하는 제 1,2 인버터(INV1)(INV2)로 구성된다.

여기서, 제 1,2,3,4 PMOS 트랜지스터(MP1)(MP2)(MP3)(MP4)들의 소오스에는 전원 전압이 인가되고, 제 1,2 NMOS 트랜지스터(MN1)(MN2)의 소오스에는 블록 선택 신호(BS0)(BS1)이 인가된다.

이와 같은 종래 기술의 워드라인 드라이버의 워드라인 드라이빙 동작은 다음과 같다.

입력 어드레스 조합에 의해서 하나의 메인 워드라인(MWL)만이 HIGH로 인에이블되고 나머지 워드라인 구동신호들은 전부 디저블(Disable)된다.

제 1 블록 선택 신호(BS0), 제 2 블록 선택 신호(BS1)는 셀블록 선택신호로써, 선택된 블록만이 LOW로 인에이블되고 선택되지 않은 블록은 HIGH로 디저블된다.

하나의 워드라인이 인에이블되기 위해서는 메인 워드라인 구동신호가 HIGH가 되고 블록 선택신호가 LOW가되어야 한다.

예를들어, 제 1 블록 워드라인(WL0_B0)이 인에이블되기 위해서는 메인 워드라인(MWL)구동 신호가 HIGH가되어야 하고 제 1 블록 선택 신호(BS0)가 LOW가되어야 한다.

선택되지 않은 워드라인 구동부에 인가되는 워드라인 구동신호는 항상 LOW가되어 디저블 상태가 되므로 해당 워드라인은 항상 디저블이 된다.

만약, 워드라인 구동신호가 HIGH로 선택되어도 블록 선택신호가 HIGH인경우에는 워드라인은 인에이블 되지 않는다.

발명이 이루고자하는 기술적 과제

이와 같은 종래 기술의 워드라인 드라이버는 하나의 워드라인을 선택하기 위하여 구성되는 트랜지스터의 개수가 많아 다음과 같은 문제점이 있다.

첫째, 로컬 워드라인 드라이버는 2개의 셀 블록마다 구성되는데, 하나의 워드라인을 선택하기 위하여 5개의 트랜지스터가 필요하므로 전체 칩 면적에서 로컬 워드라인 드라이버가 차지하는 면적이 크다.

이는 전체 칩면적의 크기를 축소하는데 불리한 요인으로 작용한다.

둘째, 워드라인 구동신호가 모든 로컬 워드라인 드라이버와 연결되기 때문에 게이트 커패시턴스가 증가하여 워드라인의 인에이블에 소요되는 시간을 많이 필요로 한다.

본 발명은 이와 같은 종래 기술의 SRAM에 사용되는 워드라인 드라이버를 구성하는 트랜지스터 수를 줄여 칩 면적을 줄이고 소자의 동작 특성을 향상시키는데 적당하도록한 본 발명의 로컬 워드라인 드라이버는 Vss(0V)를 공급받아 -1V 정도의 값을 갖는 Vbb신호를 출력하는 Vbb 발생부와, Vbb신호와 입력 어드레스 신호에 의해 셀 블록 선택신호(BS)(BSB)를 출력하는 블록 선택 신호 출력부를 포함하고; 상기 블록 선택 신호 출력부에서 출력되는 제 1 블록 선택신호(BS0)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)로 구성되는 제 1 워드라인 구동부와, 제 2 블록 선택신호(BS1)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부로 이루어져 2개의 단위 셀 블록에 상응하여 구성되는 것을 특징으로 한다.

발명의 구성 및 작용

SRAM에 사용되는 워드라인 드라이버를 구성하는 트랜지스터 수를 줄여 칩 면적을 줄이고 소자의 동작 특성을 향상시키는데 적당하도록한 본 발명의 로컬 워드라인 드라이버는 Vss(0V)를 공급받아 -1V 정도의 값을 갖는 Vbb신호를 출력하는 Vbb 발생부와, Vbb신호와 입력 어드레스 신호에 의해 셀 블록 선택신호(BS)(BSB)를 출력하는 블록 선택 신호 출력부를 포함하고; 상기 블록 선택 신호 출력부에서 출력되는 제 1 블록 선택신호(BS0)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)로 구성되는 제 1 워드라인 구동부와, 제 2 블록 선택신호(BS1)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부로 이루어져 2개의 단위 셀 블록에 상응하여 구성되는 것을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 따른 로컬 워드라인 드라이버에 관하여 상세히 설명하면 다음과 같다.

도 3은 본 발명에 따른 로컬 워드라인 드라이버의 회로 구성도이고, 도 4는 본 발명에 따른 로컬 워드라인 드라이버의 동작 타이밍도이다.

본 발명에 따른 로컬 워드라인 드라이버는 1개의 NMOS 트랜지스터와 PMOS 트랜지스터에 의해 워드라인이 선택되는 구조를 갖는다.

그 상세 구성은 다음과 같다.

먼저, Vss(0V)를 공급받아 -1V 정도의 값을 갖는 Vbb신호를 출력하는 Vbb 발생부(31)와, Vbb신호와 입력 어드레스 신호에 의해 셀 블록 선택신호(BS)(BSB)를 출력하는 블록 선택 신호 출력부(32)를 포함하고, 상기 블록 선택 신호 출력부(32)에서 출력되는 제 1 블록 선택신호(BS0)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)로 구성되는 제 1 워드라인 구동부(33)와, 제 2 블록 선택신호(BS1)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부(34)로 구성된다.

PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부(34)로 이루어진다.

상기 제 1 워드라인 구동부(33)의 제 1 PMOS 트랜지스터(MP1)의 소오스에는 메인 워드라인(MWL)구동 신호가 입력되고, 제 1 NMOS 트랜지스터(MN1)의 소오스에는 상기 블록 선택 신호 출력부(32)에서 출력되는 /제 1 블록 선택신호(BS0B)가 입력된다.

그리고 제 2 워드라인 구동부(34)의 제 2 PMOS 트랜지스터(MP2)의 소오스에는 메인 워드라인(MWL)구동 신호가 입력되고, 제 2 NMOS 트랜지스터(MN2)의 소오스에는 상기 블록 선택 신호 출력부(32)에서 출력되는 /제 2 블록 선택신호(BS1B)가 입력된다.

서로 직렬 연결되는 제 1 워드라인 구동부(33)의 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)의 출력단에서는 제 1 블록의 워드라인 구동신호(WL0_BO)가 출력된다.

그리고 서로 직렬 연결되는 제 2 워드라인 구동부(34)의 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)의 출력단에서는 제 2 블록의 워드라인 구동신호(WL0_B1)가 출력된다.

상기 제 1,2 블록의 워드라인 구동신호(WL0_BO)(WL0_B1)는 제 1,2 블록 선택신호(BS0)(BS1)에 의해 어느 하나만 선택적으로 인에이블된다.

그리고 Vbb 신호는 블록을 선택하는 블록 선택신호 출력부(32)의 접지 레벨로 작용하고 블록 선택신호 출력부(32)에서 출력되는 Low 신호는 -1V의 값을 갖는다.

이와 같은 본 발명에 따른 로컬 워드라인 드라이버의 워드라인 구동 동작은 다음과 같다.

입력 어드레스 조합에 의해 선택된 MWL만 High로 인에이블되고 선택되지 않은 MWL은 Low로 디저블 상태가 된다.

선택된 블록의 블록 선택 신호는 Low로 인에이블되고 선택되지 않은 블록의 블록 선택 신호는 항상 High가 되어 해당 워드라인은 항상 Low로 디저블된다.

여기서, 블록 선택 신호(BS)와 /블록 선택 신호(BSB)는 항상 반대 위상을 갖는다.

그러므로 특정의 워드라인이 High로 인에이블되기 위해서는 메인 워드라인(Main Word Line;MWL)구동 신호가 High가 되고, BS 신호가 Low가 되어야 한다.

BS가 Low로 인가되어 선택된 블록에서는 메인 워드라인(MWL)구동 신호가 Low제 1 또는 제 2 PMOS 트랜지스터(MP1)(MP2)를 통해서 Low인 신호가 워드라인에 전달되어야 하는데, PMOS 트랜지스터의 게이트 입력으로 사용되는 사용되는 BS 신호가 -1V의 레벨이므로 선택되지 않은 워드라인이 0V가 될 수 있다.

여기서, Vbb 발생부(31)를 구성하여 SB 신호의 레벨을 -1V로 정한 이유는 다음과 같다.

PMOS 트랜지스터를 통해서 메인 워드라인의 0V의 신호가 워드라인에 제대로 전달되지 않을 수 있다.

이와 같은 문제가 발생하는 것을 막기 위하여 Vbb 발생부(31)를 구성하여 블록 선택신호 출력부(32)의 Low신호의 레벨을 접지 레벨(0V)보다 -1V 낮게 만들어 선택되지 않은 워드라인이 0V를 유지할 수 있도록 하기 위한 것이다.

발명의 효과

이와 같은 본 발명의 로컬 워드라인 드라이버는 구동 회로를 구성하는 트랜지스터의 개수를 줄여 다음과 같은 효과가 있다.

로컬 워드라인 드라이버는 2개의 셀 블록마다 1개가 구성되는데, 본 발명에 따른 로컬 워드라인 드라이버는 2개의 트랜지스터만으로 워드라인을 선택할 수 있어 드라이버 구성 면적을 줄일 수 있는 효과가 있다.

또한, 게이트 커패시턴스를 줄여 워드 라인 인에이블 시간을 빠르게 할 수 있어 소자의 동작 특성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

Vss(0V)를 공급받아 -1V 정도의 값을 갖는 Vbb신호를 출력하는 Vbb 발생부와, Vbb신호와 입력 어드레스 신호에 의해 셀 블록 선택신호(BS)(BSB)를 출력하는 블록 선택 신호 출력부를 포함하고;

상기 블록 선택 신호 출력부에서 출력되는 제 1 블록 선택신호(BS0)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)로 구성되는 제 1 워드라인 구동부와,

제 2 블록 선택신호(BS1)가 게이트 공통 입력으로 사용되고 서로 직렬 연결되는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)로 구성되는 제 2 워드라인 구동부로 이루어져 2개의 단위 셀 블록에 상응하여 구성되는 것을 특징으로 하는 로컬 워드라인 드라이버.

청구항 2

제 1 항에 있어서, 제 1 워드라인 구동부의 제 1 PMOS 트랜지스터(MP1)의 소오스에는 메인 워드라인(MWL)구동 신호가 입력되고, 제 1 NMOS 트랜지스터(MN1)의 소오스에는 상기 블록 선택 신호 출력부에서 출력되는 /제 1 블록 선택신호(BS0B)가 입력되는 것을 특징으로 하는 로컬 워드라인 드라이버.

청구항 3

제 1 항에 있어서, 제 2 웨드라인 구동부의 제 2 PMOS 트랜지스터(MP2)의 소오스에는 메인 웨드라인(MWL)구동 신호가 입력되고, 제 2 NMOS 트랜지스터(MN2)의 소오스에는 상기 블록 선택 신호 출력부에서 출력되는 /제 2 블록 선택신호(BS1B)가 입력되는 것을 특징으로 하는 로컬 웨드라인 드라이버.

청구항 4

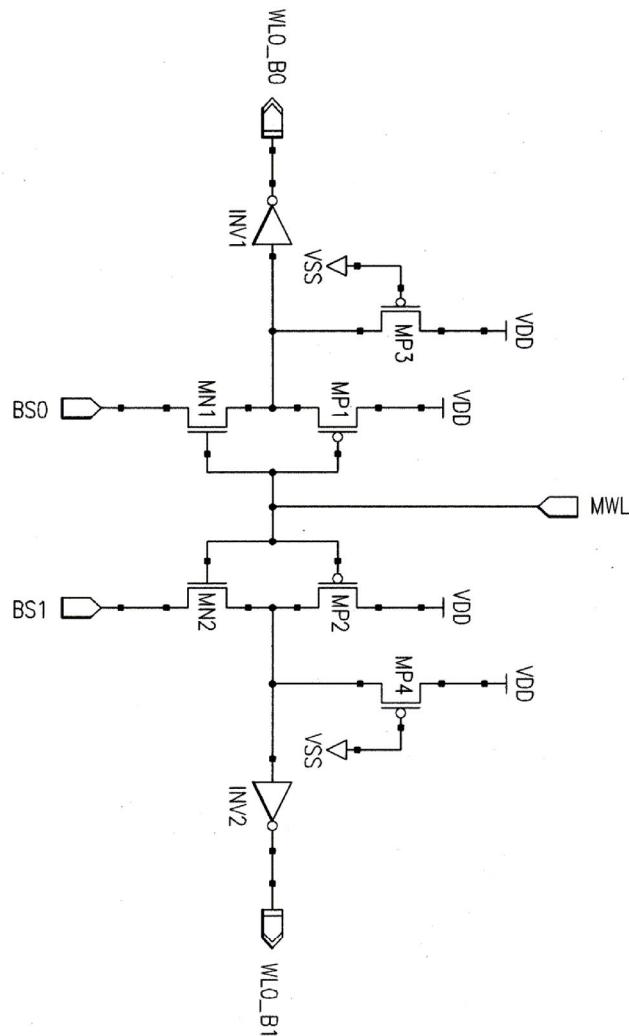
제 1 항에 있어서, 서로 직렬 연결되는 제 1 웨드라인 구동부의 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1)의 출력단에서는 제 1 블록의 웨드라인 구동신호(WL0_B0)가 출력되고, 서로 직렬 연결되는 제 2 웨드라인 구동부(34)의 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2)의 출력단에서는 제 2 블록의 웨드라인 구동신호(WL0_B1)가 출력되는 것을 특징으로 하는 로컬 웨드라인 드라이버.

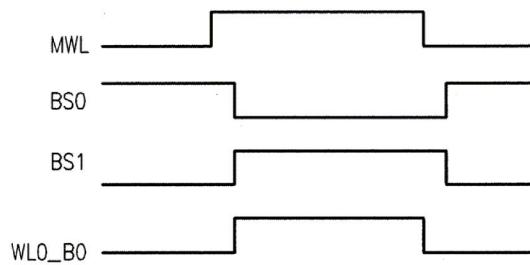
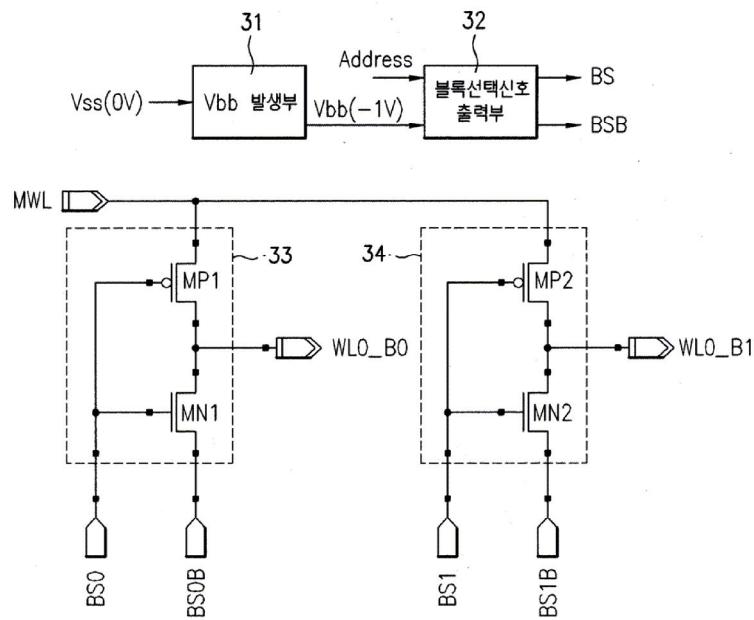
청구항 5

제 1 항 또는 제 2 항에 있어서, 제 1,2 블록의 웨드라인 구동신호(WL0_B0)(WL0_B1)는 제 1,2 블록 선택 신호(BS0)(BS1)에 의해 어느 하나만 선택적으로 인에이블되는 것을 특징으로 하는 로컬 웨드라인 드라이버.

청구항 6

제 1 항에 있어서, Vbb 신호는 블록을 선택하는 블록 선택신호 출력부의 접지 레벨로 작용하고 블록 선택신호 출력부에서 출력되는 Low 신호는 -1V의 값을 갖는 것을 특징으로 하는 로컬 웨드라인 드라이버.

도면**도면1**

도면2**도면3****도면4**