(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3746303号
(P3746303)
(45)発行日　平成18年2月15日(2006.2.15)　(24)登録日　平成17年12月2日(2005.12.2)

(51)Int.Cl.　F I
H01L 29/812 (2006.01)　H01L 29/80　H
H01L 29/778 (2006.01)
H01L 21/338 (2006.01)

請求項の数 2　(全 6 頁)

(21)出願番号　特願平5-38898
(22)出願日　平成5年2月26日(1993.2.26)
(65)公開番号　特開平6-252177
(43)公開日　平成6年9月9日(1994.9.9)
審査請求日　平成11年11月19日(1999.11.19)
審判番号　不服2002-4012(P2002-4012/J1)
審判請求日　平成14年3月7日(2002.3.7)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100080883
弁理士　松隈　秀盛
(72)発明者　長谷　伊知郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

合議体
審判長　松本　邦夫
審判官　今井　淳一
審判官　河本　充雄

最終頁に続く

(54)【発明の名称】電界効果トランジスタ

(57)【特許請求の範囲】
【請求項１】
アンドープ条件で成長したｎ型のＩｎＡｓによるチャネル層の少なくともゲート側に該チャネル層より電子親和力が小さくｐ型の不純物がドープされた障壁層が形成されてゲート電圧ゼロの状態においてゲート部でチャネル層が空乏化されてノーマリーオフ構成とされたことを特徴とする電界効果トランジスタ。
【請求項２】
上記チャネル層と上記障壁層との間に上記チャネル層より電子親和力が小さいアンドープのスペーサ層が設けられたことを特徴とする請求項１に記載の電界効果トランジスタ。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、電界効果トランジスタ（ＦＥＴ）、特に例えばＩｎＡｓをチャネル層とする化合物半導体ＦＥＴに係わる。
【０００２】
【従来の技術】
化合物半導体の例えばＧａＡｓＦＥＴは、衛星放送受信等の超高周波、超高速性等が要求される分野で使用される方向にある。
【０００３】
このＧａＡｓより更に材料特性に優れた化合物半導体としてＩｎＡｓが知られている。す

なわちこのＩｎＡｓはＧａＡｓに比べ電子の有効質量が小さく、電子飽和速度が大きい。
【０００４】
また、このＩｎＡｓには、アロイすることなく電極をオーミックコンタクトすることができるという利点がある。
【０００５】
このことから、このＩｎＡｓをチャネル層として用いるＦＥＴは、ＧａＡｓＦＥＴよりも優れた高速、高周波特性が得られると考えられる。
【０００６】
ところが、このＩｎＡｓは、これをアンドープ条件で成長させても、一般に10^{16}atoms/cm^3 以上にも及ぶｎ型の導電性を示し、これによりＦＥＴを作製してもピンチオフ特性が悪いという問題がある。例えば、$Al_X Ga_{1-X} Sb$層をヘテロ障壁とするＩｎＡｓチャネルＦＥＴを作製してもゲート電圧によって電流を充分にオフさせることが困難であって、そのため、ノーマリーオフ型のＦＥＴが実現できない。
【０００７】
また、例えばＩｎＡｓの電子濃度を充分低くできたとしてもこの場合はソース抵抗を充分小さくすることができなくなって、ノイズ特性を悪化させるという問題が生じる。
【０００８】
【発明が解決しようとする課題】
本発明は、上述したようなアンドープ条件での成長によっても高い導電性を示す化合物半導体によるＦＥＴを構成する場合においても、ピンチオフ特性の改善をはかり、ノーマリーオフ型のＦＥＴを実現し、さらにソース抵抗の改善、したがってノイズ特性の改善をはかる。
【０００９】
【課題を解決するための手段】
本発明による電界効果トランジスタは、図１にその一例の基本的構成の断面図を示すように、アンドープ条件で成長したｎ型のＩｎＡｓによるチャネル層１の少なくともゲート側にこのチャネル層１よりも電子親和力が小さくｐ型の不純物がドープされた障壁層２が形成されてゲート電圧ゼロの状態においてゲート部でチャネル層が空乏化されてノーマリーオフ構成とされたことを特徴とする。
【００１０】
また、本発明による電界効果トランジスタは、上述した構成において、上記チャネル層と上記障壁層との間に上記チャネル層より電子親和力が小さいアンドープのスペーサ層が設けられたことを特徴とする。
【００１２】
【作用】
上述したように、本発明によれば、ＩｎＡｓチャネル層１に接して少なくともそのゲート側にこのチャネル層１に比して電子親和力が小さくかつこのチャネル層１と異なる導電型のｐ型の不純物がドープされた障壁層２を設けた構成としたことにより、チャネル層１の障壁層２とのヘテロ接合において空乏層が生じることにより、ＦＥＴにおいてそのゲート電圧によってドレイン電流を充分変調でき、ピンチオフとなるバイアス条件でドレイン電流を充分小さくでき、ノーマリーオフのＩｎＡｓ系ＦＥＴの構成を可能にした。
【００１３】
【実施例】
本発明は、図１にその一例の基本的構成の断面図を示すように、基体１１上に、第１導電型例えばｎ型のチャネル層１を設け、その少なくとも一方の面例えば両面にこのチャネル層１よりも電子親和力が小さく少くとも一方が第２導電型例えばｐ型の不純物がドープされた障壁層２とを設けてＦＥＴを構成する。
【００１４】
図２以下を参照して本発明の具体的構成をその製法と共に説明する。
先ず、図２に示すように、例えばＧａＳｂ単結晶基体１１上に、順次バッファ層１２、第

１の障壁層２Ａ、ｎ型のチャネル層１、スペーサ層１３、第２の障壁層２Ｂ、キャップ層１４を連続的にＭＯＣＶＤ（Metal Organic Chemical Vapor Deposition)あるいはＭＢＥ（分子線エピタキシー）によってエピタキシーする。

【００１５】

バッファ層１２は例えば厚さ５０ｎｍ～５００ｎｍのアンドープＧａＡｓとし、第１の障壁層２Ａは例えば厚さ１０ｎｍ～３００ｎｍのｐ型もしくはアンドープのチャネル層１より電子親和力の小さい$Al_x Ga_{1-x} Sb$とし、チャネル層１は厚さ５ｎｍ～１００ｎｍのアンドープＩｎＡｓとし、スペーサ層１３は厚さ２ｎｍ～３０ｎｍのアンドープ$Al_x Ga_{1-x} Sb$とし、第２の障壁層２Ｂは厚さ５ｎｍ～２００ｎｍのｐ型の、チャネル層１より電子親和力の小さい$Al_x Ga_{1-x} Sb$とし、キャップ層１４は厚さ１０ｎｍ～５０ｎｍのＩｎＡｓとし得る。

【００１６】

このアンドープＩｎＡｓのチャネル層１は、これがアンドープであるにもかかわらずｎ型を示す。

【００１７】

図３に示すように、キャップ層１４上から例えばバッファ層１２に至る深さに最終的に構成される各ＦＥＴ間の電気的絶縁分離ないしは素子間を分断するに際しての分断助成の溝２４を例えばフォトリソグラフィによる化学的エッチングあるいはドライエッチングによって形成する。

【００１８】

図４に示すように、キャップ層１４上のゲート部の構成部に例えば厚さ５０ｎｍ～５００ｎｍのＡｕによるゲート電極１５を形成する。

【００１９】

図５に示すように、ゲート電極１５をマスクとして、このゲート電極１５によって覆われていない部分のキャップ層１４、第２の障壁層２Ｂ、スペーサ層１３をエッチング除去してアンドープのチャネル層１をゲート部の両側において外部に露呈させる。

【００２０】

図６に示すように、ＣＶＤ（化学的気相成長）法等によって表面に$Si_3 N_4$等による絶縁膜１６を被着形成する。

【００２１】

図７に示すように、絶縁膜１６に、ゲート電極１５上とその両側のチャネル層１上のソース及びドレイン各電極の形成部とにフォトリソグラフィ等による選択的エッチングを行って電極窓を穿設し、これらを通じてＡｕ等の金属を被着してチャネル層１に対してソース及びドレイン各電極１７ｓ及び１７ｄを、この場合オーミックコンタクトする。ゲート電極１５上にも同様の電極を同時に形成してその厚みを増加させ得る。

このオーミックコンタクトは、アロイを省略することができる。

【００２２】

このようにして目的とするＦＥＴを構成する。

【００２３】

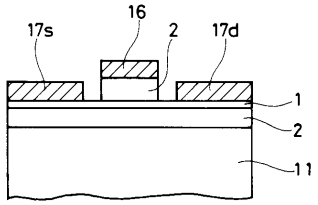
この構成によるＦＥＴの厚さ方向のチャネル層１とこれを挟む障壁層２（２Ａ及び２Ｂ）の厚さ方向に関する第２の障壁層２Ｂが存在する部分すなわちゲート部での断面と第２の障壁層２Ｂが除去された部分での断面の、各ゲート電圧ゼロでのエネルギーバンドモデルを図８及び図９に示す。この場合第１の障壁層２Ａがアンドープとした場合が示めされている。

【００２４】

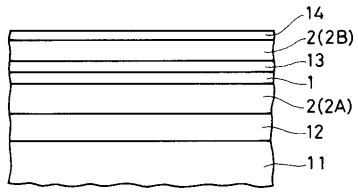
図８をみて明らかなように、電子親和力の小さいｐ型の第２の障壁層２Ｂが存在する部分すなわちゲート電極直下のゲート部ではゲート電圧ゼロの状態でチャネル層１が空乏化されていてノーマリーオフのＦＥＴを構成させることができることが分かる。そしてゲート部以外においてはすなわちソース及びドレイン領域においては障壁層２Ｂが存在していないので、キャリアの蓄積があり、低いソース抵抗が実現される。

【００２５】
なお、障壁層２は、上述した例におけるように、チャネル層１を挟んで第１及び第２の障壁層２Ａ及び２Ｂを設ける場合においても、その少なくともゲート部側の障壁層２Ｂにおいてチャネル層１が呈するｎ型と異なるｐ型の不純物がドープされた構成とすることができる。
【００２６】
また、障壁層２例えば上述の構成において障壁層２Ｂにおける不純物のドープはその全厚さに渡って一様に分布させることもできるが、厚さ方向の一部に偏ってドープさせることもできる。
【００２７】
例えば図１０に示すように、スペーサ層１３との界面に偏析させたいわゆるδ分布のドープ層２Ｂｓを構成することもできる。図１０において、図２と対応する部分には同一符号を付して重複説明を省略する。
【００２８】
なお、ＦＥＴの構造、各層の組成は上述した例に限らず種々の構成を採り得ることは言うまでもないことである。
【００２９】
【発明の効果】
上述したように、本発明によれば、ＩｎＡｓチャネル層１に接して少なくともそのゲート側にチャネル層１に比して電子親和力が小さくかつこのチャネル層１と異なる導電型のｐ型不純物がドープされた障壁層２を設けた構成としたことにより、チャネル層１の障壁層２とのヘテロ接合において空乏層が生じることにより、ゲート電圧によってドレイン電流を充分変調でき、ピンチオフとなるバイアス条件でドレイン電流を充分小さくでき、アンドープ条件でもｎ型の導電性を示すＩｎＡｓ系ＦＥＴにおいてもノーマリーオフ型のｎチャネルＦＥＴを構成することができたものである。
【００３０】
このように、電子の飽和速度が高く、アロイすることなく低オーミック接触抵抗が得られる例えばＩｎＡｓ材料の特性を充分生かした超高周波、超高速トランジスタの実現、特に従来のＦＥＴに比べてソース抵抗を大幅に低下させたノーマリーオフ型ＦＥＴが実現できる。
【図面の簡単な説明】
【図１】本発明による電界効果トランジスタの基本的構成の略線的断面図である。
【図２】本発明による電界効果トランジスタの一例の一製造工程図である。
【図３】本発明による電界効果トランジスタの一例の一製造工程図である。
【図４】本発明による電界効果トランジスタの一例の一製造工程図である。
【図５】本発明による電界効果トランジスタの一例の一製造工程図である。
【図６】本発明による電界効果トランジスタの一例の一製造工程図である。
【図７】本発明による電界効果トランジスタの一例の一略線的断面図である。
【図８】本発明の説明に供するエネルギーバンドモデル図である。
【図９】本発明の説明に供するエネルギーバンドモデル図である。
【図１０】本発明による電界効果トランジスタの他の例の一製造工程図である。
【符号の説明】
１　　チャネル層
２　　障壁層
２Ａ　第１の障壁層
２Ｂ　第２の障壁層
１１　基体
１６　ゲート電極
１７ｓソース電極
１７ｄドレイン電極

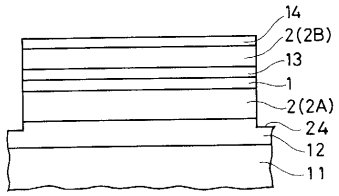
【図１】



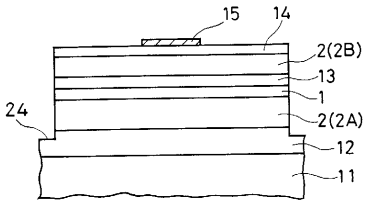
【図２】



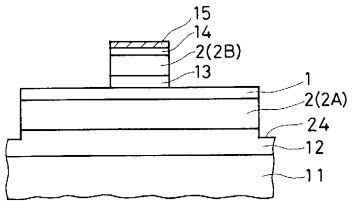
【図３】



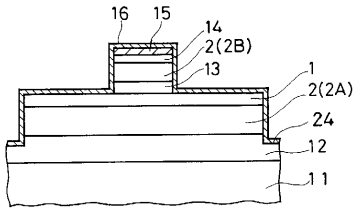
【図４】



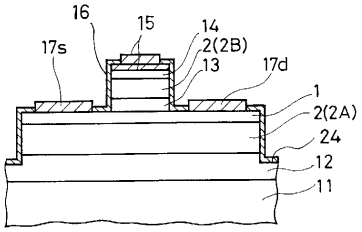
【図５】



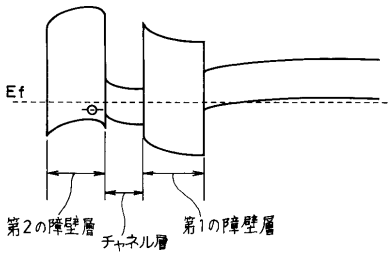
【図６】



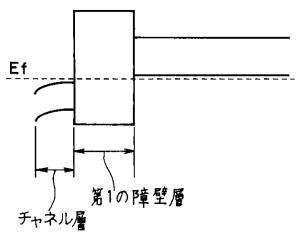
【図７】



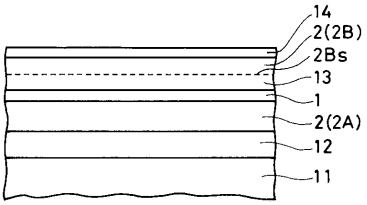
【図８】



【図９】



【図１０】



フロントページの続き

(56)参考文献 特開平4－333242（JP, A）
特開平4－332137（JP, A）
”Novel InAs／(Al, Ga) Sb FET with Direct Gate－to－Channel Contact” IEEE ELECTRON DEVICE LETTERS. Vol. 12, No. 5, May 1991 p. 210－212
”Heterojunction field－effect transistors based on AlGaSb／InAs” Appl. Phys. Lett. Vol. 55 No. 8, 21 August 1989 p. 789－791