

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月20日(20.09.2012)



(10) 国際公開番号

WO 2012/124204 A1

- (51) 国際特許分類:
G05B 19/05 (2006.01)
- (21) 国際出願番号: PCT/JP2011/074304
- (22) 国際出願日: 2011年10月21日(21.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-056866 2011年3月15日(15.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): オムロン株式会社(OMRON CORPORATION) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 吉田 寛(YOSHIDA, Hiroshi) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内 Kyoto (JP). 香川 徹雄

(KAGAWA, Tetsuo) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内 Kyoto (JP). 福井 信二(FUKUI, Shinji) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内 Kyoto (JP). 佐久間 敬(SAKUMA, Takashi) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人深見特許事務所(Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

[続葉有]

(54) Title: DEVICE FOR ASSISTING DEVELOPMENT OF CONTROL PROGRAMS, PROGRAM FOR ASSISTING DEVELOPMENT OF CONTROL PROGRAMS, AND RECORDING MEDIUM

(54) 発明の名称: 制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体

【図16】

CC		Pt		Pa		TB1	
AA ラック	BB スロット DD チャンネル	アドレス ビット		FF 入出力 タイプ	GG ポートID	バス β	
00	1	0000	出力 00 01 02	出力 II	00 01 02	rack0/slot0/Ch1_Out rack0/slot0/Ch1_Out/Ch1_Out00 rack0/slot0/Ch1_Out/Ch1_Out01 rack0/slot0/Ch1_Out/Ch1_Out02	KK CJ1W-OC201 (リレー 接点出力 ユニット)
00	1	0001	出力 00 01 02	出力 II	10 11 12	1100 1101 1102	...
...	...	...	...	...	...	...	...
00	0	0010	入力 00 01 02	入力 JJ	00 01 02	rack0/slot0/Ch1_In rack0/slot0/Ch1_In/Ch1_In00 rack0/slot0/Ch1_In/Ch1_In01 rack0/slot0/Ch1_In/Ch1_In02	LL CJ1W-ID201 (DC入力ユニット)
00	0	0011	入力 00 01 02	入力 JJ	10 11 12	0100 0101 0102	α
...	...	...	...	...	...	...	...

Pa... PATH
Pt... PORT
AA... RACK
BB... SLOT
CC... ADDRESS
DD... CHANNEL
EE... BIT
FF... INPUT/OUTPUT TYPE
GG... PORT ID
HH... TYPE
II... OUTPUT
JJ... INPUT
KK... RELAY CONTACT OUTPUT UNIT
LL... DC INPUT UNIT

(57) Abstract: Provided is a device for assisting the development of control programs which is capable of improving the convenience of changes to a unit configuration by making it unnecessary to perform tasks such as updating the memory addresses in a control program when changing the unit configuration. Also provided are a program for assisting the development of control programs and a recording medium. An address table (TB1) indicating the correspondence between port IDs and memory addresses associated with corresponding port IDs is generated, a variable table (TB2) indicating the correspondence between port IDs and variables (Var) associated with corresponding port IDs is generated, the port IDs of the units before a change are overwritten with the port IDs of the units after the change, the port ID corresponding to a variable (Var) is acquired from the variable table (TB2), and the memory address corresponding to the acquired port ID is acquired from the address table (TB1).

(57) 要約:

[続葉有]

WO 2012/124204 A1



MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

たとえユニット構成が改変されたとしても、制御プログラムにおけるメモリアドレスの変更等の作業を行う必要がなく、これにより、ユニット構成の改変に伴う利便性を向上させることが可能な制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体を提供する。ポート ID に対応して関連付けられるメモリアドレスとポート ID との対応関係を示すアドレステーブル (TB 1) を作成し、ポート ID に対応して関連付けられる変数 Var とポート ID との対応関係を示す変数テーブル (TB 2) を作成し、アドレステーブル (TB 1) に対して、変更前のユニットにおけるポート ID を、変更後のユニットにおけるポート ID に書き換え、変数 Var に対応するポート ID を変数テーブル (TB 2) から取得し、取得したポート ID に対応するメモリアドレスをアドレステーブル (TB 1) から取得する。

明 細 書

発明の名称：

制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体

技術分野

[0001] 本開示は、制御プログラム開発支援装置に関し、特に、プログラマブルコントローラのCPUユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体に関する。

背景技術

[0002] 生産工場の製造現場などに設置されるFA（ファクトリーオートメーション）システムを制御するためのPLC（プログラマブルコントローラ）では、一般的に、制御プログラム（ユーザプログラム）に基づいて演算実行するCPU（Central Processing Unit）ユニットに対して、センサやスイッチなどの入力機器の接続を受けて当該入力機器のオン・オフ信号を入力信号として取り込む入力ユニット、アクチュエータやリレーなどの出力機器の接続を受けて当該出力機器に対して出力信号を送り出す出力ユニット、上位端末装置などと接続を確立して当該端末装置と情報をやりとりする通信ユニット、各ユニットに電源を供給する電源ユニットその他の各種ユニットが接続される。これらの各種ユニットがそれぞれ１段又は多段のラックに配置されてPLCが構成されている。

[0003] 図１８は、CPUユニット２２と各種ユニット３１，３２，…とを接続するシステム構成の一例を示すプログラマブルコントローラ（PLC）２００の概略構成図である。

[0004] PLC２００は、電源ユニット２１とCPUユニット２２とを含む「CPUラック００」を備える。また、PLC２００には、電源ユニット２１を含

む増設ラック（「ラック０１」，「ラック０２」，…）が増設されることもある。

[0005] 「ＣＰＵラック００」には、電源ユニット２１及びＣＰＵユニット２２に加えて、複数のユニット（基本入力ユニット、基本出力ユニット、高機能入力ユニット、高機能出力ユニットやＣＰＵ高機能ユニット等の構成ユニット）が配置される。また、ラックが増設される場合、「ＣＰＵラック００」には、さらにＩ／Ｏ（入出力）コントロールユニット４０が配置され、「ラック０１」，「ラック０２」，…には、Ｉ／Ｏインターフェースユニット５０、複数のユニット（基本入力ユニット、基本出力ユニット、高機能入力ユニット、高機能出力ユニットやＣＰＵ高機能ユニット等の構成ユニット）が配置される。Ｉ／Ｏコントロールユニット４０とＩ／Ｏインターフェースユニット５０とは、配線ケーブルＣＢを介して互いに接続される。

[0006] 図１８の例では、「ＣＰＵラック００」には、複数のスロット（スロット０，スロット１，…）のうち、スロット０に入力ユニット３１が、スロット１に出力ユニット３２が配置されている。また、「ラック０１」には、スロット０，スロット１，…のうち、スロット０にＣＰＵ高機能ユニット３３が、スロット１に入力ユニット３４が、スロット２に出力ユニット３５が配置されている。

[0007] また、入力ユニット３１，３４には、センサやスイッチ等の接点に相当する「入力ポート００」，「入力ポート０１」，「入力ポート０２」，…が設けられている。出力ユニット３２，３５には、アクチュエータやリレー等の接点に相当する「出力ポート００」，「出力ポート０１」，「出力ポート０２」，…が設けられている。

[0008] ＣＰＵユニット２２は、制御プログラムを記憶するプログラムメモリ２２ａと、入力ユニット３１，３４が取り込んだ入力信号と制御プログラムの演算結果である出力信号とをそれぞれ記憶するデータメモリ２２ｂと、制御プログラムに基づく演算処理等をする処理プロセッサ部２２ｃとを備えている。ＰＬＣ２００は、プログラミングツール装置として作用する制御プログラ

ム開発支援装置 10 の接続を受ける。P L C 2 0 0 は、制御プログラム開発支援装置 10 によって作成または編集され、さらに、C P U ユニット 2 2 で実行可能なオブジェクトコードに変換された制御プログラムを実行する。

[0009] 詳しくは、制御プログラムは、P L C 2 0 0 を稼働させる前に、ユーザが制御プログラム開発支援装置 10 を操作することにより、例えば、ラダー図（ラダーチャート）で表現されるラダー言語で記述されて作成される。

[0010] そして、作成された制御プログラムは、制御プログラム開発支援装置 10 によってラダー図のシンボルが命令語に変換され、C P U ユニット 2 2 に応じたオペランドが規定され、C P U ユニット 2 2 にダウンロードされる。

[0011] C P U ユニット 2 2 の処理プロセッサ部 2 2 c は、プログラムメモリ 2 2 a から制御プログラムの命令語を順次読み出して、読み出した命令語のオペランドに従う I / O メモリ等のメモリ M のメモリアドレスに基づいてデータメモリ 2 2 b から入力信号のデータを読み出す。処理プロセッサ部 2 2 c は、読み出したデータを制御プログラムに従って論理演算し、演算結果をデータメモリ 2 2 b に記憶する。処理プロセッサ部 2 2 c は、記憶した演算結果を出力信号として出力ユニット 3 2, 3 5 へ出力する。C P U ユニット 2 2 の処理プロセッサ部 2 2 c は、入力信号の読み出し処理と、制御プログラムの実行処理と、出力処理の出力処理とをサイクリックに実行する。

[0012] 制御プログラムが、例えば、ラダー言語のラダー図を用いて作成された場合、制御プログラム上で接点を表すシンボルの上に、制御プログラムを実行する C P U ユニット 2 2 において使用するメモリ M におけるメモリアドレスが、併記される。接点は、例えば、C P U ユニット 2 2 が I / O データ（I / O ポートの入力データ若しくは出力データ）として扱う対象を指し、具体的にはセンサやスイッチの接点をいう。シンボルは、ラダー言語で書かれた制御プログラム上で接点を示す表現記号である。例えば、入力接点のシンボルは「— | —」であり、出力接点のシンボルは「—○—」である（以下の説明では、ラダー図で書かれた制御プログラムにおけるシンボル又は接点を特に区別しない場合は、「シンボル・接点」ということもある）。メモリア

ドレスは、例えば、CPUユニット22がI/Oデータとして扱う場合、接点に対応する各I/Oポートをメモリ割り付けすることで決まる。メモリアドレスは、CPUユニット22が演算に使用する各I/Oデータが格納されるメモリMのアドレス番号を示す。

[0013] 従来の制御プログラム開発支援装置10は、構成ユニット31, 32, …におけるスロット0, スロット1, …の配置位置（スロット装着位置）によりメモリアドレスを決定する。具体的には、制御プログラム開発支援装置10は、スロット0, スロット1に配置（装着）された入力ユニット31, 34における「入力ポート00」, 「入力ポート01」, 「入力ポート02」, …に対応してメモリMのメモリアドレスを割り付け、スロット1, スロット2に配置（装着）された出力ユニット32, 35における「出力ポート00」, 「出力ポート01」, 「出力ポート02」, …に対応してメモリMのメモリアドレスを自動的に割り付けるように構成されている（特許文献1（特開2006-243841号公報）参照）。

[0014] 以下に、構成ユニット31, 32, …におけるスロット0, スロット1, …の配置位置によりメモリMのメモリアドレスを自動的に割り付ける手順について説明する。

[0015] 図19は、制御プログラム開発支援装置10の基本画面を示す表示画面である。図20は、制御プログラム開発支援装置10で作成されたラダー図の一例を示す表示画面である。図21は、ユニット構成情報画面の一例を示す表示画面である。

[0016] 制御プログラム開発支援装置10は、ユーザプログラム作成機能（ソースコードエディタ）で制御プログラム（例えば、ラダー言語によるラダー図）が作成されるとき、図19に示すような基本画面を表示する。基本画面では、右側のウィンドウW1に制御プログラムを作成する画面が表示され、左側のウィンドウにこれから登録するユニット構成に関するプロジェクト情報のプロジェクト選択画面W2が表示された状態となる。ユーザは、ソースコードエディタを用いて、右側のウィンドウW1内に制御プログラムを作成する

(図 20 参照)。

[0017] 次に、図 19 に示す基本表示画面に対し、ユーザが、ポインティングデバイス 12b (図 18 参照) を操作してプロジェクト選択画面 W2 中にツリー表示された「ユニット構成情報」をダブルクリック等により選択すると、制御プログラム開発支援装置 10 は、図 21 に示すユニット構成情報画面を表示する。

[0018] この例では、制御プログラム開発支援装置 10 は、予め、「CPU ラック 00」を含めて最大 8 個のラックを接続するシステムに対応できるように構成されているため、初期画面では、「CPU ラック 00」, 「ラック 01」, 「ラック 02」, 「ラック 03」, …, 「ラック 07」のみが図 21 のようにツリー状に表示され、各ラックのユニット構成が表示されずに閉じた状態で表示される。

[0019] なお、ユニット構成情報画面 (図 21 参照) を表示する前には、制御プログラム開発支援装置 10 は、「CPU ラック 00」の CPU ユニット 22 を登録処理する。つまり、制御プログラム開発支援装置 10 は、ユーザに対して、ユニット構成を新規登録するかどうかを促す画面をダイアログウィンドウ画面にて表示する。そして、制御プログラム開発支援装置 10 は、ユーザ操作により登録する旨の入力を受信し、次に、PLC 200 における CPU ユニット 22 の種別および型式を選択する画面 (図示せず) を表示し、選択入力を促す。

[0020] 具体的には、制御プログラム開発支援装置 10 は、ユーザ操作により CPU ユニット 22 の種別および型式情報の入力を受信する。例えば、ユーザが「CJ2H-CPU68-EIP」という型式の CPU ユニット 22 を選択すると、制御プログラム開発支援装置 10 は、対象の CPU ユニット 22 の種別と、CPU ラックのユニット構成の初期情報とを登録する。こうして登録された CPU ユニット 22 の型式が、図 21 のユニット構成情報画面のツリー表示の最上段に表示される。

[0021] 次いで、制御プログラム開発支援装置 10 は、ユニット構成情報画面にユ

ニット（高機能 I / O ユニット、基本 I / O ユニット）を登録する。

[0022] 図 22 は、図 21 に示すユニット構成情報画面に対してラック項目を開いた状態を示す表示画面である。

[0023] 具体的には、設定しようとするラック項目が、初期画面等のように閉じている場合には、ユーザが、使用する（設定する）ラック項目のツリー表示の先頭に表示された「+」ボタンをクリックすると、制御プログラム開発支援装置 10 は、図 22 に示すように適宜のラック項目を開く。図 22 は、「CPU ラック 00」が開かれた状態を示している。図 22 の例では、各ラック項目には、最大で 10 台分のユニット（CPU ラックについては、CPU ユニットを除いて 10 台分のユニット）を登録することができるように構成されている。初期では「CPU ラック 00」の CPU ユニット 22 以外は制御プログラム開発支援装置 10 に登録されていないから、10 台分の各ユニットのツリー表示はすべて「空きスロット」と表示される。すなわち、「CPU ラック 00」（ベースユニット）に用意されたスロットに装着されるべきユニットは設定されていない。

[0024] 次に、実際のユニットの登録処理を行う場合について説明する。図 23 は、ユニット一覧の一例を示す画面説明図である。

[0025] ユニットが新規登録の場合には、ユーザはポインティングデバイス 12 b（図 18）を操作して、図 22 に示すツリー表示中の「空きスロット」の欄を選択し、ダブルクリックすると、図 23 に示すユニット選択画面が別ウィンドウで表示される。

[0026] 制御プログラム開発支援装置 10 は、ユニットに関するユニット情報を格納したユニット情報記憶部（図示しない）を参照して、ユニット選択画面を表示する。ユニット情報記憶部に格納されるユニットに関するユニット情報は、例えば、ユニットの種類と、型式等の一覧リストと、各ユニットについての機能と、設定対象となるパラメータと、さらには、各型式で特定されるユニットについてのチャンネル情報と、それぞれがメモリ容量を特定するための情報とを含む。

- [0027] 図23に示すユニット選択画面は、PLC200を構成する対象ユニットを種別ごとにツリー構造で表示する。例えば「アナログI/Oユニット」、「センサユニット」、「モーションコントローラ」、「位置制御ユニット」、「温度調節ユニット」、「基本I/Oユニット」、「通信ユニット」などの各種ユニットが、ツリー表示される。
- [0028] 制御プログラム開発支援装置10は、ツリー表示画面の「+」をユーザによるポインティングデバイス12bのクリック操作を検知すると、ユニット情報記憶部を参照して得られたユニットの型式情報を表示する。こうして表示された画面において、ユーザは、使用するユニットをユニット一覧から探し出し、選択し、登録する（図示の例では「CJW-NC213」）。
- [0029] 図24は、ユニット登録操作を実行した後のユニット構成画面を示す表示画面である。図25は、ユニットの追加画面の一例を示す表示画面である。
- [0030] 図24に示すように、すでにユニット登録されている場合には、設定されたユニットの型式が表示され、未登録の場合には、「空きスロット」との表示が示される。また、登録されたユニットの場合、制御プログラム開発支援装置10は、ユニット情報記憶部に格納された「型式」の情報を読み出して表示する。型式の後に（）で示された具体的な名称は、ユニット情報記憶部の「型式」の欄に登録されているものを表示する。
- [0031] さらに、図24に示すように、選択されたユニットが、位置制御ユニットのような高機能I/Oユニットの場合には、制御プログラム開発支援装置10は、図25に示すユニットの追加画面を表示し、ユニット番号の登録を行う。
- [0032] 次に、制御プログラム開発支援装置10は、対象ユニットの機種情報定義ファイルをテーブルから検索し、機種情報定義ファイルから、占有チャネル数と、入力チャネル数と、出力チャネル数とを取得する。高機能ユニットの場合には、制御プログラム開発支援装置10は、対応するユニットについての機種情報定義ファイルを読み出すことで必要な情報を取得する。また、基本I/Oユニットの場合には、制御プログラム開発支援装置10は、占有チャ

ヤネル数と入出力タイプから必要な情報を求める。

[0033] 例えば、高機能ユニットの場合には、制御プログラム開発支援装置 10 は、ユニットのユニット番号から先頭アドレスを算出し、占有チャネル数と、入力チャネル数と、出力チャネル数とから、高機能ユニットに割付けられる入力ポートアドレス及び出力ポートアドレスを計算する。かかる入出力アドレスの計算は、以下のようにして行う。

[0034] すなわち、この例では、高機能ユニットには、CPUユニット 22 のメモリ M のメモリアドレス「0000」チャネルからのメモリ領域が用意され、1 ユニット（占有チャネルが 1）当たり 10 チャネル分のメモリエリアが確保されている。従って、仮にユニット番号が 00 番の高機能ユニットの場合、CPUユニットのメモリ M のその高機能ユニット用に使用するメモリ領域の先頭アドレスは、「0000」チャネルとなり、メモリアドレス「0000」チャネルから「0009」チャネルまでが確保される。同様に、ユニット番号が 01 番の高機能ユニットの場合、CPUユニットのメモリ M のその高機能ユニットの先頭アドレスは、「0010」チャネルとなり、メモリアドレス「0010」チャネルから「0019」チャネルまでが確保される。つまり、ユニット番号を N とすると、そのユニット番号 N の高機能ユニットに割り当てられるメモリエリアの先頭アドレスは、「 $00 + 10 \times N$ 」チャネルといった簡単な式で求めることができる。さらに、占有チャネル数に基づき、そのユニットに割り当てられるメモリエリアの最終アドレスを求めることができる。

[0035] また、基本 I/O ユニットの場合には、制御プログラム開発支援装置 10 による入力チャネルと出力チャネルのメモリアドレスのメモリ自動割付は、以下のルールに従って行なわれる。すなわち、各ユニットのスロットの配置位置は、ラック番号とスロット番号により一義的に決定される。そこで、ラック番号（「CPUラック 00」のラック番号は「00」）が若い順にソートされ、同一のラック番号の場合にはスロット番号が若い順にソートされ、先頭のユニットから順に CPU ユニット 22 のメモリ M のメモリアドレスの

割り付けが行なわれる。そして、割り付けるメモリMは、高機能ユニットの場合と相違して連続して割り付けるように構成される。

[0036] 制御プログラム開発支援装置10は、以上説明したメモリアドレスの割り付け動作を行うことにより、後述する図26に示すような、ユニットの入出力テーブルTBを作成できる。なお、入出力テーブルTBは、例えば、制御プログラム開発支援装置10におけるRAM等の揮発性メモリ（図示せず）に一時的に格納され、或いは、ハードディスク等の不揮発性メモリ（図示せず）に格納される。

[0037] 図26は、制御プログラム開発支援装置10に格納される入出力テーブルTBのデータ構造の一例を示す模式図である。

[0038] この例では、制御プログラム開発支援装置10は、「ラック00」のロット0に配置される入力ユニット31についてメモリMのメモリアドレス「0000」チャンネルの「00」ビット、「01」ビット、「02」ビット、…を割り付けることで、「入力ポート00」，「入力ポート01」，「入力ポート02」，…（図18参照）に対応させさせることができる。制御プログラム開発支援装置10は、メモリMのメモリアドレス「0001」チャンネルの「00」ビット、「01」ビット、「02」ビット、…を割り付けることで、「入力ポート10」，「入力ポート11」，「入力ポート12」，…に対応させることができる。また、制御プログラム開発支援装置10は、「ラック00」のロット1に配置される出力ユニット32について、メモリMのメモリアドレス「0010」チャンネルの「00」ビット、「01」ビット、「02」ビット、…を割り付けることで、「出力ポート00」，「出力ポート01」，「出力ポート02」，…（図18参照）に対応させさせることができる。制御プログラム開発支援装置10は、メモリMのメモリアドレス「0011」チャンネルの「00」ビット、「01」ビット、「02」ビット、…を割り付けることで、「出力ポート10」，「出力ポート11」，「出力ポート12」，…に対応させることができる。

[0039] 「ラック01」のロット1に配置される入力ユニット34及び「ラック

01」のロット2に配置される出力ユニット35についても同様に、制御プログラム開発支援装置10は、メモリMのメモリアドレスの割り付けを行うことができる。なお、「ラック02」以降も同様である。

[0040] そして、ユーザは、制御プログラム開発支援装置10のソースコードエディタを用いて制御プログラムを作成するにあたって、前述の図20に示すように、図20中のシンボル・接点にメモリMのメモリアドレス（アドレス値）を入力する。

[0041] 図27は、変数に対するアドレス等の各種データを示す表示画面である。図27に示すように、ユーザは、割り付けられたメモリアドレスに対してどのユニットのどのような種類のポートが割り付けられているかが分かるように、メモリアドレスに対応付けてポートの種類を示す変数を設定することもある。なお、図20及び図27において、メモリアドレス（XX，YY）の「XX」はチャンネルを表しており、「YY」は「XX」チャンネルのビットを表している。また、図20において、メモリアドレス（XX，YY）の前に示す「I」は、入力エリア用メモリアドレスを表しており、「Q」は、出力エリア用メモリアドレスを表している。

[0042] 具体的には、ユーザは、入力ポートの種類を示す変数「Input1」について「0000」チャンネルの「00」ビットのメモリアドレス（0，00）を記述（入力）すると共に、出力ポートの種類を示す変数「Output1」について「0010」チャンネルの「00」ビットのメモリアドレス（10，00）を記述（入力）することで（図20参照）、変数「Input1」の入力ポート（接点）がオンすると、変数「Output1」の出力ポート（接点）がオンするラダー図を作成する。また、ユーザは、変数「Input2」について「0001」チャンネルの「00」ビットのメモリアドレス（1，00）を入力し、変数「Output2」について「0011」チャンネルの「00」ビットのメモリアドレス（11，00）を入力することで（図20参照）、変数「Input2」の入力ポート（接点）がオンすると、変数「Output2」の出力ポート（接点）がオンするラダー図を作成す

る。

[0043] 一方、PLC 200では、ユーザによって、制御プログラム開発支援装置10でメモリ割り付けしたユニット構成の通りに、各種ユニットが装着されると、PLC 200は、特定のメモリアドレスを割り当て、CPUユニット22のメモリMに各種ユニット用の領域が予め確保される。すなわち、PLC 200で実際に配置した各種ユニットのメモリアドレスの割り当てと、制御プログラム開発支援装置10で構成した各種ユニットのメモリアドレスの割り付けとが、一致することになる。

[0044] そして、制御プログラム開発支援装置10は、制御プログラムに記述されたメモリアドレスを用いて該制御プログラムをCPUユニット22で実行可能なオブジェクトコードに変換し、当該オブジェクトコードをPLC 200へダウンロードする。PLC 200は、制御プログラム開発支援装置10から送られてきたオブジェクトコードをCPUユニット22で実行する。

先行技術文献

特許文献

[0045] 特許文献1：特開2006-243841号公報

発明の概要

発明が解決しようとする課題

[0046] ところで、PLC 200では、ユニット構成は、各種ユニットが一度配置されてしまえば改変しないということではなく、必要に応じて改変（具体的にはユニットの移動、変更、追加或いは削除）されることがある。

[0047] このように、ユニット構成が改変されると、PLC 200で実際に配置した各種ユニットのメモリアドレスの割り当てが変わってしまうため、CPUユニット22のメモリMに割り当てたメモリアドレスに対して、PLC 200で実行される制御プログラムに記述したメモリアドレス、さらには、メモリアドレスに対応して設定した「Input 1」や「Output 1」等の変数が異なってしまう、その結果、制御プログラムに記述されたメモリアド

レス、さらには変数と、ポートとの関連付けが意味をなさないものとなってしまふといった不都合を招く。

[0048] このため、ユーザは制御プログラム開発支援装置 10 によって制御プログラムに記述したメモリアドレスの変更作業や、メモリアドレスに対して設定した変数の変更作業を行わなければならない、ユニット構成の改変に伴う利便性がよくない。

[0049] そのため、プログラマブルコントローラの CPU ユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置であって、たとえユニット構成が改変されたとしても、制御プログラムにおけるメモリアドレスの変更等の作業を行う必要がなく、これにより、ユニット構成の改変に伴う利便性を向上させることが可能な制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体が必要とされている。

課題を解決するための手段

[0050] 本出願は、上述の課題を解決するために、次の制御プログラム開発支援装置、制御プログラム開発支援用プログラム及び記録媒体を開示する。

[0051] (1) 制御プログラム開発支援装置

一実施の形態に従うと、プログラマブルコントローラの CPU ユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置が提供される。この制御プログラム開発支援装置は、当該複数のユニットにおける複数のポートに対してそれぞれ一意に決められた複数のポート ID に対応して当該 CPU ユニットにおけるメモリのメモリアドレスの割り付けを行うように構成されたメモリ割り付け部と、当該複数のポート ID に対応して関連付けられるメモリアドレスと当該複数のポート ID との対応関係を示すアドレステーブルを作成するように構成されたアドレステーブル作成部と、当該複数のポート ID に対応して関連付けられる変数と当該複数のポート ID との対応関係を示す変数テーブルを作成するように構成された変数テーブル作成

部と、当該変数に対応するポートIDを当該変数テーブルから取得し、取得したポートIDに対応するメモリアドレスを当該アドレステーブルから取得するように構成されたアドレス取得部とを備える。当該アドレステーブル作成部は、当該アドレステーブルに対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換えるように構成されている。

[0052] (2) 制御プログラム開発支援用プログラム

他の実施の形態に従うと、制御プログラム開発支援用プログラムが提供される。この制御プログラム開発支援用プログラムは、プログラマブルコントローラのCPUユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置における制御部に、当該複数のユニットにおける複数のポートに対してそれぞれ一意に決められた複数のポートIDに対応して当該CPUユニットにおけるメモリのメモリアドレスの割り付けを行うステップと、当該複数のポートIDに対応して関連付けられるメモリアドレスと当該複数のポートIDとの対応関係を示すアドレステーブルを作成するステップと、当該複数のポートIDに対応して関連付けられる変数と当該複数のポートIDとの対応関係を示す変数テーブルを作成するステップと、当該変数に対応するポートIDを当該変数テーブルから取得し、取得したポートIDに対応するメモリアドレスを当該アドレステーブルから取得するステップとを実行させる。アドレステーブルを作成するステップは、当該アドレステーブルに対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換えるステップを含む。

[0053] (3) 記録媒体

他の実施の形態に従うと、上記の制御プログラム開発支援用プログラムを記録したコンピュータ読み取り可能な記録媒体が提供される。

[0054] なお、言うまでもないが、本開示にいう当該「ID」は「identification」の略であり、識別コードを意味する。また、当該ラックは、単一のもので

あってもよいし、複数のラックで構成されていてもよい。

[0055] ある実施の形態の局面によれば、当該アドレステーブルに対して、変更前のユニットにおけるポートIDが、変更後のユニットにおけるポートIDに書き換えられる。当該変数に対応するポートIDは、当該変数テーブルから取得される。取得したポートIDに対応するメモリアドレスは、当該アドレステーブルから取得される。こうすることで、たとえユニット構成が改変されたとしても、制御プログラムにおけるメモリアドレスの変更等の作業を行う必要がなく、これにより、ユニット構成の改変に伴う利便性を向上させることができる。

[0056] 他の実施の形態の局面において、当該ポートIDに対して、当該ラックに対応するラックパス名、当該複数のスロットのうち何れか一つのスロットに対応するスロットパス名、当該何れか一つスロットに対する複数のチャンネルのうち何れか一つのチャンネルに対応するチャンネルパス名及び当該何れか一つのチャンネルに対する複数のビットのうち何れかの一つのビットに対応するビットパス名を順に階層的に表したパス形式でパスを設定して表示画面に表示させるパス設定表示部を備える態様が、例示される。

[0057] この特定事項によると、当該ポートIDに対して、当該ラックパス名、当該スロットパス名、当該チャンネルパス名及び当該ビットパス名を順に階層的に表した当該パス形式でパスが設定されて表示画面に表示される。そのため、ユーザは、当該パスによって当該複数のユニットの配置位置を容易に認識することが可能となる。

[0058] 他の実施の形態は、ユーザが当該変数の情報を入力するために、当該変数の入力情報を受け付けるように構成された変数情報受け付け部を備えていてもよい。この場合、ユーザが当該変数を自由に作成できるという利点がある反面、当該変数に対応する名称を作成するのに時間を要する場合もある。

[0059] そこで、他の実施の形態の局面において、当該変数の入力情報を受け付けるように構成された変数情報受け付け部と、当該複数のポートの階層的な物理構成に基づいて当該変数を自動的に設定するように構成された変数情報自

動設定部とを備える態様が、例示される。

[0060] この特定事項によると、当該変数情報受け付け部にて当該変数の入力情報を入力するか、或いは、当該変数情報自動設定部にて当該変数を自動的に設定するかを、ユーザが必要に応じて使い分けすることが可能となる。

[0061] 他の実施の形態によると、当該複数のユニットの少なくとも一つのユニットを一つずつ、当該ラックにおける当該複数のスロットの何れか一つに位置変更可能に配置してユニット構成図を作成し、当該複数のユニットの何れか一つのユニットの配置位置が変更された場合に、当該複数のユニットのうち何れのユニットが何れのスロットに移動したかを検出するように構成されたユニット構成図作成部を備える態様であって、当該アドレステーブル作成部は、当該アドレステーブルに対して、当該ユニット構成図作成部にて検出した変更前のユニットにおけるポートIDを、当該ユニット構成図作成部にて検出した変更後のユニットにおけるポートIDに書き換える態様が、例示される。

[0062] この特定事項によると、当該ユニット構成図が作成されるときに、当該複数のユニットのうち何れのユニットが何れのスロットに移動したかを検出することができ、これにより、当該複数のユニットの何れか一つのユニットの配置位置の変更を効率的に検出することが可能となる。

[0063] 他の実施の形態は、当該ラック及び当該複数のユニットをイラスト化したイラスト情報を当該複数のユニットに関するユニット情報と関連付けて格納するように構成されたユニット情報記憶部を備える。当該ユニット構成図作成部は、当該ユニット情報記憶部に格納された当該ラックのイラスト情報に対応するイラストを表示画面に表示し、当該ユニット情報記憶部に格納された当該イラスト情報に対応する当該複数のユニットの少なくとも一つのイラストを一つずつ、当該ラックにおける当該複数のスロットの何れか一つのイラストに対してドラッグ・アンド・ドロップにより当該表示画面に移動表示可能に配置してユニット構成図を作成するように構成されている。なお、ここでいう「イラスト（イラストレーションの略）」は、図、絵、写真等のイ

ラスト画像を含む概念である。

- [0064] この特定事項によると、当該ユニット情報記憶部に格納された当該イラスト情報に対応する当該複数のユニットの少なくとも一つのイラストを一つずつ、当該ラックにおける当該複数のスロットの何れか一つのイラストに対してドラッグ・アンド・ドロップにより当該表示画面に移動表示可能に配置してユニット構成図を作成するので、当該ユニット構成図におけるユニット構成を、イラストによって視覚的に改変することができ、ユニット構成の改変作業の容易化を実現することが可能となる。

発明の効果

- [0065] 以上説明したように、本実施の形態によると、当該アドレステーブルに対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換え、当該変数に対応するポートIDを当該変数テーブルから取得し、取得したポートIDに対応するメモリアドレスを当該アドレステーブルから取得することで、たとえユニット構成が改変されたとしても、制御プログラムにおけるメモリアドレスの変更等の作業を行う必要がなく、これにより、ユニット構成の改変に伴う利便性を向上させることが可能となる。

- [0066] この発明の上記および他の目的、特徴、局面および利点は、添付の図面と関連して理解されるこの発明に関する次の詳細な説明から明らかとなるであろう。

図面の簡単な説明

- [0067] [図1]制御プログラム開発支援装置及び制御プログラム開発支援装置が設定対象としているPLCの概略的に示しシステム構成図である。

[図2]図1に示す制御プログラム開発支援装置の内部構造を概略的に示すシステム構成図である。

[図3]図2に示す制御プログラム開発支援装置における制御部を概略的に示すシステム構成図である。

[図4]複数のユニットにおける複数のポートに対応してCPUユニットにおけ

るメモリのアドレスの割り付け動作を行う割り付け処理の一例を示す前半部分のフローチャートである。

[図5]複数のユニットにおける複数のポートに対応してCPUユニットにおけるメモリのアドレスの割り付け動作を行う割り付け処理の一例を示す後半部分のフローチャートである。

[図6]ユニット情報記憶部におけるユニット情報の一部のデータ構造の一例を示す概略構成図である。

[図7]「CPUラック00」及び「CPUラック00」に配置されるユニットをイラストで表したユニット構成図を表示する表示画面である。

[図8]ユニット一覧の一例を示す画面説明図である。

[図9]図7に示すユニット構成図からユニット構成を改変した後の状態を示す表示画面である。

[図10]図7に示すユニット構成図で構成されたユニットにおけるポートIDに対してアドレスを格納するアドレステーブルのデータ構造の一例を示す模式図である。

[図11]図7に示すユニット構成図を階層的に表示した表示画面である。

[図12]ポートIDを階層的に表したパス形式で表示した表示画面である。

[図13]図10に示すアドレステーブルにおいてパス名を追加したデータ構造の一例を示す模式図である。

[図14]ポートの階層的な物理構成の名称から抽出して自動的に設定した変数を表示した表示画面である。

[図15]パスが設定されたポートIDに対して変数を格納する変数テーブルのデータ構造の一例を示す模式図である。

[図16]図13に示すアドレステーブルにおいてユニット構成が改変された後のデータ構造の一例を示す模式図である。

[図17]図12に示す表示画面においてユニット構成が改変された後に表示した表示画面である。

[図18]CPUユニットと各種ユニットとを接続するシステム構成の一例を示

すプログラマブルコントローラ（ＰＬＣ）の概略構成図である。

[図19]制御プログラム開発支援装置の基本画面を示す表示画面である。

[図20]制御プログラム開発支援装置で作成されたラダー図の一例を示す表示画面である。

[図21]ユニット構成情報画面の一例を示す表示画面である。

[図22]図 2 1 に示すユニット構成情報画面に対してラック項目を開いた状態を示す表示画面である。

[図23]ユニット一覧の一例を示す画面説明図である。

[図24]ユニット登録操作を実行した後のユニット構成画面を示す表示画面である。

[図25]ユニットの追加画面の一例を示す表示画面である。

[図26]制御プログラム開発支援装置に格納される入出力テーブルのデータ構造の一例を示す模式図である。

[図27]変数に対するメモリアドレス等の各種データを示す表示画面である。

発明を実施するための形態

[0068] 以下、本発明の実施の形態について添付図面を参照しつつ説明する。以下の説明では、同一の部品には同一の符号を付してある。それらの名称および機能も同じである。したがって、それらについての詳細な説明は繰り返さない。なお、以下の実施の形態は、本発明を具体化した例であって、本発明の技術的範囲を限定する性格のものではない。

[0069] 図 1 は、制御プログラム開発支援装置 100 及び制御プログラム開発支援装置 100 が設定対象としている PLC 200 の概略的に示すシステム構成図である。

[0070] プログラマブルコントローラ（以下、PLC という）200 は、図 18 に示す PLC 20 と同様の構成を有する。図 1 において、図 18 に示す部材と同様の部材には同一符号が付されている。

[0071] すなわち、PLC 200 は、「CPU ラック 00」と、増設ラック（「ラック 01」，「ラック 02」，…）とを含む。

- [0072] 「CPUラック00」及び増設ラック（「ラック01」，「ラック02」，…）は、それぞれ電源ユニット21を備える。一つのラック内に配置されたユニットは、そのラックに接続された電源ユニット21からの電力供給を受ける。
- [0073] 「CPUラック00」は、CPUユニット22を備えている。増設ラック（「ラック01」，「ラック02」，…）は、CPUユニットを備えておらず、「CPUラック00」におけるCPUユニット22により管理（I/Oリフレッシュ等）される。
- [0074] 「CPUラック00」には、I/Oコントロールユニット40が配置される。増設ラック（「ラック01」，「ラック02」，…）には、I/Oインターフェースユニット50が配置されている。「CPUラック00」及び増設ラック（「ラック01」）は、配線ケーブルCBを介してI/Oコントロールユニット40及びI/Oインターフェースユニット50で互いに接続されている。さらに、増設ラック（「ラック01」，「ラック02」，…）は、配線ケーブルCBを介してI/Oインターフェースユニット50で互いに接続されている。これにより、「CPUラック00」及び増設ラック（「ラック01」，「ラック02」，…）が相互に通信可能に連携することができる。PLC200が所望の制御を行うために必要な各種のユニット（I/Oユニット，マスタユニット，通信ユニット，高機能ユニット等の構成ユニット）も、互いに連結される。この例では3つのラックを連結してPLC200が構築されているが、勿論、PLC200を構築するラックの個数は任意であり、1つのラック（「CPUラック00」のみ）の場合もあり得る。すなわち、増設ラックは一つであってもよい。また、増設ラックを設けず、「CPUラック00」だけが用いられてもよい。また、「CPUラック00」や増設ラック（「ラック01」，「ラック02」，…）に実装される各電源ユニット21は、同一タイプのものでもよいし、異なるタイプのものでもよい。
- [0075] 図1の例では、「CPUラック00」には、複数のスロット（スロット0

、スロット 1、…) のうち、スロット 0 に入力ユニット 3 1 が配置され、スロット 1 に出力ユニット 3 2 が配置されている。また、「ラック 0 1」には、スロット 0、スロット 1、…のうち、スロット 0 に CPU 高機能ユニット 3 3 が配置され、スロット 1 に入力ユニット 3 4 が配置され、スロット 2 に出力ユニット 3 5 が配置されている。

[0076] また、入力ユニット 3 1、3 4 には、センサやスイッチ等の接点（例えば 8 点、16 点、32 点、64 点等）に相当する「入力ポート 0 0」，「入力ポート 0 1」，「入力ポート 0 2」，…が設けられている。出力ユニット 3 2、3 5 には、アクチュエータやリレー等の接点（例えば 8 点、16 点、32 点、64 点等）に相当する「出力ポート 0 0」，「出力ポート 0 1」，「出力ポート 0 2」，…が設けられている。

[0077] なお、CPU ユニット 2 2 については、図 18 に示すものと同様であるので、詳しい説明を繰り返さない。

[0078] 図 2 は、図 1 に示す制御プログラム開発支援装置 1 0 0 の内部構造を概略的に示すシステム構成図である。

[0079] 制御プログラム開発支援装置 1 0 0 は、各種ユニットを組み合わせ任意の構成からなる PLC 2 0 0 を構築するための、または、制御対象に合致する PLC 構成を設計するに当たり、適切なユニット構成を得るための PLC システム構築支援機能を備える。

[0080] PLC システム構築支援機能を持つ制御プログラム開発支援装置 1 0 0 は、PLC システム構築支援装置と呼ばれ、または、コンフィグレータと呼ばれる。また、制御プログラム開発支援装置 1 0 0 は、PLC 2 0 0 に実行処理させる制御プログラム（ユーザプログラム）を作成する機能を備えている。制御プログラムの例は、ラダー図で表記するラダープログラムを含む。制御プログラムを作成する機能を持つ装置は、ラダーエディタと呼ばれ、または、制御プログラム作成装置、制御プログラム編集装置、プログラミング装置などと呼ばれる。

[0081] 制御プログラム開発支援装置 1 0 0 は、パーソナルコンピュータに PLC

システム構築支援機能又はユーザプログラム作成機能を実現させるための所定のアプリケーションプログラムをインストールすることにより構成される。勿論、制御プログラム開発支援装置１００が通常のＩ／Ｏユニット、その他のユニットに対する各種パラメータの設定を行ったり、その設定した設定情報をネットワーク等を介して各機器（ユニット）にダウンロードしたりする機能も有してもよい。

[0082] 制御プログラム開発支援装置１００は、図２に示すように、外部装置（マンマシンインタフェース）として、キーボード１２ａ、ポインティングデバイス１２ｂ等を含む入力部１２と、表示画面１３ａ（図１参照）を有するディスプレイ等の表示部１３とを備えている。

[0083] また、制御プログラム開発支援装置１００は、内部装置として、制御プログラム開発支援用プログラムを実行したり、各種の演算処理を実行し、ユニット構成情報を作成したりする各種の処理を実行する制御部（具体的にはＣＰＵ）１４と、制御部１４が演算処理等の各種の処理を実行する際にワークメモリ等として適宜使用する実行処理記憶部１５と、ユニットに関する情報を格納したユニット情報記憶部１６と、制御部１４にて作成した、ＰＬＣ２００を構成する各種のユニットに設定する情報をＰＬＣ２００にダウンロードする際に使用するＣＯＭポート１７と、読み取り部１８とを備えている。

[0084] 実行処理記憶部１５は、ＲＡＭ等の揮発性メモリ１５ａ及びハードディスク装置やフラッシュメモリ等の不揮発メモリ１５ｂを含む。不揮発メモリ１５ｂには、後述する制御プログラム開発支援用プログラムＢＰが記録されたＣＤ（Compact Disc）－ＲＯＭ（Read-Only Memory）等の記録媒体Ｒを読み出す読み取り部１８によって読み出された制御プログラム開発支援用プログラムＢＰを含むソフトウェアや、後述するイラスト情報のファイルデータが予め格納（インストール）されている。なお、不揮発メモリ１５ｂは、後述するアドレステーブル及び変数テーブル等の処理データも記憶されるように構成されている。また、記録媒体Ｒは、ＵＳＢ（Universal Serial Bus）メモリやＳＤ（Secure Digital）メモリカードであってもよい。

[0085] 制御部 14 は、表示部 13 に対し、各種の入力画面を表示し、ユーザが入力部 12 を操作して必要な情報の入力を受けて、ユニット構成情報を決定する。

[0086] ユニット情報記憶部 16 に格納されるユニットに関するユニット情報は、例えば、ユニットの種類や、型式等の一覧リストや、メーカー名、電圧、電流等の仕様、各ユニットについての機能や、設定対象となるパラメータ、さらには、各型式で特定されるユニットについてのチャンネル情報や、それぞれがメモリ容量を特定するための情報である。なお、ユニット情報記憶部 16 は、後述するように、イラスト情報も格納する。

[0087] また、制御部 14 は、入力ユニット 31、34 や出力ユニット 32、35 等の基本 I/O ユニットが使用する I/O データに対して CPU ユニット 22 におけるメモリ M のメモリアドレス（以下単にアドレスという）の割り付けを行う。

[0088] [制御プログラム開発支援装置のソフトウェア構成]

図 3 は、図 2 に示す制御プログラム開発支援装置 100 における制御部 14 を概略的に示すシステム構成図である。

[0089] 制御部 14 は、ユニット構成図作成部 P1 と、メモリ割り付け部 P2 と、アドレステーブル登録部 P3 と、変数情報受け付け部 P4 と、パス設定表示部 P5 と、変数情報自動設定部 P6 と、変数テーブル作成部 P7 と、ポート I/D 書き換え部 P8 と、アドレス取得部 P9 と、変換部 P10 として機能するように構成されている。なお、アドレステーブル登録部 P3 とポート I/D 書き換え部 P8 とで本実施の形態に係るアドレステーブル作成部を構成する。

[0090] 制御プログラム開発支援用プログラム BP は、ユニット構成図作成部 P1 に対応するユニット構成図作成ステップと、メモリ割り付け部 P2 に対応するメモリ割り付けステップと、アドレステーブル登録部 P3 に対応するアドレステーブル登録ステップと、変数情報受け付け部 P4 に対応する変数情報受け付けステップと、パス設定表示部 P5 に対応するパス設定表示ステップ

と、変数情報自動設定部 P 6 に対応する変数情報自動設定ステップと、変数テーブル作成部 P 7 に対応する変数テーブル作成ステップと、ポート I D 書き換え部 P 8 に対応するポート I D 書き換えステップと、アドレス取得部 P 9 に対応するアドレス取得ステップと、変換部 P 10 に対応する変換ステップとを含むステップを制御部 14 に実行させる。

[0091] 図 4 及び図 5 は、それぞれ、複数のユニットにおける複数のポートに対応して CPU ユニット 22 におけるメモリ M のアドレスの割り付け動作を行う割り付け処理の一例を示す前半部分及び後半部分のフローチャートである。

[0092] なお、以下の説明では、複数のポート（パラメータ）は、図 1 に示すように、「入力ポート 00」、「入力ポート 01」、「入力ポート 02」、…「出力ポート 00」、「出力ポート 01」、「出力ポート 02」、…とし、スロット 0、スロット 1、…に配置されているユニットをそれぞれユニット 0、ユニット 1、…とし、また、「入力ポート 00」、「入力ポート 01」、「入力ポート 02」、…及び「出力ポート 01」、「出力ポート 02」、…を総称して単にポートという。

[0093] 次に、図 4 及び図 5 に示す割り付け処理例のフローチャートについて、図 6 から図 17 を参照しながら以下に説明する。

[0094] [ユニット構成図作成ステップ S 1]

図 4 に示すユニット構成図作成ステップ S 1 は、ユニット 0、ユニット 1、…の少なくとも一つのユニットを一つずつ、ラックにおける複数のスロットの何れか一つに位置変更可能に配置してユニット構成図を作成するための処理と、ユニット 0、ユニット 1、…の何れか一つのユニットの配置位置が変更されてユニット構成が改変された場合には、ユニット 0、ユニット 1、…のうち何れのユニットが何れのスロットに移動したかを検出するための処理とを含む。

[0095] 詳しくは、ユニット構成図作成ステップ S 1 では、制御部 14 は、表示部 13 の表示画面 13 a（図 1 参照）に「CPU ラック 00」のイラストを表示し、さらにユニットのイラストを移動可能に表示してユニット構成図を作

成する。

[0096] 図6は、ユニット情報記憶部16におけるユニット情報の一部のデータ構造の一例を示す概略構成図である。図7は、「CPUラック00」及び「CPUラック00」に配置されるユニットをイラストで表したユニット構成図を表示する表示画面である。

[0097] ユニット情報記憶部16（図2参照）には、図6に示すように、複数のユニット0，ユニット1，…（図7参照）をイラスト化したイラスト情報ILが、複数のユニット0，ユニット1，…に関する型式TY及び名称TNに関連付けられて予め格納されている。本実施の形態において、イラスト情報ILは、ファイルデータの名称である。制御部14は、ファイルデータの名称から実行処理記憶部15（図2参照）の不揮発メモリ15bに記憶されているファイルデータを読み出して、ユニット0，ユニット1，…のうち、選択されたユニットをイラスト化するように構成されている。なお、図6には示していないが、ユニット情報記憶部16は、「CPUラック00」及び「ラック01」，「ラック02」，…のイラスト情報ILも格納している。

[0098] 詳しくは、ユニット構成図作成ステップS1では、制御部14は、ユニット情報記憶部16から「CPUラック00」に対応するイラスト情報ILを読み出し、読み出したイラスト情報ILに基づいて、「CPUラック00」のイラストを表示部13の表示画面13aに表示する。

[0099] 図8は、ユニット一覧の一例を示す画面説明図である。ユニット構成を作成するときに、ユーザは、ポインティングデバイス12b（図1参照）を操作して「CPUラック00」のイラストの何れかのスロット（例えばスロット3）をダブルクリック等により選択すると、図8に示すユニット選択画面が別ウインドウで表示される。すなわち、制御部14は、「CPUラック00」のスロット位置（例えばスロット3）でユーザによるポインティングデバイス12bのクリック操作が行なわれたことを検知すると、ユニット情報記憶部16を参照して得られたユニットの型式情報をユニット選択画面（図8参照）に表示する。ユニット選択画面は、図23に示すユニット選択画面

と同様の画面であるので、詳しい説明は繰り返さない。

[0100] ユーザは、ポインティングデバイス 12b を操作してツリー表示画面の「+」をダブルクリック等により選択すると、ツリー表示が展開される。すなわち、制御部 14 は、ツリー表示画面の「+」においてユーザによるポインティングデバイス 12b のクリック操作が行なわれたことを検知すると、ユニット情報記憶部 16 を参照して得られたユニット情報を図 8 のユニット選択画面に表示する。こうして表示されたユニット選択画面において、ユーザは、使用するユニットをユニット一覧から探し出し、ポインティングデバイス 12b を操作して当該使用するユニットを選択する。すなわち、制御部 14 は、ユニット選択画面の選択されたユニット（例えば C J 1 W-O D 2 0 2）の位置でユーザによるポインティングデバイス 12b のクリック操作が行なわれたことを検知すると、ユニット情報記憶部 16 を参照して得られたユニットのイラスト情報 IL をイラスト化して、図 7 に示すユニット構成図における「CPU ラック 00」のロット位置（例えばロット 3）に表示する。このとき、型式、名称、仕様等のユニット情報が図 7 におけるユニット構成図の右側のユニット情報画面 W3 に表示される。

[0101] このようにして、制御部 14 は、ユニット 0, ユニット 1, …のうち何れか一つのイラストを「CPU ラック 00」におけるロット 0, 1, 2, …の何れか一つに対して表示部 13 の表示画面 13a に配置してユニット構成図を作成する。

[0102] また、ユニット構成図作成ステップ S1 では、制御部 14 は、次のようなユニットの追加、移動、削除動作を行ってユニット構成を改変することができる。

[0103] 図 9 は、図 7 に示すユニット構成図からユニット構成を改変した後の状態を示す表示画面である。

[0104] 図 7 に示すユニット構成図のユニット構成を改変するにあたり、ユーザは、ポインティングデバイス 12b を操作してユニットのイラストを選択し、選択されたユニット（例えばロット 0 のユニット 0）のイラストをドラッ

グ・アンド・ドロップにより他のスロット（例えばスロット１）に移動させる。すなわち、制御部１４は、ユニット選択画面の選択されたユニット（例えばスロット０のユニット０）の位置でユーザによるポインティングデバイス１２ｂのドラッグが行なわれたことを検知すると、選択されたユニットをカーソルで移動させる。制御部１４は、他のスロット（例えばスロット１）の位置でユーザによるポインティングデバイス１２ｂのドロップが行なわれたことを検知すると、選択されたユニット（例えばスロット０にあったユニット０）を他のスロット（例えばスロット１）に移動させる。このとき、制御部１４は、他のスロット（例えばスロット１）にあったユニット（例えばユニット１）については、選択されたユニットのスロット（例えばスロット０）に移動させる。また、制御部１４は、移動対象のユニットの位置情報も表示させる（図９におけるユニット情報画面Ｗ３及びユニット構成図の右下の位置情報画面Ｗ４参照）。なお、位置情報を表示する場合には、位置情報画面Ｗ４の上に表示されるユニット情報画面Ｗ３のユニット情報の内容は、簡略化されて表示されるように構成されている。また、制御部１４は、選択されたユニット（例えばユニット０）を１又は複数のスロット（例えばスロット１）を隔てて移動させる場合には、他のスロット（例えばスロット２）にあったユニット（例えばユニット２）を、選択されたユニット（例えばユニット０）と入れ替えるようにしてもよい。または、制御部１４は、選択されたユニットのスロット（例えばスロット０）に、その隣（選択されたユニット０を移動させた側、図７では右側）のスロット（例えばスロット１）のユニット（例えばユニット１）を移動させ、移動させたユニットのスロット（例えばユニット１のスロット１）に、その隣（図７では右側）のスロット（例えばスロット２）のユニット（例えばユニット２）を移動させてもよい。

[0105] このようにして、制御部１４は、ユニット０，ユニット１，…の少なくとも一つのイラストを一つずつ（例えばユニット０）、「ＣＰＵラック００」におけるスロット０，１，２，…の何れか一つのイラストに対してドラッグ

・アンド・ドロップ操作に応じて表示部 1 3 の表示画面 1 3 a に移動表示可能に配置することにより、ユニット構成図を作成する（図 9 参照）。

[0106] また、ユーザは、ポインティングデバイス 1 2 b を操作してユニットのイラストを選択し、選択したユニット（例えばスロット 3 のユニット）のイラストを削除操作により削除（消去）する。すなわち、制御部 1 4 は、ユニット選択画面の選択されたユニット（例えばスロット 3 のユニット）の位置でユーザによるポインティングデバイス 1 2 b のクリック操作が行なわれたことを検知すると、選択されたユニットを選択表示（例えば反転表示）し、ユーザのキーボード 1 2 a（図 1 参照）の所定キー（例えば削除 [d e l e t e] キー）の押下操作を受け付けると、選択されたユニット（例えばスロット 3 のユニット）を配置されていたスリット（例えばスリット 3）から削除（消去）する。

[0107] なお、実行処理記憶部 1 5 の不揮発メモリ 1 5 b には、画面上の位置情報に対するスロット位置（スロット番号）が対応付けられて記憶されている。これにより、制御部 1 4 は、ユニット構成が改変されたこと、さらには、ユニット 0，ユニット 1，…のうち何れのイラストが何れのスロットに移動したかを検出（認識）することができる。

[0108] [メモリ割り付けステップ S 2]

次に、図 4 に示すメモリ割り付けステップ S 2 では、制御部 1 4 は、ユニット 0，ユニット 1，…の CPU ユニット 2 2 におけるメモリ M（図 1 参照）のアドレスを割り付ける。このアドレスの割り付け処理は、前述の背景技術の欄で説明した従来手法と同様であり（図 2 6 の説明箇所参照）、したがって、ここでは詳しい説明を繰り返さない。

[0109] そして、制御部 1 4 は、複数のポートに対してそれぞれ複数のポート ID を識別可能に設定するように構成されている。これにより、複数のポートに対して複数のポート ID がそれぞれ一意に決定される。

[0110] [アドレステーブル登録ステップ S 3]

図 4 に示す判断ステップ S 3 1 では、制御部 1 4 は、後述する図 1 0 に示

すアドレステーブルTB1が新規登録か否か、すなわちアドレステーブルTB1にデータが登録されているか否かを判断する。アドレステーブルTB1にデータが登録されていない場合には（ステップS31：Yes）、制御部14は、制御をアドレステーブル登録ステップS3に移行する。アドレステーブルTB1にデータが登録されている場合には（ステップS31：No）、制御部14は、制御を変数情報受け付けステップS4に移行する。

[0111] アドレステーブル登録ステップS3では、制御部14は、後述する図10に示すように、ユニット0，ユニット1，…におけるポートPtに対してそれぞれ一意に決められた複数のポートIDに対応して関連付けられるアドレスと複数のポートIDとの対応関係を示すアドレステーブルTB1を登録する。本実施の形態では、アドレステーブルTB1は、実行処理記憶部15の不揮発メモリ15bに記憶されるように構成されている。

[0112] 図10は、図7に示すユニット構成図で構成されたユニットにおけるポートIDに対してアドレスを格納するアドレステーブルTB1のデータ構造の一例を示す模式図である。

[0113] この例では、制御部14は、「ラック00」の-slot0に配置される入力ユニット0（型式CJ1W-ID201）について「入力ポート00」，「入力ポート01」，「入力ポート02」，…のポートID「0000」，「0001」，「0002」，…に対応してメモリMのアドレス「0000」チャンネルの「00」ビット，「01」ビット，「02」ビット，…を割り付ける。制御部14は、「入力ポート10」，「入力ポート11」，「入力ポート12」，…のポートID「0100」，「0101」，「0102」，…に対応してメモリMのアドレス「0001」チャンネルの「00」ビット，「01」ビット，「02」ビット，…を割り付ける。また、制御部14は、「ラック00」の-slot1に配置される出力ユニット1（型式CJ1W-OC201）について「出力ポート00」，「出力ポート01」，「出力ポート02」，…のポートID「1000」，「1001」，「1002」，…に対応してメモリMのアドレス「0010」チャンネルの「00」ビット

、「01」ビット、「02」ビット、…を割り付ける。制御部14は、「出力ポート10」、「出力ポート11」、「出力ポート12」、…に対応してメモリMのアドレス「0011」チャンネルの「00」ビット、「01」ビット、「02」ビット、…を割り付ける。なお、ポートIDの値は、ユニット構成が改変されてもユニットに対して変化しない値である。

[0114] [変数情報受け付けステップS4]

次に、図4に示す変数情報受け付けステップS4では、制御部14は、ポートIDに対応して関連付けられる変数Varの入力情報をキーボード21a（図1参照）による入力操作によって受け付ける。

[0115] 具体的には、制御部14は、後述する図11に示すように、図7に示すユニット構成図で構成されたユニットを階層的に表示する。

[0116] 図11は、図7に示すユニット構成図を階層的に表示した表示画面である。なお、図11及び後述する図12、図14、図17において、記号「R」は読み出しを意味し、記号「W」は書き込みを意味し、記号「RW」は読み出し及び書き込みの双方を意味する。

[0117] この例では、入力ユニット0（型式CJ1W-ID201）のポートPtは、ラック階層、ユニット階層、ポート階層といった階層的な物理構成を実現する。この階層的な物理構成のうち、ラック階層が「CPU Rack 0」、ユニット階層が「CJ1W-ID201（DC入力ユニット）」、ポート階層が「Ch1__In」で表現されている。出力ユニット1（型式CJ1W-OC201）のポートPtは、ラック階層が「CPU Rack 0」、ユニット階層が「CJ1W-OC201（リレー接点出力ユニット）」、ポート階層が「Ch1__Out」で表現されている。

[0118] なお、本実施の形態では、制御部14は、変数Varに対応するコメント情報Coをキーボード21aによる入力操作によって受け付けるように構成されている。

[0119] [パス設定表示ステップS5]

次に、本実施の形態では、制御部14は、図4に示すパス設定表示ステッ

プS 5を実施する。具体的には、判断ステップS 5 1において、制御部1 4は、ポートIDをパス形式で表示させるか否かを判断する。すなわち、制御部1 4は、ポートIDのパス形式での表示を指示するアイコン（図示しない）に対してユーザによるポインティングデバイス1 2 bのクリック操作が行なわれたことを検知すると（判断ステップS 5 1：Y e s）、パス設定表示ステップS 5において、後述する図1 2に示すように、ポートIDに対してラックパス名、スロットパス名、チャネルパス名及びビットパス名を順に階層的に表したパス形式でパスP aを表示部1 3の表示画面1 3 aに表示させる。

[0120] 図1 2は、ポートIDを階層的に表したパス形式で表示した表示画面である。また、図1 3は、図1 0に示すアドレステーブルTB 1においてパス名を追加したデータ構造の一例を示す模式図である。

[0121] この例では、入力ユニット0（型式C J 1 W－I D 2 0 1）のポートP tについては、図1 3の「CPUラック0 0」に対応する図1 2のラックパス名が「r a c k # 0」に、図1 3のスロット0に対応する図1 2のスロットパス名が「s l o t # 0」に、図1 3のチャネル「0 0 0 0」に対応する図1 2のチャネルパス名が「C h 1 __ l n」に、図1 3のビット「××」に対応する図1 2のビットパス名が「C h __ l n × ×」に、それぞれ設定されている。出力ユニット1（型式C J 1 W－O C 2 0 1）のポートP tについては、図1 3の「CPUラック0 0」に対応する図1 2のラックパス名が「r a c k # 0」に、図1 3のスロット1に対応する図1 2のスロットパス名が「s l o t # 1」に、図1 3のチャネル「0 0 1 0」に対応する図1 2のチャネルパス名が「C h 1 __ O u t」に、図1 3のビット「××」に対応する図1 2のビットパス名が「C h __ O u t × ×」に、それぞれ設定されている。なお、「××」は、アドレスのビットに対応した値である。

[0122] このようにして、制御部1 4は、ポートIDに対して、「CPUラック0 0」に対応するラックパス名、スロット0、スロット1、スロット2、…のうち何れか一つのスロットに対応するスロットパス名、何れか一つスロット

に対する複数のチャネルのうち何れか一つのチャネルに対応するチャネルパス名及び何れか一つのチャネルに対する複数のビットのうち何れかの一つのビットに対応するビットパス名を順に階層的に表したパス形式でパス P a を設定して、表示部 1 3 の表示画面 1 3 a にパス P a を表示させる。なお、ユーザがポート I D のパス形式での表示を指示するアイコン（図示しない）を操作しなくても、常にパス P a を表示させる構成が用いられてもよい。

[0123] [変数情報自動設定ステップ S 6]

次に、本実施の形態では、制御部 1 4 は、図 4 に示す変数情報自動設定ステップ S 6 を実施する。具体的には、判断ステップ S 6 1 において、制御部 1 4 は、変数 V a r を自動的に設定するか否かを判断する。すなわち、制御部 1 4 は、変数 V a r の自動設定を指示するアイコン（図示しない）に対してユーザによるポインティングデバイス 1 2 b のクリック操作が行なわれたことを検知すると（判断ステップ S 6 1 : Y e s）、変数情報自動設定ステップ S 6 において、制御部 1 4 は、図 1 1 及び図 1 2 に示すように、ポートの階層的な物理構成の名称から抽出した変数 V a r を自動的に設定して表示部 1 3 の表示画面 1 3 a に表示する。

[0124] 図 1 4 は、ポートの階層的な物理構成の名称から抽出して自動的に設定した変数 V a r を表示した表示画面である。

[0125] この例では、入力ユニット 0（型式 C J 1 W－I D 2 0 1）の変数 V a r は、先頭の 3 桁がユニット層のユニット「C J 1 W－I D 2 0 1」に付されたデバイス名「J 0 1」（図 9 の位置情報画面 W 4 参照）とされ、中間の 3 桁がポート階層の「C h 1 __ I n」の少なくとも二つの文字から取得した「C h 1」とされ、末尾の 2 桁又は 4 桁がポート階層の「C h 1 __ I n」に対する連番とされている。

[0126] なお、図 4 に示すフローチャートでは明示していないが、制御部 1 4 は、ここでは、ユーザによる何れかの変数 V a r へのポインティングデバイス 1 2 b のクリック操作を受信すると、変数情報受け付けステップ S 4 に戻り、クリック操作された変数 V a r の入力情報をキーボード 2 1 a による入力操

作によって受け付けるように構成されている。

[0127] 次に、図5に示す判断ステップS62において、制御部14は、変数Varを確定するか否かを判断する。すなわち、制御部14は、判断ステップS62で変数Varが確定されない場合（判断ステップS62：No）、処理の終了を指示するアイコン（図示しない）に対してユーザによるポインティングデバイス12bのクリック操作が行なわれたことを検知するまで（判断ステップS63：No）、制御を、変数情報受け付けステップS4に移行して、変数の入力情報の受け付け処理を行う。一方、制御部14は、処理の終了を指示するアイコンに対するクリック操作が行なわれたことを検知すると（判断ステップS63：Yes）、制御を、判断ステップS82に移行する。

[0128] 一方、制御部14は、判断ステップS62において変数Varの確定を指示するアイコン（図示しない）に対してユーザによるポインティングデバイス12bのクリック操作を受信すると（判断ステップS62：Yes）、変数テーブル作成ステップS7に移行する。

[0129] [変数テーブル作成ステップS7]

変数テーブル作成ステップS7では、制御部14は、ポートIDに対応して関連付けられる変数VarとポートIDとの対応関係を示す変数テーブルTB2（後述する図15参照）を作成する。

[0130] 図15は、パスPaが設定されたポートIDに対して変数Varを格納する変数テーブルTB2のデータ構造の一例を示す模式図である。変数テーブルTB2は、実行処理記憶部15の不揮発メモリ15bに記憶されるように構成されている。

[0131] 図15に示す変数テーブルTB2には、変数名およびデータ型が、ポートID及びそのパス名と関連付けられて格納されている。この例では、バイト型（8ビット）の変数Var（「J01_Ch1_In」）に対して、「rack#0/slot#0/Ch1_In」のパスPaが格納されている。ブール型（1ビット）の変数Var（「J01_Ch1_In00」～「J0

1__Ch1__In07」) に対して、それぞれ、「rack#0/slot#0/Ch1__In00」～「rack#0/slot#0/Ch1__In07」のパスPaが格納されている。

[0132] [ポートID書き換えステップS8]

図5に示す判断ステップS81では、制御部14は、ユニット構成図作成ステップS1においてユニット0, ユニット1, …の何れか一つのユニットの配置位置が変更されたか、ユニットが追加されたか或いはユニットが削除されたか(ユニット構成が改変されたか) 否かを判断する。制御部14は、ユニット構成図作成ステップS1においてユニット構成が改変されたと判断した場合には(判断ステップS81: Yes)、制御を、ポートID書き換えステップS8に移行する。一方、制御部14は、ユニット構成が改変されていないと判断した場合には(判断ステップS81: No)、制御を、判断ステップS63に移行する。

[0133] ポートID書き換えステップS8では、制御部14は、ユニット構成図作成ステップS1にてユニット0, ユニット1, …のユニット構成が改変された場合に、アドレステーブルBT1に対して、ユニット構成図作成ステップS1にて検出した変更前のユニット(例えばユニット0, ユニット1)におけるポートID(具体的にはパスPaが設定されたポートID)を、ユニット構成図作成ステップS1にて検出した変更後のユニット(例えばユニット1, ユニット0)におけるポートIDに書き換える。

[0134] 図16は、図13に示すアドレステーブルTB1においてユニット構成が改変された後のデータ構造の一例を示す模式図である。図17は、図12に示す表示画面においてユニット構成が改変された後に表示した表示画面である。

[0135] この例では、スロット0のユニット0とスロット1のユニット1とが相互に入れ替えられる一例を示している。

[0136] すなわち、図13のαに示すように「0000」チャンネルの「00」ビット, 「0000」チャンネルの「01」ビット, 「0000」チャンネルの「0

2」ビット，…に格納されていたポートID「0000」（パス形式では「rack#0/slot#0/Ch1__In/Ch1__In00」），「0001」（パス形式では「rack#0/slot#0/Ch1__In/Ch1__In01」），「0002」（パス形式では「rack#0/slot#0/Ch1__In/Ch1__In02」），…が、図16の α に示すように「0010」チャネルの「00」ビット，「0010」チャネルの「01」ビット，「0010」チャネルの「02」ビット，…のアドレスに書き換えられる。

[0137] また、図13の β に示すように「0010」チャネルの「00」ビット，「0010」チャネルの「01」ビット，「0010」チャネルの「02」ビット，…に格納されていたポートID「1000」（パス形式では「rack#0/slot#1/Ch1__Out/Ch1__Out00」），「1001」（パス形式では「rack#0/slot#1/Ch1__Out/Ch1__Out01」），「1002」（パス形式では「rack#0/slot#1/Ch1__Out/Ch1__Out02」），…が、図16の β に示すように「0000」チャネルの「00」ビット，「0000」チャネルの「01」ビット，「0000」チャネルの「02」ビット，…のアドレスに書き換えられる。

[0138] そして、ポートIDにパスPaが設定される場合には、入力ユニット0（この例では型式CJ1W-ID201）のポートPtについては、図16の「CPUラック00」に対応する図17のラックパス名が「rack#0」に、図16のロット1に対応する図17のロットパス名が「slot#1」に、図16のチャネル「0010」に対応する図17のチャネルパス名が「Ch1__In」に、図16のビット「××」に対応する図17のビットパス名が「Ch__In××」に設定される。出力ユニット1（この例では型式CJ1W-OC201）のポートPtについては、図16の「CPUラック00」に対応する図17のラックパス名が「rack#0」に、図16のロット0に対応する図17のロットパス名が「slot#0」に、図1

6のチャンネル「0000」に対応する図17のチャンネルパス名が「Ch1__Out」に、図16のビット「××」に対応する図17のビットパス名が「Ch__Out××」に設定される。なお、「××」は、アドレスのビットに対応した値を表わす。

[0139] 図5に示すフローチャートにおいて、判断ステップS81を除去し、判断ステップS62において変数Varを確定した場合に（判断ステップS62：Yes）、常に、ポートID書き換えステップS8を処理するように構成されてもよい。

[0140] なお、図15に示す変数テーブルTB2についても、ユニット構成図作成ステップS1においてユニット0，ユニット1，…の何れか一つのユニットの配置位置が変更された場合には、それに対応してパスPaの設定が更新されるように構成されている。

[0141] [アドレス取得ステップS9]

次に、図5に示す判断ステップS82では、制御部14は、制御プログラムをオブジェクトコードに変換するか否かを判断する。すなわち、制御部14は、制御プログラムのオブジェクトコードへの変換を指示するアイコン（図示しない）に対してユーザによるポインティングデバイス12bのクリック操作が行なわれたことを検知すると（判断ステップS82：Yes）、制御を、アドレス取得ステップS9に移行する。

[0142] アドレス取得ステップS9では、制御部14は、制御プログラムに記述された変数Varに対応するポートIDを変数テーブルTB2（図15参照）から取得し、取得したポートIDに対応するアドレスを、データ更新されたアドレステーブルTB1（図16参照）から取得する。

[0143] 例えば、ユニット構成が改変される前の図15に示す変数テーブルTB2の変数Var（「J01__Ch1__In00」）に対応するポートID「0000」（パス形式では「rack#0/slot#0/Ch1__In/Ch1__In00」）は、図13に示すアドレステーブルTB1においてアドレスがチャンネル「0000」のビット「00」であったのに対して、ユニッ

ト構成が改変された後の図16に示すアドレステーブルTB1では、ポートID「0000」（パス形式では「rack#0/slot#1/Ch1__In/Ch1__In00」）に対応するアドレスがチャンネル「0010」のビット「00」となる。従って、ユーザは、制御プログラムを作成する際には、ポートPtの種類を示す変数Varを記述しておけば、ユニット構成が改変されたとしても、自動的に変数Varに対応するアドレスが変更されるので、アドレスを意識する必要がない。すなわち、ユニット構成の改変に応じて制御プログラムを変更する必要がない。そして、図15に示す変数テーブルTB2の変数Var（「J01__Ch1__In00」）に対応するポートID「0000」に設定されたパスPaは、図16及び図17に示すように、「rack#0/slot#1/Ch1__In/Ch1__In00」に更新されるので、ユーザは最新のパスPaを参照することができる。

[0144] [変換ステップS10]

そして、図5に示す変換ステップS10では、制御部14は、取得したアドレスを用いて、制御プログラムをCPUユニット22で実行可能なオブジェクトコードに変換（具体的にはコンパイル）する。

[0145] 以上説明したように、本実施の形態に係る制御プログラム開発支援装置100によれば、ユニット構成が改変された場合に、制御部14は、アドレステーブルTB1に対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換え、変数Varに対応するポートIDを変数テーブルTB2から取得し、取得したポートIDに対応するアドレスをアドレステーブルTB1から取得する。こうすることで、たとえユニット構成が改変されたとしても、変数テーブルTB2によって制御プログラムに記述されたアドレス、さらには変数と、ポートPtとの関係が維持されているので、変数に対する制御プログラムにおけるアドレスの変更作業や、アドレスに対して設定した変数の変更作業を行う必要がなく、これにより、ユニット構成の改変に伴う利便性を向上させることができる。

[0146] ところで、従来は、変数Varに設定しているアドレスは、CPUユニッ

ト 2 2 のメモリ M に割り付けられたメモリエリアを表しているだけであったため、ユーザは、アドレスからユニットの配置位置を認識することが困難であった。

[0147] この点、本実施の形態では、制御部 1 4 は、ポート I D に対して、ラックパス名、スロットパス名、チャネルパス名及びビットパス名を順に階層的に表したパス形式でパス P a を設定して表示させるので、ユーザは、パス P a を見ただけでユニットの配置位置を容易に認識することが可能となる。

[0148] また、本実施の形態では、制御部 1 4 は、変数情報受け付けステップ S 4 と、変数情報自動設定ステップ S 6 とを実施するので、変数情報受け付けステップ S 4 にて変数 V a r の入力情報を入力するか、或いは、変数情報自動設定ステップ S 6 にて変数 V a r を自動的に設定するかを、ユーザが必要に応じて使い分けすることが可能となる。

[0149] また、本実施の形態では、ユニット構成図を作成するときに、ユニットが何れのスロットに移動したかを検出することができ、これにより、ユニットの配置位置の変更を効率的に検出することが可能となる。

[0150] また、ユニット構成図は、図 2 4 に示すようなツリー形式の構造図であってもよい。本実施の形態では、ユニットのイラストを、スロットのイラストに対してドラッグ・アンド・ドロップにより表示部 1 3 の表示画面 1 3 a に移動表示可能に配置してユニット構成図を作成する。そのため、ユニット構成図におけるユニット構成を、イラストによって視覚的に改変することができ、ユニット構成の改変作業の容易化を実現することが可能となる。

[0151] なお、本実施の形態では、「CPU ラック 0 0」について説明したが、増設ラック（「ラック 0 1」，「ラック 0 2」，…）についても同様にして、本実施の形態に係る技術思想を適用することができる。また、本実施の形態では、PLC 2 0 0 を複数備え、LAN 等のネットワークを介して複数の PLC 2 0 0，…を相互に接続するようにしてもよい。この場合、ポート I D に設定したパス P a の表示形態としては、先頭にネットワークのパス名（例えば PLC 名）を付与した表示形態を例示できる。

[0152] この発明を詳細に説明し示してきたが、これは例示のためのみであって、限定ととはならず、発明の範囲は添付の請求の範囲によって解釈されることが明らかに理解されるであろう。

符号の説明

[0153] 1 3 表示部
1 3 a 表示画面
1 4 制御部
1 6 ユニット情報記憶部
2 2 CPUユニット
3 1, ... ユニット
1 0 0 制御プログラム開発支援装置
2 0 0 PLC
B P 制御プログラム開発支援用プログラム
M メモリ
P a パス
P t ポート
P 1 ユニット構成図作成部
P 2 メモリ割り付け部
P 3 アドレステーブル登録部
P 4 変数情報受け付け部
P 5 パス設定表示部
P 6 変数情報自動設定部
P 7 変数テーブル作成部
P 8 ポートID書き換え部
P 9 アドレス取得部
P 1 0 変換部
R 記録媒体
T B 1 アドレステーブル

T B 2 変数テーブル

V a r 変数

請求の範囲

[請求項1]

プログラマブルコントローラのCPUユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置であって、

前記複数のユニットにおける複数のポートに対してそれぞれ一意に決められた複数のポートIDに対応して前記CPUユニットにおけるメモリのメモリアドレスの割り付けを行うように構成されたメモリ割り付け部と、

前記複数のポートIDに対応して関連付けられるメモリアドレスと前記複数のポートIDとの対応関係を示すアドレステーブルを作成するように構成されたアドレステーブル作成部と、

前記複数のポートIDに対応して関連付けられる変数と前記複数のポートIDとの対応関係を示す変数テーブルを作成するように構成された変数テーブル作成部と、

前記変数に対応するポートIDを前記変数テーブルから取得し、取得したポートIDに対応するメモリアドレスを前記アドレステーブルから取得するように構成されたアドレス取得部と、

を備え、

前記アドレステーブル作成部は、前記アドレステーブルに対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換えるように構成されている、制御プログラム開発支援装置。

[請求項2]

請求項1に記載の制御プログラム開発支援装置であって、

前記ポートIDに対して、前記ラックに対応するラックパス名、前記複数のスロットのうち何れか一つのスロットに対応するスロットパス名、前記何れか一つスロットに対する複数のチャンネルのうち何れか一つのチャンネルに対応するチャンネルパス名及び前記何れか一つのチャンネルに対する複数のビットのうち何れかの一つのビットに対応するビ

ットパス名を順に階層的に表したパス形式でパスを設定して表示画面に表示させるように構成されたパス設定表示部をさらに備える、制御プログラム開発支援装置。

[請求項3] 請求項1又は請求項2に記載の制御プログラム開発支援装置であって、

前記変数の入力情報を受け付けるように構成された変数情報受け付け部と、

前記複数のポートの階層的な物理構成に基づいて前記変数を自動的に設定するように構成された変数情報自動設定部とをさらに備える、制御プログラム開発支援装置。

[請求項4] 請求項1から請求項3までの何れか一つに記載の制御プログラム開発支援装置であって、

前記複数のユニットの少なくとも一つのユニットを一つずつ、前記ラックにおける前記複数のスロットの何れか一つに位置変更可能に配置してユニット構成図を作成し、前記複数のユニットの何れか一つのユニットの配置位置が変更された場合に、前記複数のユニットのうち何れのユニットが何れのスロットに移動したかを検出するように構成されたユニット構成図作成部をさらに備え、

前記アドレステーブル作成部は、前記アドレステーブルに対して、前記ユニット構成図作成部にて検出した変更前のユニットにおけるポートIDを、前記ユニット構成図作成部にて検出した変更後のユニットにおけるポートIDに書き換えるように構成されている、制御プログラム開発支援装置。

[請求項5] 請求項4に記載の制御プログラム開発支援装置であって、

前記ラック及び前記複数のユニットをイラスト化したイラスト情報を前記複数のユニットに関するユニット情報と関連付けて格納するように構成されたユニット情報記憶部をさらに備え、

前記ユニット構成図作成部は、前記ユニット情報記憶部に格納した

前記ラックのイラスト情報に対応するイラストを表示画面に表示し、前記ユニット情報記憶部に格納した前記イラスト情報に対応する前記複数のユニットの少なくとも一つのイラストを一つずつ、前記ラックにおける前記複数のスロットの何れか一つのイラストに対してドラッグ・アンド・ドロップにより前記表示画面に移動表示可能に配置してユニット構成図を作成するように構成されている、制御プログラム開発支援装置。

[請求項6]

制御プログラム開発支援用プログラムであって、

前記制御プログラム開発支援用プログラムは、プログラマブルコントローラのCPUユニットに接続される複数のユニットをラック内における複数のスロットにそれぞれ配置するためのユニット構成を作成する制御プログラム開発支援装置における制御部に、

前記複数のユニットにおける複数のポートに対してそれぞれ一意に決められた複数のポートIDに対応して前記CPUユニットにおけるメモリのメモリアドレスの割り付けを行うステップと、

前記複数のポートIDに対応して関連付けられるメモリアドレスと前記複数のポートIDとの対応関係を示すアドレステーブルを作成するステップと、

前記複数のポートIDに対応して関連付けられる変数と前記複数のポートIDとの対応関係を示す変数テーブルを作成するステップと、

前記変数に対応するポートIDを前記変数テーブルから取得し、取得したポートIDに対応するメモリアドレスを前記アドレステーブルから取得するステップとを実行させ、

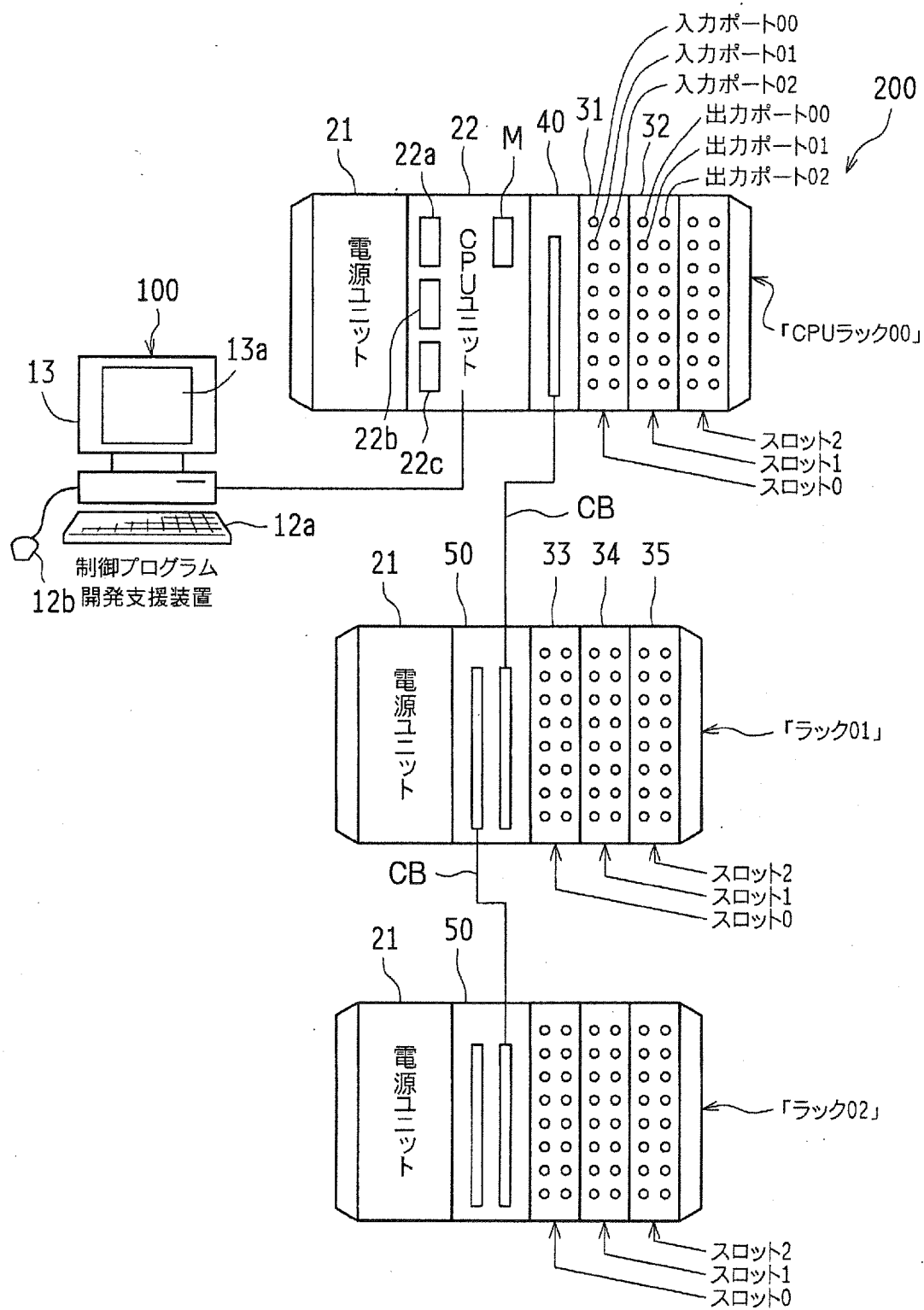
前記アドレステーブルを作成するステップは、前記アドレステーブルに対して、変更前のユニットにおけるポートIDを、変更後のユニットにおけるポートIDに書き換えるステップを含む、制御プログラム開発支援用プログラム。

[請求項7]

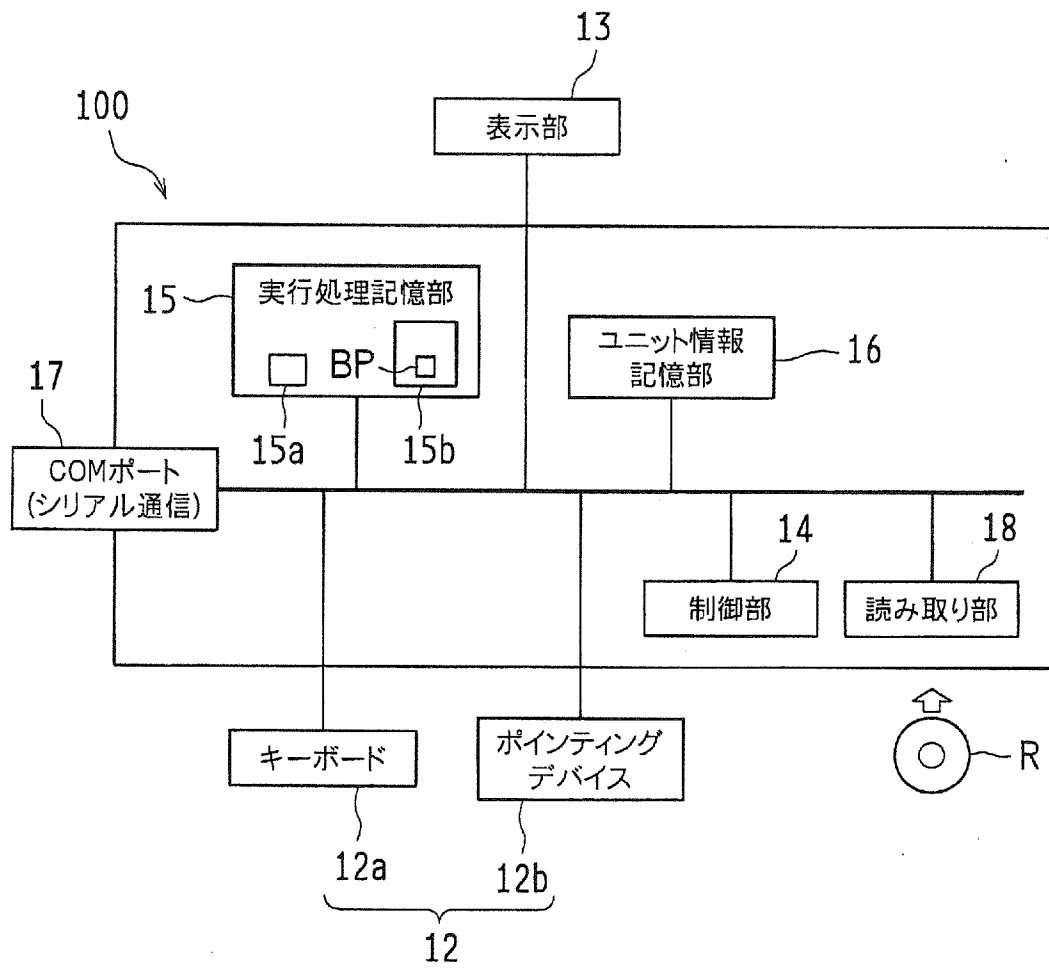
請求項6に記載の制御プログラム開発支援用プログラムを記録した

コンピュータ読み取り可能な記録媒体。

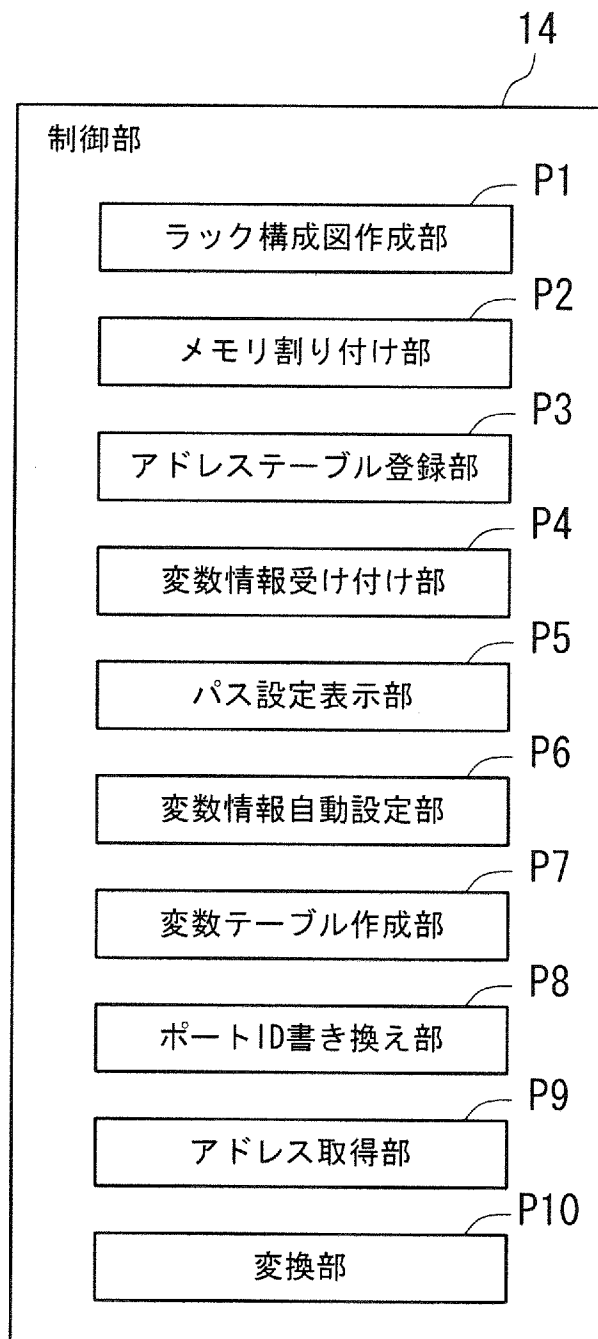
[図1]



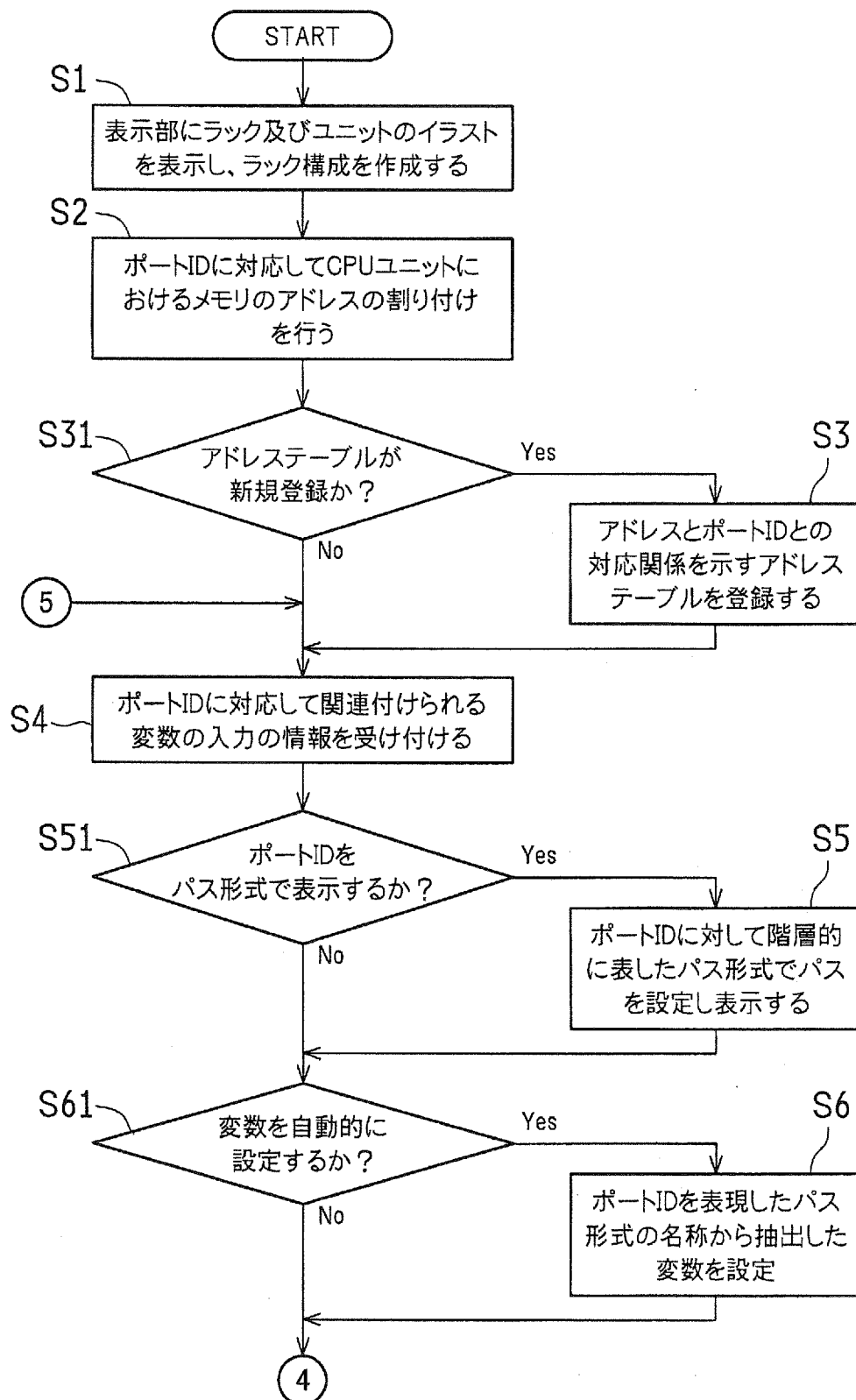
[図2]



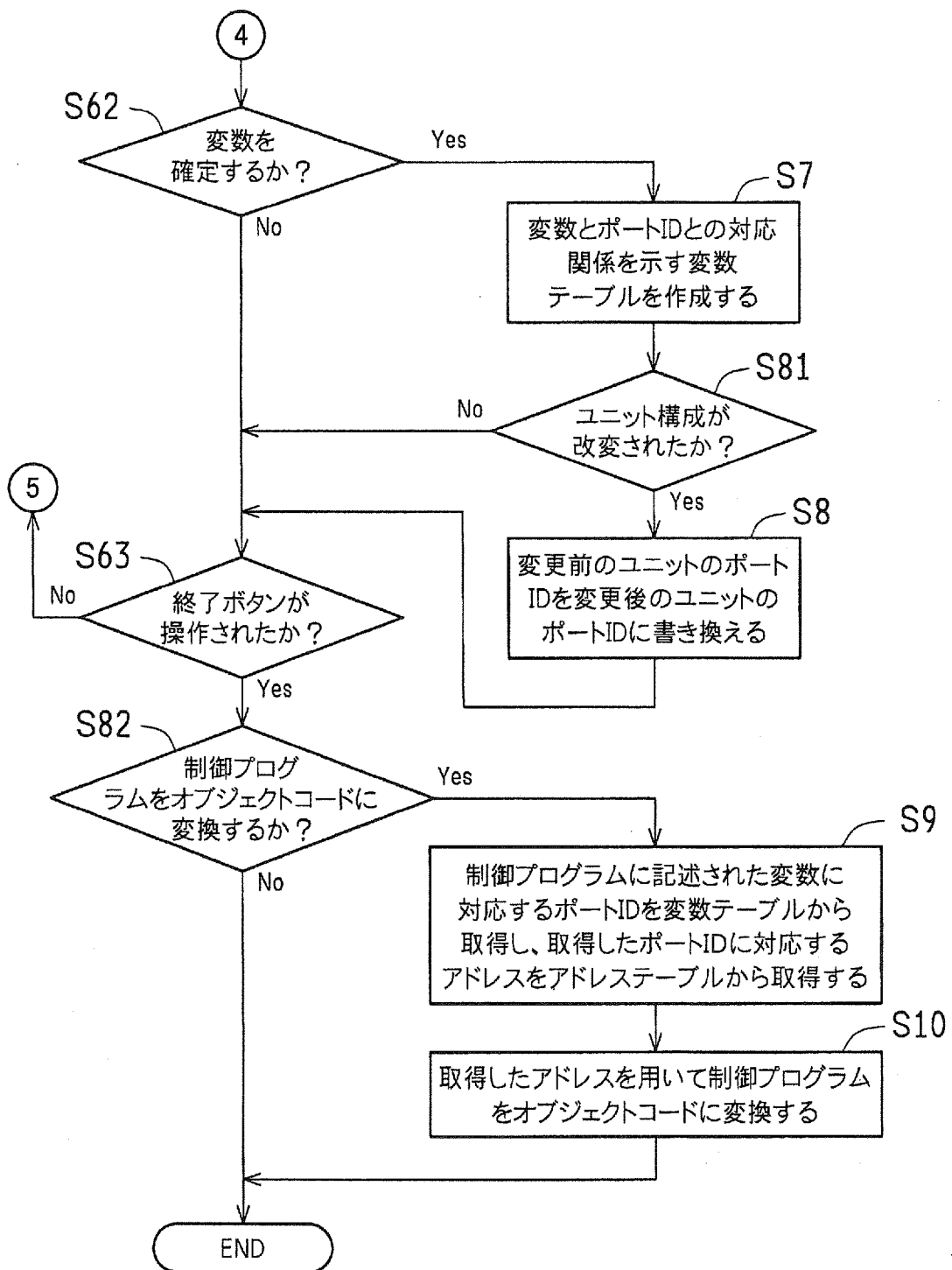
[図3]



[図4]



[図5]

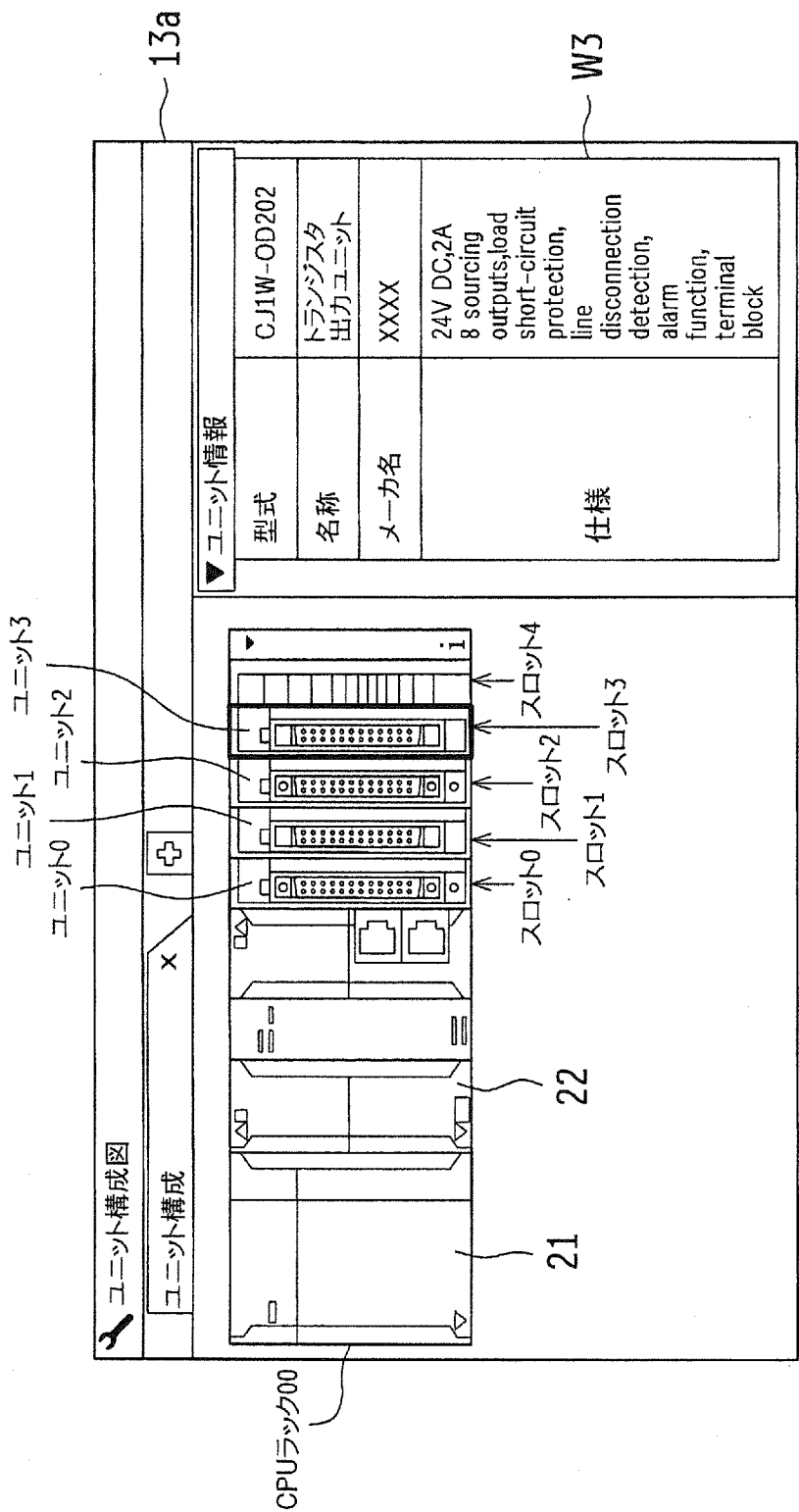


[図6]

16

ユニット情報		
型式	名称	イラスト情報
CJ1W-ID201	DC入力ユニット	CJ1W_ID201.jpg
CJ1W-OC201	リレー接点出力ユニット	CJ1W_OC201.jpg
CJ1W-IA111	AC入力ユニット	CJ1W_IA111.jpg
CJ1W-OD202	トランジスタ出力ユニット	CJ1W_OD202.jpg
⋮	⋮	⋮

[図7]



[図8]

ユニットの選択

ユニット

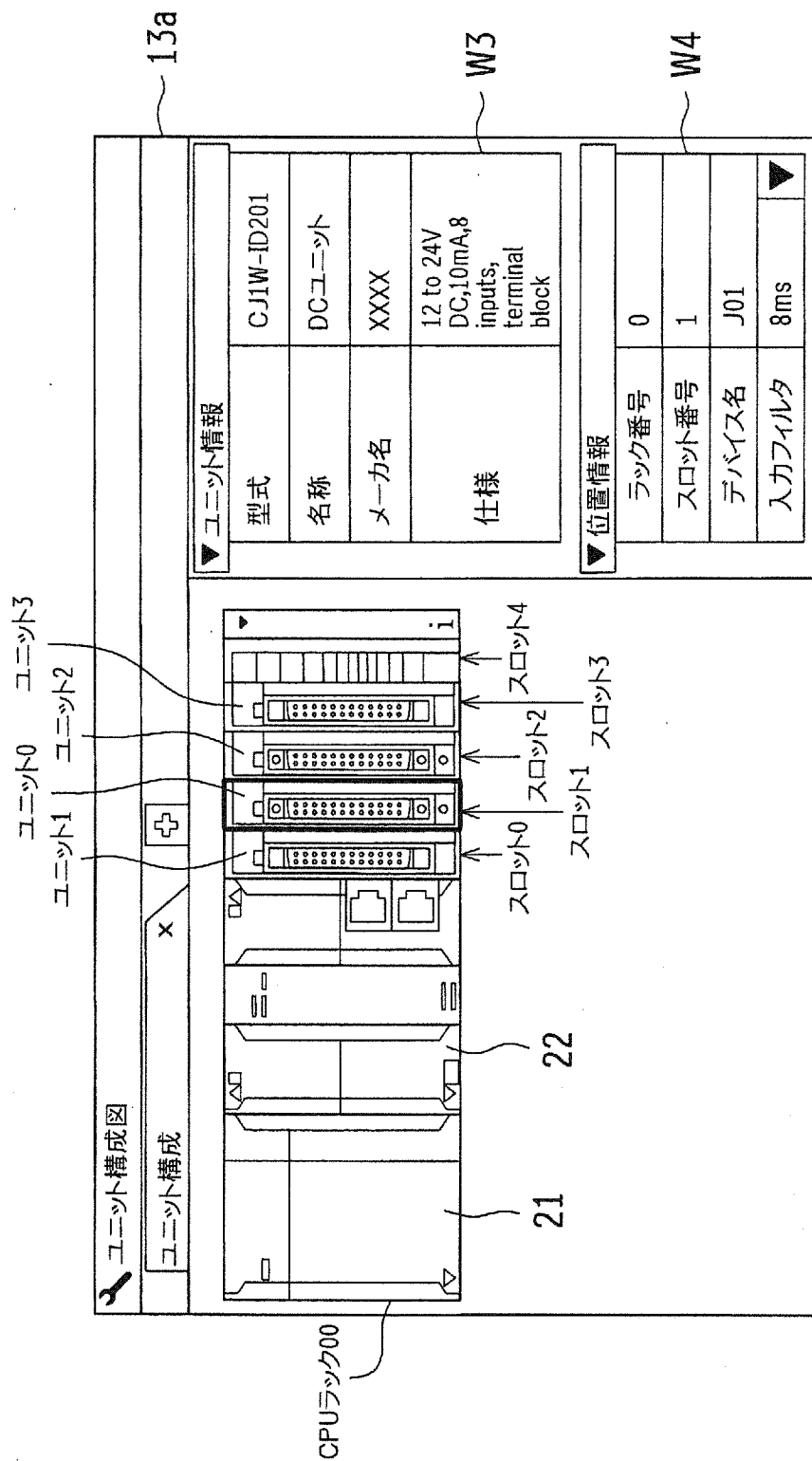
- ☒ アナログI/O
- ☒ センサ
- ☒ モーションコントローラ
- ☒ 位置制御
- ☒ 温調
- ☐ 基本I/O
 - CJ1W-ID201(DC入力ユニット)
 - CJ1W-OC201(リレー接点出力ユニット)
 - CJ1W-IA111(AC入力ユニット)
 - CJ1W-OD202(トランジスタ出力ユニット)
 -
 -
 -
- ☒ 通信
- ☒ 汎用デバイス

仕様

24V DC,2A -----

OK キャンセル

[図9]



[図10]

ラック	スロット	アドレス		入出力 タイプ	Pt ポート	ポートID	TB1 型式
		チャンネル	ビット				
00	0	0000	00 01 02 ⋮	入力	00 01 02 ⋮	0000 0001 0002 ⋮	CJ1W-ID201 (DC入力ユニット)
00	0	0001	00 01 02 ⋮	入力	10 11 12 ⋮	0100 0101 0102 ⋮	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
00	1	0010	00 01 02 ⋮	出力	00 01 02 ⋮	1000 1001 1002 ⋮	CJ1W-OC201 (リレー接点出力 ユニット)
00	1	0011	00 01 02 ⋮	出力	10 11 12 ⋮	1100 1101 1102 ⋮	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

[図11]

13a Pt			Var			変数コメント
ユニット	ポート	名称	R/W	データ型	変数	
スロット	▼ PLC System Bus					
CPU	▼ CPU Rack 0					
[00]	▼ CJ1W-ID201(DC入力ユニット)					
	▼ Ch1_In	Input CH1	R	BYTE		
	Ch1_In00	Input CH1 bit 00	R	BOOL		
	Ch1_In01	Input CH1 bit 01	R	BOOL		
	Ch1_In02	Input CH1 bit 02	R	BOOL		
	Ch1_In03	Input CH1 bit 03	R	BOOL		
	Ch1_In04	Input CH1 bit 04	R	BOOL		
	Ch1_In05	Input CH1 bit 05	R	BOOL		
	Ch1_In06	Input CH1 bit 06	R	BOOL		
	Ch1_In07	Input CH1 bit 07	R	BOOL		
[01]	▼ CJ1W-OC201(リレー接点出力ユニット)					
	▼ Ch1_Out	Output CH1	RW	BYTE		
	Ch1_Out00	Output CH1 bit 00	RW	BOOL		
	Ch1_Out01	Output CH1 bit 01	RW	BOOL		
	Ch1_Out02	Output CH1 bit 02	RW	BOOL		
	Ch1_Out03	Output CH1 bit 03	RW	BOOL		
	Ch1_Out04	Output CH1 bit 04	RW	BOOL		
	Ch1_Out05	Output CH1 bit 05	RW	BOOL		
	Ch1_Out06	Output CH1 bit 06	RW	BOOL		
	Ch1_Out07	Output CH1 bit 07	RW	BOOL		
[02]	▼ CJ1W-IA111(AC入力ユニット)					
	▼ Ch1_In	Input CH1	R	WORD		
	Ch1_In00	Input CH1 bit 00	R	BOOL		
	Ch1_In01	Input CH1 bit 01	R	BOOL		
	Ch1_In02	Input CH1 bit 02	R	BOOL		

[図12]

13a

Pt

Port

Pa

Var

ユニット	ポート	名称	R/W	バス	データ型	変数
スロット	▼ PLC System Bus					
CPU	▼ CPU Rack 0					
[00]	▼ CJIW-ID201(DC入力ユニット)					
	▼ Ch1_In					
	Ch1_In00	Input CH1	R	IOBus://rack#0/slot#0/Ch1_In	BYTE	J01_Ch1_In
	Ch1_In01	Input CH1 bit 00	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In00	BOOL	J01_Ch1_In00
	Ch1_In02	Input CH1 bit 01	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In01	BOOL	J01_Ch1_In01
	Ch1_In03	Input CH1 bit 02	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In02	BOOL	J01_Ch1_In02
	Ch1_In04	Input CH1 bit 03	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In03	BOOL	J01_Ch1_In03
	Ch1_In05	Input CH1 bit 04	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In04	BOOL	J01_Ch1_In04
	Ch1_In06	Input CH1 bit 05	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In05	BOOL	J01_Ch1_In05
	Ch1_In07	Input CH1 bit 06	R	IOBus://rack#0/slot#0/Ch1_In/Ch1_In06	BOOL	J01_Ch1_In06
[01]	▼ CJIW-OC201(リレー接点出力ユニット)					
	▼ Ch1_Out					
	Ch1_Out00	Output CH1	RW	IOBus://rack#0/slot#1/Ch1_Out	BYTE	
	Ch1_Out01	Output CH1 bit 00	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out00	BOOL	
	Ch1_Out02	Output CH1 bit 01	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out01	BOOL	
	Ch1_Out03	Output CH1 bit 02	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out02	BOOL	
	Ch1_Out04	Output CH1 bit 03	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out03	BOOL	
	Ch1_Out05	Output CH1 bit 04	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out04	BOOL	
	Ch1_Out06	Output CH1 bit 05	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out05	BOOL	
	Ch1_Out07	Output CH1 bit 06	RW	IOBus://rack#0/slot#1/Ch1_Out/Ch1_Out06	BOOL	
[02]	▼ CJIW-JA111(AC入力ユニット)					
	▼ Ch1_In					
	Ch1_In00	Input CH1	R	IOBus://rack#0/slot#2/Ch1_In	WORD	
	Ch1_In01	Input CH1 bit 00	R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In00	BOOL	
	Ch1_In02	Input CH1 bit 01	R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In01	BOOL	
		Input CH1 bit 02	R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In02	BOOL	

[図13]

[illegible]

[図14]

ユニット	ポート	名称	R/W	データ型	変数	変数コメント
▼ スロット CPU	PLC System Bus					
▼ [00]	CPU Rack 0					
	▼ CJ1W-ID201(DC入力ユニット)					
	▼ Ch1_In	Input CH1	R	BYTE	J01_Ch1_In	
	Ch1_In00	Input CH1 bit 00	R	BOOL	J01_Ch1_In00	
	Ch1_In01	Input CH1 bit 01	R	BOOL	J01_Ch1_In01	
	Ch1_In02	Input CH1 bit 02	R	BOOL	J01_Ch1_In02	
	Ch1_In03	Input CH1 bit 03	R	BOOL	J01_Ch1_In03	
	Ch1_In04	Input CH1 bit 04	R	BOOL	J01_Ch1_In04	
	Ch1_In05	Input CH1 bit 05	R	BOOL	J01_Ch1_In05	
	Ch1_In06	Input CH1 bit 06	R	BOOL	J01_Ch1_In06	
	Ch1_In07	Input CH1 bit 07	R	BOOL	J01_Ch1_In07	
▼ [01]	CJ1W-OC201(リレー接点出力ユニット)					
	▼ Ch1_Out	Output CH1	RW	BYTE		
	Ch1_Out00	Output CH1 bit 00	RW	BOOL		
	Ch1_Out01	Output CH1 bit 01	RW	BOOL		
	Ch1_Out02	Output CH1 bit 02	RW	BOOL		
	Ch1_Out03	Output CH1 bit 03	RW	BOOL		
	Ch1_Out04	Output CH1 bit 04	RW	BOOL		
	Ch1_Out05	Output CH1 bit 05	RW	BOOL		
	Ch1_Out06	Output CH1 bit 06	RW	BOOL		
	Ch1_Out07	Output CH1 bit 07	RW	BOOL		
▼ [02]	CJ1W-IA111(AC入力ユニット)					
	▼ Ch1_In	Input CH1	R	WORD		
	Ch1_In00	Input CH1 bit 00	R	BOOL		
	Ch1_In01	Input CH1 bit 01	R	BOOL		
	Ch1_In02	Input CH1 bit 02	R	BOOL		

[図15]

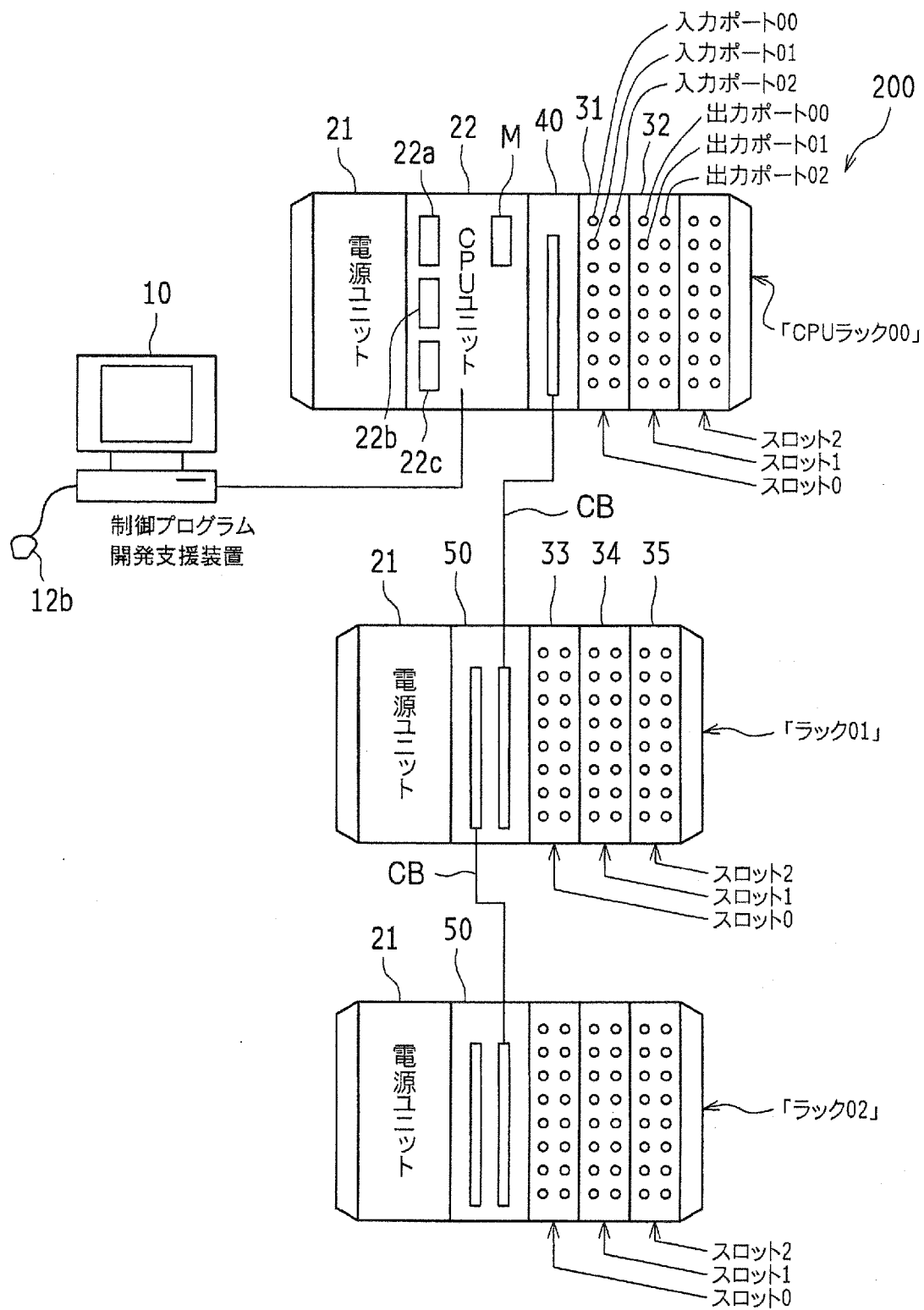
変数	データ型	パス	ポートID
J01_Ch1_In	BYTE	rack#0/slot#0/Ch1_In	
J01_Ch1_In00	BOOL	rack#0/slot#0/Ch1_In/Ch1_In00	0000
J01_Ch1_In01	BOOL	rack#0/slot#0/Ch1_In/Ch1_In01	0001
J01_Ch1_In02	BOOL	rack#0/slot#0/Ch1_In/Ch1_In02	0002
J01_Ch1_In03	BOOL	rack#0/slot#0/Ch1_In/Ch1_In03	0003
J01_Ch1_In04	BOOL	rack#0/slot#0/Ch1_In/Ch1_In04	0004
J01_Ch1_In05	BOOL	rack#0/slot#0/Ch1_In/Ch1_In05	0005
J01_Ch1_In06	BOOL	rack#0/slot#0/Ch1_In/Ch1_In06	0006
J01_Ch1_In07	BOOL	rack#0/slot#0/Ch1_In/Ch1_In07	0007
⋮	⋮	⋮	⋮
	BYTE	rack#0/slot#1/Ch1_Out	
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out00	1000
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out01	1001
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out02	1002
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out03	1003
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out04	1004
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out05	1005
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out06	1006
	BOOL	rack#0/slot#1/Ch1_Out/Ch1_Out07	1007

[illegible]

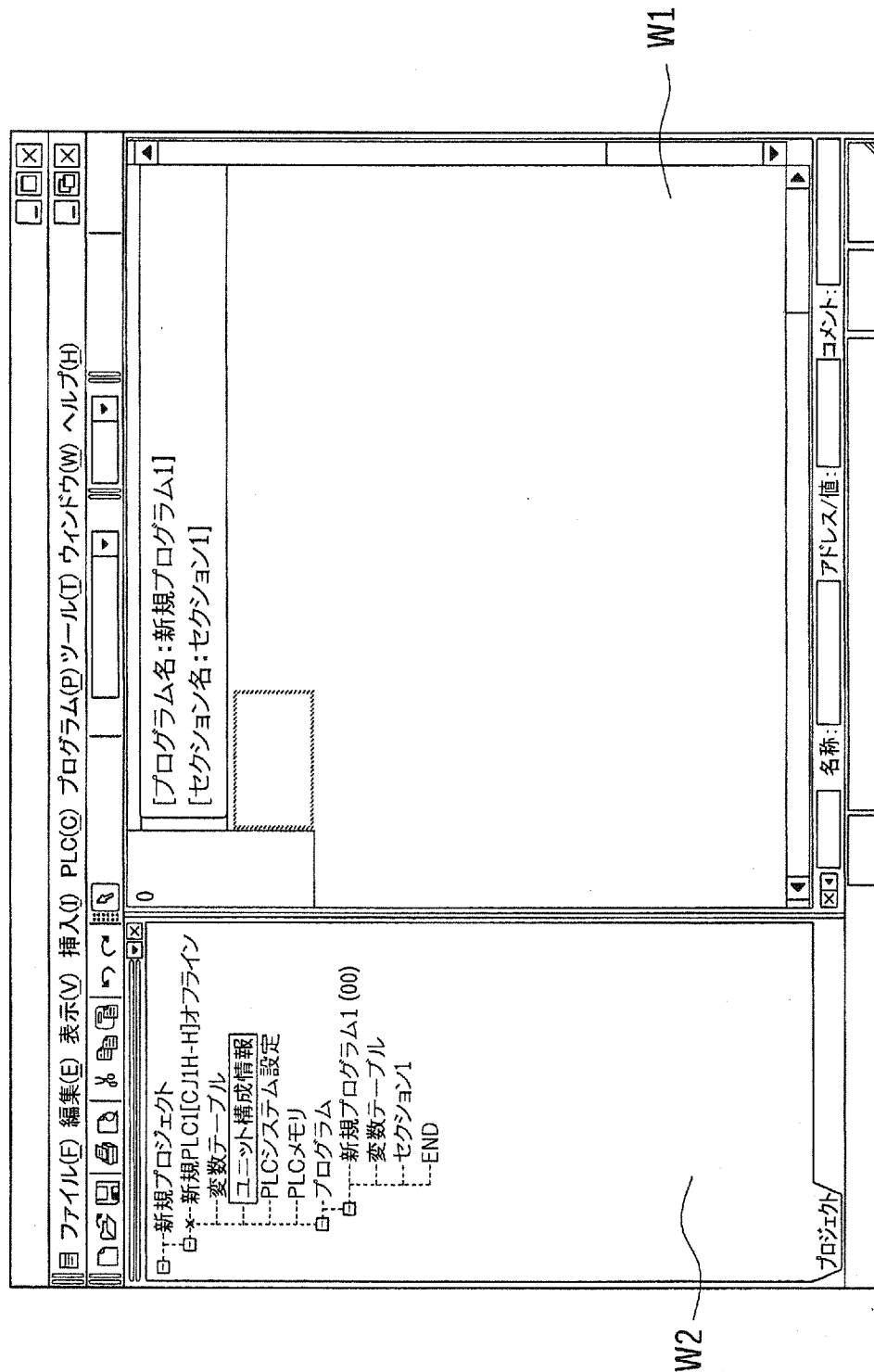
[図17]

ユニット	ポート	名称	R/W	バス	データ型	変数
スロット	▼ PLC System Bus					
CPU	▼ CPU Rack 0					
[00]	▼ CJIW-OC201(リレー接点出力ユニット)					
	▼ Ch1_Out					
	Ch1_Out00	Output CH1 bit 00	RW	IOBus://rack#0/slot#0/Ch1_Out	BYTE	
	Ch1_Out01	Output CH1 bit 01	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out00	BOOL	
	Ch1_Out02	Output CH1 bit 02	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out01	BOOL	
	Ch1_Out03	Output CH1 bit 03	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out02	BOOL	
	Ch1_Out04	Output CH1 bit 04	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out03	BOOL	
	Ch1_Out05	Output CH1 bit 05	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out04	BOOL	
	Ch1_Out06	Output CH1 bit 06	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out05	BOOL	
	Ch1_Out07	Output CH1 bit 07	RW	IOBus://rack#0/slot#0/Ch1_Out/Ch1_Out06	BOOL	
[01]	▼ CJIW-ID201(DC入力ユニット)					
	▼ Ch1_In					
	Ch1_In00	Input CH1 bit 00	R	IOBus://rack#0/slot#1/Ch1_In	BYTE	J01_Ch1_In
	Ch1_In01	Input CH1 bit 01	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In00	BOOL	J01_Ch1_In00
	Ch1_In02	Input CH1 bit 02	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In01	BOOL	J01_Ch1_In01
	Ch1_In03	Input CH1 bit 03	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In02	BOOL	J01_Ch1_In02
	Ch1_In04	Input CH1 bit 04	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In03	BOOL	J01_Ch1_In03
	Ch1_In05	Input CH1 bit 05	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In04	BOOL	J01_Ch1_In04
	Ch1_In06	Input CH1 bit 06	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In05	BOOL	J01_Ch1_In05
	Ch1_In07	Input CH1 bit 07	R	IOBus://rack#0/slot#1/Ch1_In/Ch1_In06	BOOL	J01_Ch1_In06
[02]	▼ CJIW-IA111(AC入力ユニット)					
	▼ Ch1_In					
	Ch1_In00	Input CH1 bit 00	R	IOBus://rack#0/slot#2/Ch1_In	WORD	
	Ch1_In01	Input CH1 bit 01	R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In00	BOOL	
	Ch1_In02	Input CH1 bit 02	R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In01	BOOL	
			R	IOBus://rack#0/slot#2/Ch1_In/Ch1_In02	BOOL	

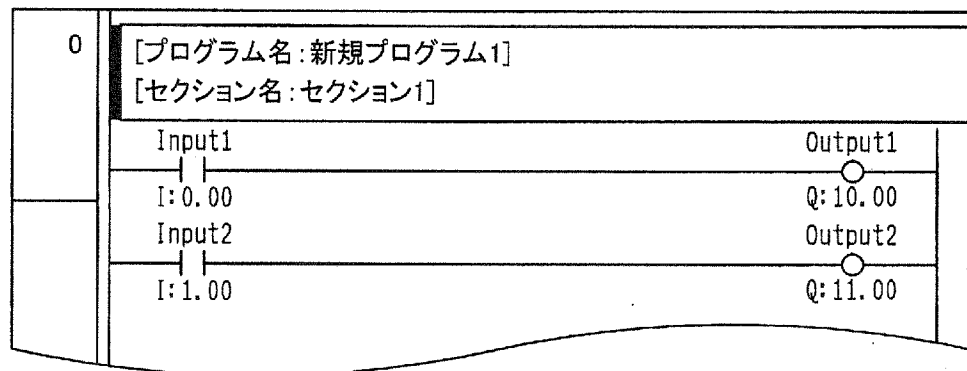
[図18]



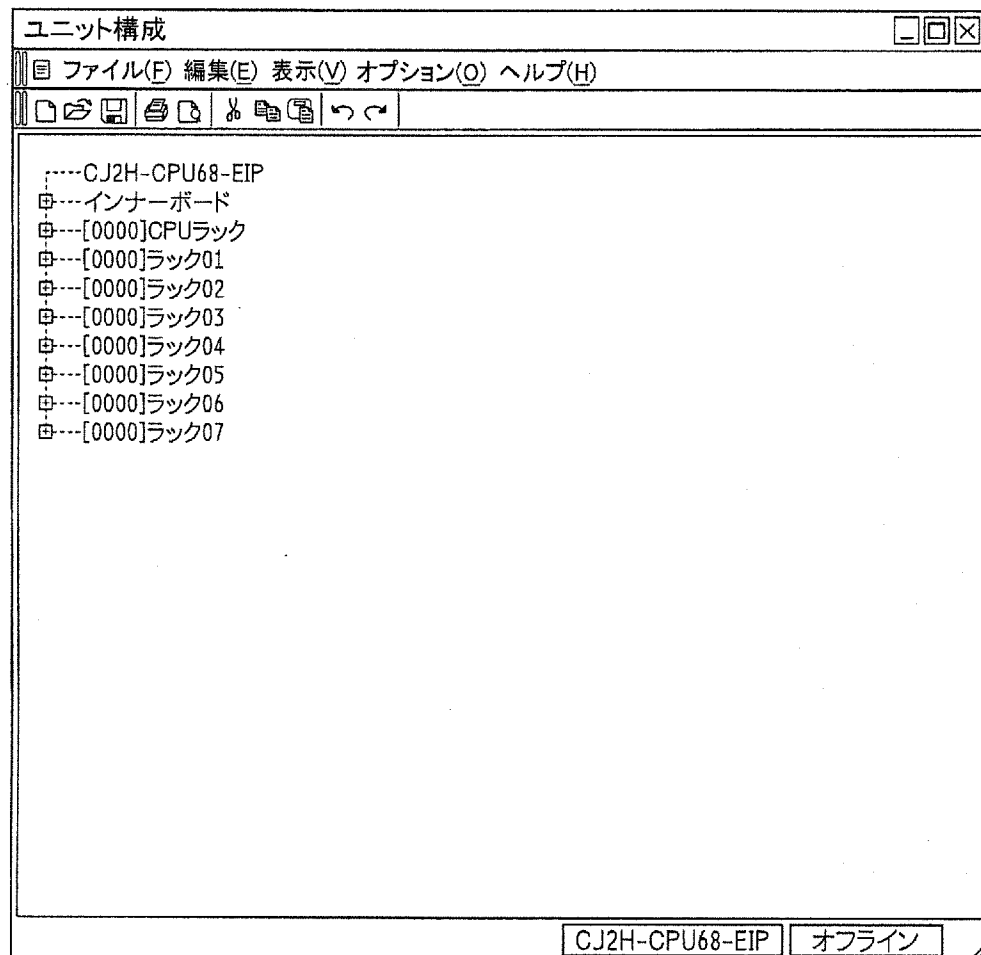
[図19]



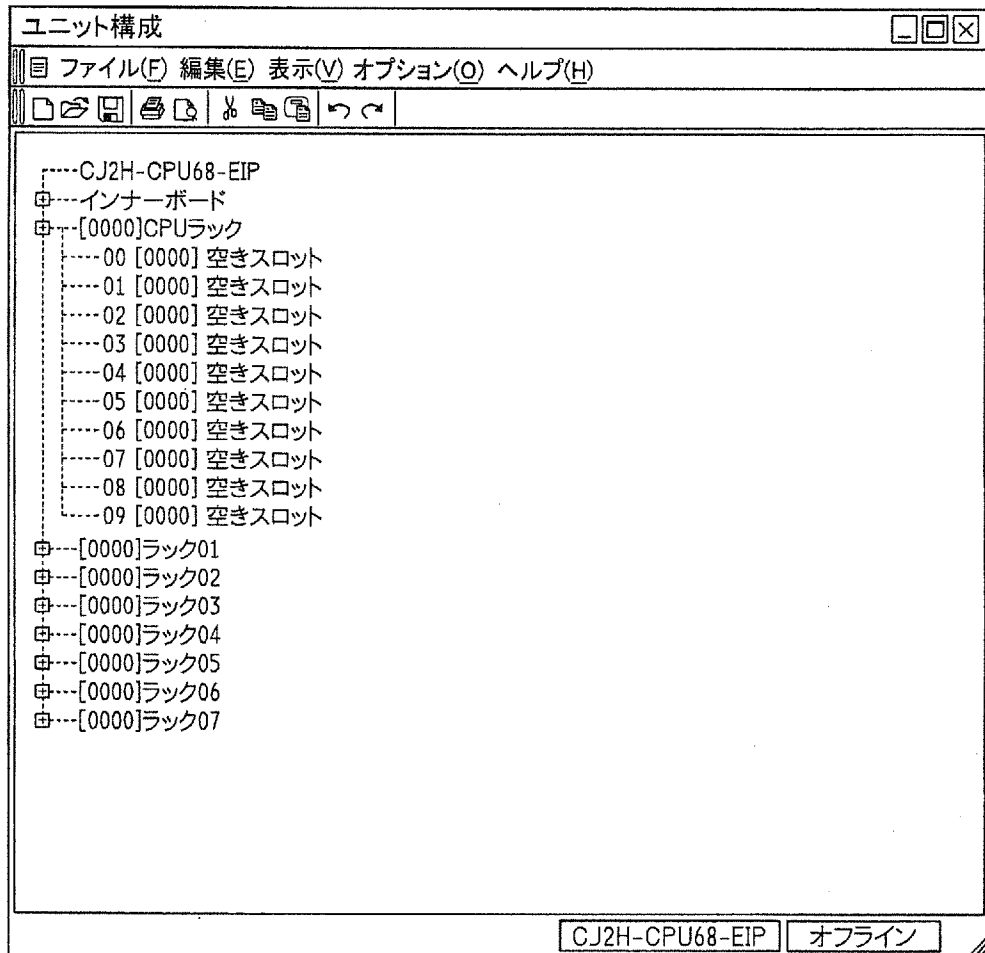
[図20]



[図21]



[図22]



[図23]

ユニットの選択

ユニット

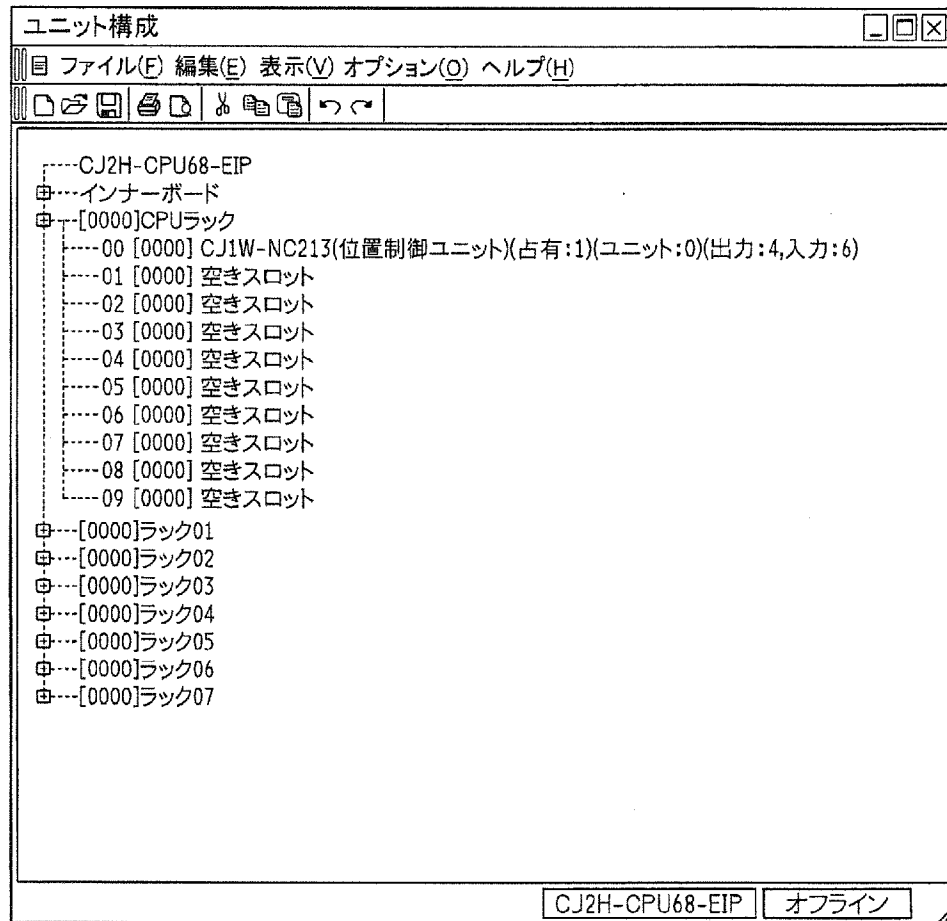
- ☒ アナログI/O
- ☒ センサ
- ☒ モーションコントローラ
- ☒ 位置制御
 - CJ1W-NC113(位置制御ユニット)
 - CJ1W-NC133(位置制御ユニット)
 - **CJ1W-NC213(位置制御ユニット)**
 - CJ1W-NC233(位置制御ユニット)
 - CJ1W-NC413(位置制御ユニット)
 - CJ1W-NC71(位置制御ユニット)
- ☒ 温調
- ☒ 基本I/O
- ☒ 通信
- ☒ 汎用デバイス

仕様

軸数 2

OK キャンセル

[図24]



[図25]

ユニットの追加

ユニット名称: 位置制御ユニット

ユニット形式: CJ1W_NC213

ユニット番号: 0

設定範囲 0 - 95

コメント

OK キャンセル

[図26]

ラック	スロット	入出力 タイプ	アドレス	
			チャンネル	ビット
00	0	入力	0000	00 01 02 ⋮
00	0	入力	0001	00 01 02 ⋮
⋮	⋮	⋮	⋮	⋮
00	1	出力	0010	00 01 02 ⋮
00	1	出力	0011	00 01 02 ⋮
⋮	⋮	⋮	⋮	⋮
01	1	入力	0020	00 01 02 ⋮
01	1	入力	0021	00 01 02 ⋮
⋮	⋮	⋮	⋮	⋮
01	2	出力	0030	00 01 02 ⋮
01	2	出力	0031	00 01 02 ⋮
⋮	⋮	⋮	⋮	⋮

TB

[図27]

新規PLC1.新規プログラム1 [変数]					
名称	データ型	アドレス/値	ラック位置	用途	コメント
• Input1	BOOL	0.00	CPUラック:スロット 00	入力	
• Output1	BOOL	10.00	CPUラック:スロット 01	出力	
• Input2	BOOL	1.00	CPUラック:スロット 00	入力	
• Output2	BOOL	11.00	CPUラック:スロット 01	出力	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/074304

A. CLASSIFICATION OF SUBJECT MATTER

G05B19/05 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05B19/05

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-223591 A (Omron Corp.), 01 October 2009 (01.10.2009), claim 2; paragraphs [0001], [0008], [0013], [0018] to [0019], [0028] to [0029], [0053] to [0057]; fig. 1, 20 (Family: none)	1, 4-7 2-3
Y A	JP 2008-097551 A (Digital Electronics Corp.), 24 April 2008 (24.04.2008), claims 1 to 2; paragraphs [0001], [0007] to [0011], [0015], [0017], [0022] to [0024], [0044], [0052] to [0070]; fig. 1 to 4 (Family: none)	1, 4-7 2-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 December, 2011 (02.12.11)

Date of mailing of the international search report
13 December, 2011 (13.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/074304

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-108421 A (Keyence Corp.), 10 April 2002 (10.04.2002), paragraph [0034]; fig. 4 to 10 & US 2002/0040286 A1	5
A	JP 2009-157533 A (Fuji Electric Systems Co., Ltd.), 16 July 2009 (16.07.2009), paragraph [0023] (Family: none)	1-7
A	JP 2003-085119 A (Digital Electronics Corp.), 20 March 2003 (20.03.2003), paragraphs [0001], [0016] to [0017] (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G05B19/05 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G05B19/05

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-223591 A (オムロン株式会社) 2009. 10. 01, 【請求項 2】, 段落【0001】, 【0008】, 【0013】, 【0018】 - 【0019】, 【0028】 - 【0029】, 【0053】 - 【0057】, 第1, 20図 (ファミリーなし)	1, 4-7 2-3
Y A	JP 2008-097551 A (株式会社デジタル) 2008. 04. 24, 【請求項 1】 - 【請求項 2】, 段落【0001】, 【0007】 - 【0011】, 【0015】, 【0017】, 【0022】 - 【0024】, 【0028】 - 【0029】	1, 4-7 2-3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 1 2 . 2 0 1 1

国際調査報告の発送日

1 3 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 彰洋

3 U

3 9 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 2 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	【0044】、【0052】－【0070】、第1－4図 (ファミリーなし)	
Y	JP 2002-108421 A (株式会社キーエンス) 2002. 04. 10, 段落【0034】、第4－10図 & US 2002/0040286 A1	5
A	JP 2009-157533 A (富士電機システムズ株式会社) 2009. 07. 16, 段落【0023】 (ファミリーなし)	1-7
A	JP 2003-085119 A (株式会社デジタル) 2003. 03. 20, 段落【0001】、【0016】－【0017】 (ファミリーなし)	1-7