

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3965583号
(P3965583)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int.C1.

F 1

G09F	9/30	(2006.01)	G09F	9/30	330Z
G09G	3/20	(2006.01)	G09G	3/20	624B
G09G	3/30	(2006.01)	G09G	3/20	641D
H01L	51/50	(2006.01)	G09G	3/30	J

HO5B 33/14 A

請求項の数 13 (全 16 頁)

(21) 出願番号

特願2003-308606 (P2003-308606)

(22) 出願日

平成15年9月1日(2003.9.1)

(65) 公開番号

特開2005-77802 (P2005-77802A)

(43) 公開日

平成17年3月24日(2005.3.24)

審査請求日

平成17年1月18日(2005.1.18)

(73) 特許権者 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 豊島 剛

東京都八王子市石川町2951番地の5

カシオ計算機株式会

社 八王子研究所内

(72) 発明者 両澤 克彦

東京都八王子市石川町2951番地の5

カシオ計算機株式会

社 八王子研究所内

審査官 北川 創

最終頁に続く

(54) 【発明の名称】表示画素及び表示装置

(57) 【特許請求の範囲】

【請求項1】

少なくとも、表示データに基づく階調信号を電圧成分として保持する電圧保持手段と、該電圧保持手段に保持された前記電圧成分に基づいて、前記表示データに応じた駆動電流を生成し、該駆動電流を発光素子に供給する制御を行う発光制御手段と、を備えた画素駆動回路を有する表示画素において、

前記発光制御手段は、前記駆動電流を生成して供給する半導体層からなる電流路を有して該電流路の一端が前記発光素子に接続されたトランジスタ素子を有し、

前記電圧保持手段は、前記画素駆動回路を構成する回路素子相互を接続し、前記電流路の他端に接続される配線部を一方の電極とし、前記トランジスタ素子の制御端子に接続されて前記配線部に対向して形成された第1の導電層を他方の電極とする第1の容量素子と、前記第1の導電層を一方の電極とし、前記半導体層を延長して前記第1の導電層に対向して形成された第2の導電層を他方の電極とする第2の容量素子と、からなることを特徴とする表示画素。

【請求項2】

前記トランジスタ素子は、電界効果型トランジスタであって、

前記配線部は、前記電界効果型トランジスタの電流路を構成する端子電極に一体的に形成された金属導電層であり、前記第1の導電層は、前記電界効果型トランジスタの制御電極に一体的に形成された金属導電層であることを特徴とする請求項1記載の表示画素。

【請求項3】

10

20

前記画素駆動回路は、前記表示データに応じた電流値を有する階調電流が供給され、該階調電流に基づく電荷を、前記電圧成分として前記電圧保持手段に保持することを特徴とする請求項1又は2記載の表示画素。

【請求項4】

前記電圧保持手段は、前記第1の導電層のパターン形状に応じて、前記第1及び第2の容量素子の容量値を設定することを特徴とする請求項1乃至3のいずれかに記載の表示画素。

【請求項5】

前記画素駆動回路を構成する各回路素子及び前記配線部は、前記表示画素の形成領域の外縁部に沿って配置されていることを特徴とする請求項1乃至4のいずれかに記載の表示画素。

10

【請求項6】

前記発光素子は、前記発光制御手段により供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流制御型の発光素子であることを特徴とする請求項1乃至5のいずれかに記載の表示画素。

【請求項7】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項6記載の表示画素。

【請求項8】

2次元配列された複数の表示画素を有する表示パネルを備え、前記各表示画素に対して、表示データに基づく階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

20

前記各表示画素は、少なくとも、前記階調信号を電圧成分として保持する電圧保持手段と、該電圧保持手段に保持された前記電圧成分に基づいて、前記表示データに応じた駆動電流を生成し、該駆動電流を発光素子に供給する制御を行う発光制御手段と、を備えた画素駆動回路を具備し、

前記発光制御手段は、前記駆動電流を生成して供給する半導体層からなる電流路を有して該電流路の一端が前記発光素子に接続されたトランジスタ素子を有し、

前記電圧保持手段は、前記画素駆動回路を構成する回路素子相互を接続し、前記電流路の他端に接続される配線部を一方の電極とし、前記トランジスタ素子の制御端子に接続されて前記配線部に対向して形成された第1の導電層を他方の電極とする第1の容量素子と、前記第1の導電層を一方の電極とし、前記半導体層を延長して前記第1の導電層に対向して形成された第2の導電層を他方の電極とする第2の容量素子と、からなることを特徴とする表示装置。

30

【請求項9】

前記表示装置は、少なくとも、

前記各表示画素を選択状態に設定するための選択信号を印加する走査駆動手段と、

前記選択状態に設定された前記各表示画素に、前記表示データに基づく階調信号を供給する信号駆動手段と、

を備えることを特徴とする請求項8記載の表示装置。

40

【請求項10】

前記信号駆動手段は、前記階調信号として、前記表示データに応じた電流値を有する階調電流を前記表示画素に供給し、

前記画素駆動回路は、前記階調電流に基づく電荷を、前記電圧成分として前記電圧保持手段に保持することを特徴とする請求項9記載の表示装置。

【請求項11】

前記電圧保持手段は、前記第1の導電層のパターン形状に応じて、前記第1及び第2の容量素子の容量値を設定することを特徴とする請求項8乃至10のいずれかに記載の表示装置。

【請求項12】

50

前記画素駆動回路を構成する各回路素子及び前記配線部は、前記各表示画素の形成領域の外縁部に沿って配置されていることを特徴とする請求項8乃至11のいずれかに記載の表示装置。

【請求項 13】

前記発光素子は、前記発光制御手段により供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流制御型の発光素子であることを特徴とする請求項8乃至12のいずれかに記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示画素及び表示装置に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光動作する電流制御型の発光素子を備えた表示画素の画素構造、及び、該表示画素からなる表示パネルを備えた表示装置に関する。 10

【背景技術】

【0002】

従来、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や発光ダイオード（LED）等のように、供給される駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を備えた表示画素を、2次元配列した表示パネルを具備する発光素子型のディスプレイ（表示装置）が知られている。

特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイは、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化が可能という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。 20

【0003】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子を発光制御するための複数のスイッチング手段からなる画素駆動回路（又は、発光駆動回路）を備えたものが知られている。 30

【0004】

すなわち、特許文献1等に記載された表示画素は、図8に示すように、表示パネルに相互に直交するように配設された複数の走査ライン（選択ライン）SL及び複数のデータライン（信号ライン）DLの各交点近傍に、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点Npに各々接続された薄膜トランジスタ（TFT）Tr111と、ゲート端子が接点Npに接続され、ソース端子に接地電位Vgndが印加された薄膜トランジスタTr112と、を備えた画素駆動回路DCp、及び、該画素駆動回路DCpの薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に接地電位Vgndよりも低電位の電源電圧Vssが印加された有機EL素子（電流制御型の発光素子）OELを有して構成されている。 40

【0005】

ここで、図8において、Cpは、薄膜トランジスタTr112のゲート-ソース間に形成される寄生容量、又は、付加的に形成される補助容量である。また、薄膜トランジスタTr111は、nチャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタTr112は、pチャネル型の電界効果型トランジスタにより構成されている。

そして、このような構成を有する画素駆動回路DCpにおいては、薄膜トランジスタTr111及びTr112からなる2個のスイッチング手段を所定のタイミングでオン、オフ制御することにより、以下に示すように、有機EL素子OELを発光制御する。

【0006】

すなわち、画素駆動回路 D C pにおいて、図示を省略した走査ドライバにより、走査ライン S Lにハイレベルの走査信号 V selを印加して表示画素を選択状態に設定すると、薄膜トランジスタ T r 1 1 1がオン動作して、図示を省略したデータドライバによりデータライン D Lに印加された、表示データに応じた階調信号電圧 V pixが薄膜トランジスタ T r 1 1 1を介して、接点 N p（すなわち、薄膜トランジスタ T r 1 1 2のゲート端子）に印加される。これにより、薄膜トランジスタ T r 1 1 2が上記階調信号電圧 V pixに応じた導通状態でオン動作して、接地電位 V gndから所定の発光駆動電流が薄膜トランジスタ T r 1 1 2及び有機 E L 素子 O E Lを介して電源電圧 V ssに流れ、有機 E L 素子 O E Lが上記表示データに応じた輝度階調で発光動作する。

【0007】

10

次いで、走査ライン S Lにローレベルの走査信号 V selを印加して表示画素を非選択状態に設定すると、薄膜トランジスタ T r 1 1 1がオフ動作することにより、データライン D Lと画素駆動回路 D C pとが電気的に遮断される。これにより、薄膜トランジスタ T r 1 1 2のゲート端子に印加された電圧が寄生容量 C pにより保持されて、薄膜トランジスタ T r 1 1 2は、オン状態を持続することになり、上記選択状態と同様に、接地電位 V gndから所定の発光駆動電流が薄膜トランジスタ T r 1 1 2を介して有機 E L 素子 O E Lに流れ、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧 V pixが各表示画素に印加される（書き込まれる）まで、例えば、1フレーム期間継続されるように制御される。

このような駆動制御方法は、各表示画素（薄膜トランジスタ T r 1 1 2のゲート端子）に印加する電圧（階調信号電圧）を調整することにより、有機 E L 素子 O E Lに流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧印加方式（又は、電圧指定方式）と呼ばれている。

20

【0008】

ところで、上述したような電圧印加方式を採用した画素駆動回路 D C pを備えた表示画素においては、選択機能を有する薄膜トランジスタ T r 1 1 1や発光駆動機能を有する薄膜トランジスタ T r 1 1 2の素子特性（チャネル抵抗等）が、外部環境（周囲の温度等）や使用時間等に依存してバラツキや変動（劣化）を生じた場合には、有機 E L 素子 O E L（発光素子）に供給される発光駆動電流に影響を与えることになるため、長期間にわたり安定的に所望の発光特性（所定の輝度階調での表示）を実現することが困難になるという問題を有していた。

30

【0009】

また、表示パネルの高精細化を図るために、各表示画素を微細化すると、画素駆動回路 D C pを構成する薄膜トランジスタ T r 1 1 1及びT r 1 1 2の動作特性（ソース - ドレイン間電流等）のバラツキが大きくなるため、適正な階調制御が行えなくなり、各表示画素の発光特性にバラツキが生じて表示画質の劣化を招くという問題を有していた。

そこで、このような問題点を解決する構成として、いわゆる、電流印加方式（又は、電流指定方式）と呼ばれる駆動制御方法に対応した画素駆動回路の構成が知られている。なお、この電流印加方式に対応した画素駆動回路の構成例については、後述する発明の実施の形態において詳しく説明するが、概略、以下のような構成及び動作（機能）を有するものである。

40

【0010】

すなわち、電流印加方式においては、発光素子（例えば、上述した有機 E L 素子 O E L等）に供給する発光駆動電流の電流値を制御する電流生成制御手段（上述した薄膜トランジスタ T r 1 1 2及び寄生容量 C pに相当する）を備え、該電流生成制御手段に対して、表示データに応じた電流値を指定した階調電流をデータドライバから直接供給し、該階調電流に基づいて電流生成制御手段に保持される電圧成分に基づいて、上記発光駆動電流の電流値を設定制御して、発光素子を所定の輝度階調で発光動作させるように構成されている。

【0011】

50

このように、電流印加方式を採用した画素駆動回路においては、上述した電流生成制御手段により、各表示画素に供給される表示データに応じた階調電流の電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、該電圧レベルに基づく所定の電流値の発光駆動電流を発光素子に供給する機能（発光駆動機能）とが実現されるので、電流生成制御手段において発光駆動電流を生成して供給する機能を、例えば、単一の能動素子（薄膜トランジスタ）により構成することにより、図8に示したような複数の薄膜トランジスタの動作特性のバラツキに起因して、発光駆動電流が受ける影響を抑制することができるという利点を有している。

【0012】

【特許文献1】特開2002-156923号公報（第4頁、図2）

10

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述したように、従来技術における電圧印加方式あるいは電流印加方式を採用した画素駆動回路においては、発光素子に対して表示データに応じた電流値を有する発光駆動電流を生成するための構成として、容量成分を備えている。

この容量成分は、上述のように、表示データに応じて供給される電圧又は電流に応じた電荷を保持して発光駆動電流を生成するものであるため、良好な表示状態を得るためにには、ある程度大きな容量値を有していることが好ましい。従来、この容量成分は、駆動用トランジスタのゲート・ソース間に形成される寄生容量の他、駆動用トランジスタのゲート電極やソース電極に接続される金属膜による電極を設けて形成される。しかしながら、このような電極は非透過性の金属膜によって形成されものであるため、容量成分の容量値を大きくするために電極部分の面積が増大すると、発光素子の形成面積（発光面積）が相対的に小さくなつて、開口率の低下を招き、表示パネルにおける表示画質の劣化が生じるという問題を有していた。

20

【0014】

さらに、表示画質を高精細化するために、表示パネルに配列される各表示画素の形成面積（画素面積）が縮小された場合であっても、表示画素（画素駆動回路）における駆動制御動作を良好に実行するためには、ある程度の容量成分が必要であり、画素面積の縮小に応じて一律に容量形成面積を縮小することはできないため、画素面積に占める容量形成面積の比率が更に大きくなることにより、発光素子の形成面積（発光面積）が更に小さくなつて更なる開口率の低下を招き、表示画質が更に劣化するという問題を有していた。

30

【0015】

そこで、本発明は、上述した問題点に鑑み、発光素子に表示データに応じた発光駆動電流を供給する画素駆動回路を備えた表示画素において、該表示画素を微細化した場合であっても、発光駆動動作を良好に実現しつつ、開口率の低下を抑制することができる表示画素の画素構造、及び、該表示画素からなる表示パネルを備えた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

40

請求項1記載の発明は、少なくとも、表示データに基づく階調信号を電圧成分として保持する電圧保持手段と、該電圧保持手段に保持された前記電圧成分に基づいて、前記表示データに応じた駆動電流を生成し、該駆動電流を発光素子に供給する制御を行なう発光制御手段と、を備えた画素駆動回路を有する表示画素において、前記発光制御手段は、前記駆動電流を生成して供給する半導体層からなる電流路を有して該電流路の一端が前記発光素子に接続されたトランジスタ素子を有し、前記電圧保持手段は、前記画素駆動回路を構成する回路素子相互を接続し、前記電流路の他端に接続される配線部を一方の電極とし、前記トランジスタ素子の制御端子に接続されて前記配線部に対向して形成された第1の導電層を他方の電極とする第1の容量素子と、前記第1の導電層を一方の電極とし、前記半導体層を延長して前記第1の導電層に対向して形成された第2の導電層を他方の電極とする

50

第2の容量素子と、からなることを特徴とする。

【0018】

請求項2記載の発明は、請求項1記載の表示画素において、前記トランジスタ素子は、電界効果型トランジスタであって、前記配線部は、前記電界効果型トランジスタの電流路を構成する端子電極に一体的に形成された金属導電層であり、前記第1の導電層は、前記電界効果型トランジスタの制御電極に一体的に形成された金属導電層であることを特徴とする。

【0019】

請求項3記載の発明は、請求項1又は2記載の表示画素において、前記画素駆動回路は、前記表示データに応じた電流値を有する階調電流が供給され、該階調電流に基づく電荷を、前記電圧成分として前記電圧保持手段に保持することを特徴とする。 10

請求項4記載の発明は、請求項1乃至3のいずれかに記載の表示画素において、前記電圧保持手段は、前記第1の導電層のパターン形状に応じて、前記第1及び第2の容量素子の容量値を設定することを特徴とする。

【0020】

請求項5記載の発明は、請求項1乃至4のいずれかに記載の表示画素において、前記画素駆動回路を構成する各回路素子及び前記配線部は、前記表示画素の形成領域の外縁部に沿って配置されていることを特徴とする。

請求項6記載の発明は、請求項1乃至5のいずれかに記載の表示画素において、前記発光素子は、前記発光制御手段により供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流制御型の発光素子であることを特徴とする。 20

請求項7記載の発明は、請求項6記載の表示画素において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【0021】

請求項8記載の発明は、2次元配列された複数の表示画素を有する表示パネルを備え、前記各表示画素に対して、表示データに基づく階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記各表示画素は、少なくとも、前記階調信号を電圧成分として保持する電圧保持手段と、該電圧保持手段に保持された前記電圧成分に基づいて、前記表示データに応じた駆動電流を生成し、該駆動電流を発光素子に供給する制御を行う発光制御手段と、を備えた画素駆動回路を具備し、前記発光制御手段は、前記駆動電流を生成して供給する半導体層からなる電流路を有して該電流路の一端が前記発光素子に接続されたトランジスタ素子を有し、前記電圧保持手段は、前記画素駆動回路を構成する回路素子相互を接続し、前記電流路の他端に接続される配線部を一方の電極とし、前記トランジスタ素子の制御端子に接続されて前記配線部に対向して形成された第1の導電層を他方の電極とする第1の容量素子と、前記第1の導電層を一方の電極とし、前記半導体層を延長して前記第1の導電層に対向して形成された第2の導電層を他方の電極とする第2の容量素子と、からなることを特徴とする。 30

【0022】

請求項9記載の発明は、請求項8記載の表示装置において、前記表示装置は、少なくとも、前記各表示画素を選択状態に設定するための選択信号を印加する走査駆動手段と、前記選択状態に設定された前記各表示画素に、前記表示データに基づく階調信号を供給する信号駆動手段と、を備えることを特徴とする。 40

【0023】

請求項10記載の発明は、請求項9記載の表示装置において、前記信号駆動手段は、前記階調信号として、前記表示データに応じた電流値を有する階調電流を前記表示画素に供給し、前記画素駆動回路は、前記階調電流に基づく電荷を、前記電圧成分として前記電圧保持手段に保持することを特徴とする。

請求項11記載の発明は、請求項8乃至10のいずれかに記載の表示装置において、前記電圧保持手段は、前記第1の導電層のパターン形状に応じて、前記第1及び第2の容量素子の容量値を設定することを特徴とする。 50

【0024】

請求項1_2記載の発明は、請求項8乃至1_1のいずれかに記載の表示装置において、前記画素駆動回路を構成する各回路素子及び前記配線部は、前記各表示画素の形成領域の外縁部に沿って配置されていることを特徴とする。

請求項1_3記載の発明は、請求項8乃至1_2のいずれかに記載の表示装置において、前記発光素子は、前記発光制御手段により供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流制御型の発光素子であることを特徴とする。

【発明の効果】

【0025】

すなわち、本発明に係る表示画素は、表示データ（映像信号等）に基づいて供給される階調信号（階調電流）に基づく電圧成分に応じて、上記表示データに応じた電流値を有する駆動電流（発光駆動電流）を生成し、発光素子に供給することにより、所望の輝度階調で発光する表示画素において、上記電圧成分を保持する電圧保持手段（コンデンサ）が、上記画素駆動回路を構成する各回路素子（薄膜トランジスタ）間を接続する非透過性の配線部（素子間配線部）に重畠して形成された構成を有している。10

ここで、画素駆動回路を構成する各回路素子及び配線部は、各表示画素の形成領域（画素領域）の外縁部に沿って配置されている。

【0026】

また、画素駆動回路において、電圧保持手段に保持された電圧成分に基づいて所定の電流値を有する駆動電流を生成して、発光素子に供給する発光制御手段として、電界効果型の薄膜トランジスタを適用した場合にあっては、電圧保持手段は、少なくとも、該薄膜トランジスタの電流路を構成する端子電極（ソース又はドレイン電極）に一体的に形成された金属導電層（配線部）を一方の電極とし、該電極に対向し、上記薄膜トランジスタの制御電極（ゲート電極）に一体的に形成された金属導電層（第1の導電層）を他方の電極とする容量素子（第1の容量素子）と、該他方の電極に対向し、上記薄膜トランジスタの電流路を構成する半導体領域（ソース又はドレイン領域）に一体的に形成された半導体層（第2の導電層）をさらに他の電極とする容量素子（第2の容量素子）と、からなる構成を適用することができる。20

【0027】

これにより、表示画素（画素駆動回路）における駆動制御動作に必要な容量値を有する電圧保持手段（コンデンサ）を、既存の配線部（素子間配線部）に対して平面的に重なるように形成された対向電極（金属配線層や半導体層）により構成することにより、表示画素の画素領域に占める電圧保持手段の形成面積を極力抑制することができるので、発光素子の形成領域（発光領域）を相対的に広く設定することができ、各表示画素における開口率の低下を抑制することができる。30

【0028】

また、本発明に係る表示画素においては、上記電圧保持手段を構成する電極のパターン形状の長さ、具体的には、上記配線部（素子間配線部）の延伸方向に対して、平面的に重なるように形成される電極（第1の導電層）の対向する面積を設計変更することにより、上記電圧保持手段（第1及び第2の容量素子）の容量値を任意に設定することができる。40
このとき、電圧保持手段を構成する容量素子は、非透過性を有する配線部に対して、平面的に重なるように形成されるので、電極のパターン形状を変更して任意の容量値を設定した場合であっても、発光素子の形成領域（発光領域）への影響を抑制することができ、表示画素（画素駆動回路）の回路特性や発光特性に関する設計自由度を向上しつつ、表示画素の開口率の低下を極力抑制することができる。

【0029】

そして、上述したような表示画素を2次元配列して構成される表示パネルを備えた表示装置によれば、各表示画素に設けられる画素駆動回路が各表示画素の画素領域の外縁部に沿って形成され、かつ、電圧保持手段が既存の配線部（素子間配線部）に平面的に重なって重畠的に形成されているので、画素領域に占める電圧保持手段の形成領域を極力抑制し50

て、発光素子の形成領域（発光領域）を相対的に広く設定することができ、表示パネルにおける開口率の低下を抑制して、良好な表示画質を有する表示装置を実現することができる。

【発明を実施するための最良の形態】

【0030】

以下、本発明に係る表示画素及び表示装置について、実施の形態を示して詳しく説明する。

<表示画素>

まず、本発明に係る表示画素に適用される画素駆動回路について説明する。

図1は、本発明に係る表示画素（画素駆動回路）の一実施形態を示す回路構成図である。なお、ここで示す画素駆動回路は、上述した電流印加方式に対応した一構成例を示すものにすぎず、同等の機能を有する他の回路構成を適用するものであってもよいことはいうまでもない。

【0031】

図1に示すように、本実施形態に係る表示画素EMに適用される画素駆動回路DCxは、走査ラインSLa、SLbとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLaに、ソース端子及びドレイン端子が、高電位の電源電圧Vddが印加された電源ラインVL及び接点Nxaに各々接続されたpチャネル型の薄膜トランジスタTr11と、ゲート端子が走査ラインSLbに、ソース端子及びドレイン端子がデータラインDL及び接点Nxaに各々接続されたpチャネル型の薄膜トランジスタTr12と、ゲート端子が接点Nxblに、ソース端子及びドレイン端子が接点Nxa及び接点Nxcに各々接続されたpチャネル型の薄膜トランジスタTr13と、ゲート端子が走査ラインSLaに、ソース端子及びドレイン端子が接点Nxb及び接点Nxcに各々接続されたnチャネル型の薄膜トランジスタTr14と、接点Nxa及び接点Nxb間に接続されたコンデンサ（電圧保持手段）Cxと、を備えた構成を有している。ここで、少なくとも薄膜トランジスタTr11及びTr13を含む回路構成は、本発明に係る発光制御手段を構成している。

【0032】

また、このような画素駆動回路DCxから供給される発光駆動電流（駆動電流）により発光輝度が制御される有機EL素子（発光素子）OELは、アノード端子が上記画素駆動回路DCxの接点Nxcに、カソード端子が低電位の電源電圧（例えば、接地電位Vgnd）に各々接続された構成を有している。ここで、本実施形態においては、コンデンサCxは、薄膜トランジスタTr13のゲート-ソース間に形成される寄生容量に加えて、後述するように、該ゲート-ソース間にさらに付加された容量素子（容量成分）から構成される。

【0033】

このような構成を有する画素駆動回路DCxにおける有機EL素子OELの駆動制御動作は、まず、書き動作期間において、例えば、走査ラインSLaにハイレベル（選択レベル）の走査信号Vselを印加するとともに、走査ラインSLbにローレベルの走査信号Vs_{el}*（走査ラインSLaに印加される走査信号Vselの極性反転信号；図1の符号参照）を印加し、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるための階調電流IpixをデータラインDLを介して供給する。

【0034】

これにより、画素駆動回路DCxを構成する薄膜トランジスタTr12及びTr14がオン動作するとともに、薄膜トランジスタTr11がオフ動作して、データラインDLに供給された階調電流Ipixに対応する正の電位が接点Nxaに印加される。また、接点Nxb及び接点Nxc間に短絡して、薄膜トランジスタTr13のゲート-ドレイン間に同電位に制御されることにより、薄膜トランジスタTr13がオフ動作するとともに、コンデンサCxの両端（接点Nxa及び接点Nxb間）には、階調電流Ipixに応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

【0035】

10

20

30

40

50

次いで、発光動作期間において、走査ライン S L a にローレベル（非選択レベル）の走査信号 V sel を印加するとともに、走査ライン S L b にハイレベルの走査信号 V sel^{*} を印加し、このタイミングに同期して、データライン D L への階調電流 I pix の供給を遮断する。これにより、薄膜トランジスタ T r 1 2 及び T r 1 4 がオフ動作してデータライン D L 及び接点 N xa 間、並びに、接点 N xb 及び接点 N xc 間が電気的に遮断されることにより、コンデンサ C x は、上述した書込動作において蓄積された電荷を保持する。

【0036】

このように、コンデンサ C x が書込動作時の階調電流 I pix に応じた充電電圧を保持することにより、接点 N xa 及び接点 N xb 間（薄膜トランジスタの T r 1 3 のゲート - ソース間）の電位差が保持されることになり、薄膜トランジスタ T r 1 3 はオン動作する。また、上記走査信号 V sel（ローレベル）の印加により、薄膜トランジスタ T r 1 1 が同時にオン動作するので、高電位の電源電圧 V dd から薄膜トランジスタ T r 1 1 及び T r 1 3 を介して、有機 E L 素子 O E L に階調電流 I pix（より詳しくは、コンデンサ C x に蓄積された電荷に基づく電圧成分）に応じた発光駆動電流が流れ、有機 E L 素子 O E L が所定の輝度階調で発光する。

【0037】

次いで、上述した画素駆動回路を含む表示画素に適用されるパターンレイアウト及び画素構造について、図面を参照して詳しく説明する。

図 2 は、本実施形態に係る表示画素（画素駆動回路）に適用されるパターンレイアウトの一例を示すレイアウト図であり、図 3 は、図 2 に示したパターンレイアウトにおける各回路素子の配置を示す等価回路図である。図 4 は、本実施形態に係る表示画素（画素駆動回路）を構成する容量素子の構成例を示す概念的な等価回路図及び断面構造図である。ここでは、図 1 に示した画素駆動回路の回路構成を適宜参照しながら説明する。

【0038】

図 1 に示した画素駆動回路 D C x を備えた表示画素 E M を、C A D 手法を用いて実際にレイアウト設計する場合においては、図 2 及び図 3 に示すように、例えば、相互に並行して配設される走査ライン S L a 及び S L b と、これらの走査ラインに直交し、かつ、相互に並行して配設されるデータライン D L 及び電源ライン V L と、により矩形状の画素領域が規定される。そして、該画素領域の略外縁部（走査ライン S L a、S L b、データライン D L 及び電源ライン V L）に沿って、薄膜トランジスタ T r 1 1 ~ T r 1 4 やコンデンサ C x、該薄膜トランジスタ T r 1 1 ~ T r 1 4 相互を接続する素子間配線部（非透過性の金属配線層；配線部）L a 等が配置される。また、これらの薄膜トランジスタ T r 1 1 ~ T r 1 4 や素子間配線部 L a 等の形成領域を除く、上記画素領域の大半の領域に、有機 E L 素子等の電流制御型の発光素子を構成するアノード電極又はカソード電極からなる画素電極 E P が配置される。

【0039】

ここで、本実施形態に係る表示画素 E M においては、画素駆動回路 D C x を構成するコンデンサ C x は、図 4 (a)、(b) に示すように、薄膜トランジスタ T r 1 2 と T r 1 3 との間に形成される素子間配線部 L a を一方の電極とし、薄膜トランジスタ T r 1 3 のゲート電極 E G 3 と一体的に形成される配線部（非透過性の金属配線層；第 1 の導電層）L c を他方の電極とし、これらの対向する配線部 L a、L c 間に形成された層間絶縁膜を誘電体層として構成される第 1 の容量素子 C 1 と、上記配線部 L c に対向するように、薄膜トランジスタ T r 1 3 のソース電極と一体的に形成される半導体層（第 2 の導電層）L b をさらに他の電極とし、配線部 L c 及び半導体層 L b 間に形成された層間絶縁膜（ゲート絶縁膜）を誘電体層として構成される第 2 の容量素子 C 2 と、を備えている。

【0040】

なお、図 2 及び図 4 (b)において、E G 1、E S 1、E D 1 は、各々薄膜トランジスタ T r 1 1 のゲート電極、ソース電極、ドレイン電極を示し、E G 2、E S 2、E D 2 は、各々薄膜トランジスタ T r 1 2 のゲート電極、ソース電極、ドレイン電極を示し、E G 3、E S 3、E D 3 は、各々薄膜トランジスタ T r 1 3 のゲート電極、ソース電極、ドレ

10

20

30

40

50

イン電極を示し、EG4、ES4、ED4は、各々薄膜トランジスタTr14のゲート電極、ソース電極、ドレイン電極を示す。また、EPは、有機EL素子OELのアノード電極となる画素電極を示し、Rxclは、接点Nxcにおける薄膜トランジスタTr13のドレイン端子ED3と有機EL素子OELのアノード電極（画素電極）との接続領域を示す。

【0041】

このように、本実施形態に係る表示画素EMにおいては、薄膜トランジスタTr13のゲート電極EG3に対して、相互に並列的に接続された第1及び第2の容量素子C1、C2によりコンデンサCxが形成される。そして、このコンデンサCxは、素子間配線部Laと配線部Lc相互、また、配線部Lcと半導体層Lb相互が対向して平面的に重なり合う面積に応じて、その容量値が規定されるので、図4(a)、(b)に示すように、薄膜トランジスタTr13のソース電極ES3と一体的に形成される素子間配線部Laに沿って、配線部Lc及び半導体層Lbが延在するように形成され、特に、ゲート端子EG3と一体的に形成される配線部Lcの長さ（実質的に、素子間配線部La及び半導体層Lbと対向する面積；パターン形状）を、図中矢印のように適宜変化させて形成することにより、任意の容量値を有するコンデンサCx（=C1+C2）を実現することができる。10

【0042】

したがって、本実施形態に係る表示画素によれば、該表示画素EM（画素駆動回路DCx）における駆動制御動作に必要な容量値を有するコンデンサCxを、素子間配線部Laに重畠的に（平面的に重なるように）形成された対向電極（配線部Lc及び半導体層Lb）により構成することにより、コンデンサCxの容量値を増減させた場合であっても、表示画素の画素領域に占めるコンデンサの形成面積を極力抑制することができるので、発光素子の形成領域（発光領域）を相対的に広く設定することができ、各表示画素における開口率の低下を抑制することができる。20

【0043】

なお、本実施形態に示した表示画素（図1参照）においては、画素駆動回路を構成する薄膜トランジスタTr11～Tr13として、pチャネル型の薄膜トランジスタを適用し、薄膜トランジスタTr14として、nチャネル型の薄膜トランジスタを適用した構成を示したが、本発明はこれに限定されるものではなく、図2や図3に示したレイアウトパターンの配線接続を適宜変更することにより、任意のチャネル特性（pチャネル型又はnチャネル型）を有する薄膜トランジスタを適用することができることはいうまでもない。30

【0044】

また、上述した実施形態においては、表示画素に設けられる画素駆動回路として、電流印加方式に対応した回路構成を示したが、本発明はこれに限定されるものではなく、例えば、従来技術に示したような電圧印加方式に対応した画素駆動回路に適用するものであつてもよい。要するに、本発明に係る表示画素の構成は、発光素子に表示データに応じた所定の発光駆動電流を供給する画素駆動回路において、該画素駆動回路を構成する各素子間を接続する素子間配線部を一方の電極とし、該素子間配線部に対して平面的に重なるように形成される配線部を他方の電極とする容量素子（第1の容量素子）、さらに、該配線部に対して平面的に重なるように形成される導電層（配線部や半導体層）をさらに他の電極とする容量素子（第2の容量素子）を形成することができる回路構成を有するものであれば、良好に適用することができ、表示画素の開口率の低下を抑制することができる。40

【0045】

<表示装置>

次に、本発明に係る表示画素を2次元配列して構成される表示パネルを備えた表示装置について簡単に説明する。

図5は、本発明に係る表示画素を2次元配列した表示パネルを備えた表示装置の一実施形態を示す概略ブロック図であり、図6は、本実施形態に係る表示装置の要部構成を示す概略構成図である。ここで、上述した実施形態に示した表示画素と同等の構成については、同一の符号を付して説明する。

【0046】

10

20

30

40

50

図5、図6に示すように、本実施形態に係る表示装置100は、概略、上述した構成を有する複数の表示画素がマトリクス状に配列された表示パネル110と、該表示パネル110の行方向に配列された表示画素群ごとに、共通に接続された走査ラインSLa、SLb（便宜的に、「SL」とも総称する）に接続された走査ドライバ（走査駆動手段）120と、表示パネル110の列方向に配列された表示画素群ごとに、共通に接続されたデータラインDL1、DL2、・・・（便宜的に、「DL」とも総称する）に接続されたデータドライバ（信号駆動手段）130と、走査ドライバ120及びデータドライバ130の動作状態を制御する各種制御信号を生成、出力するシステムコントローラ140と、表示装置100の外部から供給される映像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路150と、を備えて構成されている。10

【0047】

ここで、表示パネル110は、図6に示すように、各行ごとの表示画素群に対応して、各々、並列に配設された一対の走査ラインSLa、SLbと、該走査ラインSLa、SLbに対して直交し、各列ごとの表示画素群に対応するように、並列に配設されたデータラインDL及び電源ラインVLと、これらの直交するラインの各交点近傍に配列された複数の表示画素EMと、を備えた構成を有している。

【0048】

走査ドライバ120は、図6に示すように、各行の走査ラインSLa、SLbに対応して、複数段のシフトブロックSB1、SB2、SB3、・・・を備え、システムコントローラ140から供給される走査制御信号（走査スタート信号、走査クロック信号等）に基づいて、シフトブロックSB1、SB2、SB3、・・・を、表示パネル110の上方から下方に順次シフトしつつ出力されるシフト信号に基づいて、所定の電圧レベル（選択レベル；例えば、ハイレベル）を有する走査信号Vselを各走査ラインSLaに印加するとともに、該走査信号Vselを極性反転した電圧レベルを走査信号Vsel^{*}として各走査ラインSLbに印加して、各行ごとの表示画素群を順次選択状態に設定するように制御する。20

【0049】

データドライバ130は、システムコントローラ140から供給されるデータ制御信号に基づいて、表示信号生成回路150から供給される、表示パネル110の1行分ごとの表示データを取り込んで保持し、当該表示データに対応する電流値を有する階調電流Ipixを生成して、上記走査ドライバ120により選択状態に設定された各表示画素EMに、各データラインDLを介して並行して供給し、階調電流Ipixを各表示画素EMに書き込む（具体的には、階調電流Ipixに基づく電圧成分を充電、保持させる）ように制御する。30

【0050】

表示信号生成回路150は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに、該輝度階調信号成分を表示データとしてデータドライバ130に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路150は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140に供給する機能を有するものであってもよい。この場合においては、システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130に対して供給する走査制御信号及びデータ制御信号を生成する。40

【0051】

システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130の各々に対して、走査制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル110に走査信号Vsel、Vsel^{*}及び階調電流Ipixを出力させ、表示画素EMにおける発光駆動動作（画素駆動回路DCxにおける駆動

制御動作)を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御を行う。

【0052】

次いで、上述したような構成を有する表示装置における駆動制御動作(表示画素の発光駆動制御)について、図面を参照して説明する。

図7は、本実施形態に係る表示画素(画素駆動回路)における発光素子の駆動制御動作を示すタイミングチャートである。ここでは、上述した表示装置(図5、図6)及び表示画素(図1)の構成を適宜参照しながら説明する。

【0053】

上述したような構成を有する表示画素EM(画素駆動回路DCx)からなる表示パネル110における所望の画像情報の表示駆動動作は、例えば、図7に示すように、表示パネル110一画面に所望の画像情報を表示する一走査期間Tscを1サイクルとして、該一走査期間Tsc内に、特定の走査ラインに接続された表示画素EMを選択して、データドライバ130から供給される表示データに対応する階調電流Ipixを書き込み、電圧成分として保持する書込動作期間(選択期間)Tseと、該書込動作期間Tseに書き込み、保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる発光動作期間(非選択期間)Tnseと、を設定($Tsc = Tse + Tnse$)し、各動作期間において、上述した画素駆動回路DCx(表示画素EM)と同等の駆動制御を実行する。ここで、各行の表示画素EMが接続された各走査ラインSLごとに設定される書込動作期間Tseは、相互に時間的な重なりが生じないよう20に設定される。また、書込動作期間Tseは、少なくとも、データドライバ130から各データラインDLを介して階調電流Ipixが並列的に供給される一定期間を含むように設定されている。

【0054】

すなわち、表示画素EMへの書込動作期間Tseにおいては、図7に示すように、特定の行(i行目)の表示画素EM(画素駆動回路DCx)に対して、走査ドライバ120により走査ラインSLa、SLbを所定の信号レベル(選択レベル)に走査することにより、データドライバ130により各データラインDLに並列的に供給された階調電流Ipixを、各コンデンサCxに電圧成分として保持する動作を実行し、その後の発光動作期間Tnseにおいては、上記書込動作期間Tseに保持された電圧成分に応じて薄膜トランジスタTr13の電流路に流れる電流を、発光駆動電流として有機EL素子OELに継続的に供給することにより、表示データに対応する輝度階調で発光する動作が継続される。

このような一連の駆動制御動作を、図7に示すように、表示パネル110を構成する全ての行の表示画素群について順次繰り返し実行することにより、表示パネル一画面分の表示データが書き込まれて、各表示画素EMが所定の輝度階調で発光し、所望の画像情報を表示パネル110に表示することができる。

【0055】

そして、このとき、本実施形態に係る表示装置100においては、各表示画素EMの画素駆動回路DCxに設けられるコンデンサCxが、薄膜トランジスタTr12とTr13とを接続する素子間配線部Laを一方の電極となるように、重畠的に形成される構成を有することにより、画素領域に占めるコンデンサCxの形成領域を極力抑制して、発光素子の形成領域(発光領域)を相対的に広く設定することができるので、表示パネルにおける開口率の低下を抑制して、良好な表示画質を有する表示装置を実現することができる。

【図面の簡単な説明】

【0056】

【図1】本発明に係る表示画素(画素駆動回路)の一実施形態を示す回路構成図である。

【図2】本実施形態に係る表示画素(画素駆動回路)に適用されるパターンレイアウトの一例を示すレイアウト図である。

【図3】図2に示したパターンレイアウトにおける各回路素子の配置を示す等価回路図である。

10

20

30

40

50

【図4】本実施形態に係る表示画素（画素駆動回路）を構成する容量素子の構成例を示す概念的な等価回路図及び断面構造図である。

【図5】本発明に係る表示画素を2次元配列した表示パネルを備えた表示装置の一実施形態を示す概略プロック図である。

【図6】本実施形態に係る表示装置の要部構成を示す概略構成図である。

【図7】本実施形態に係る表示画素（画素駆動回路）における発光素子の駆動制御動作を示すタイミングチャートである。

【図8】従来技術における発光素子型ディスプレイに適用される表示画素の構成例を示す等価回路図である。

【符号の説明】

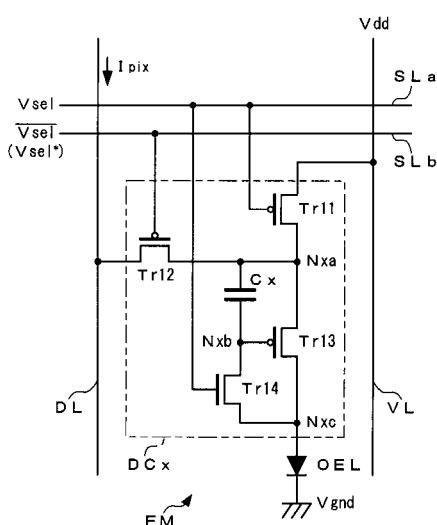
10

【 0 0 5 7 】

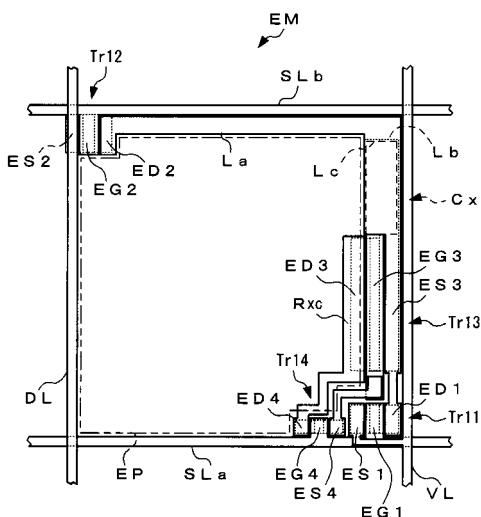
E M	表示画素
D C x	画素駆動回路
S L a、S L b	走査ライン
D L	データライン
V L	電源ライン
L a	素子間配線部
L b	半導体層
L c	配線部
C x	コンデンサ
O E L	有機EL素子

20

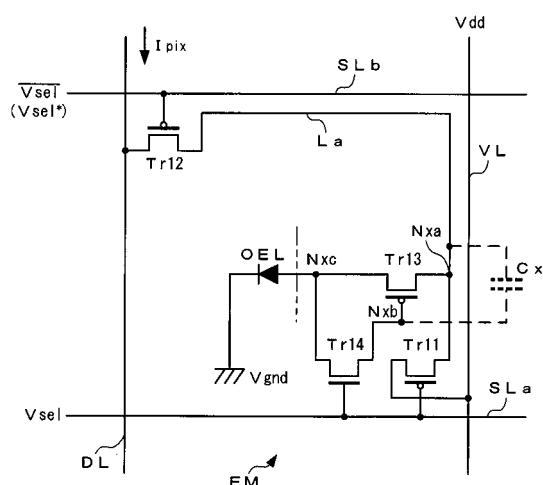
〔 叴 1 〕



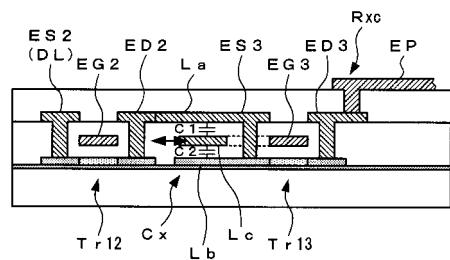
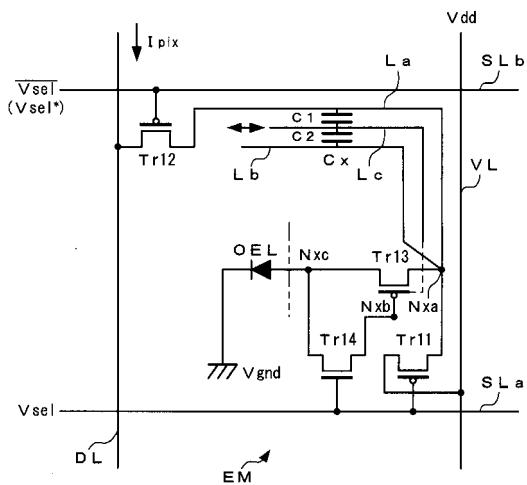
(四 2)



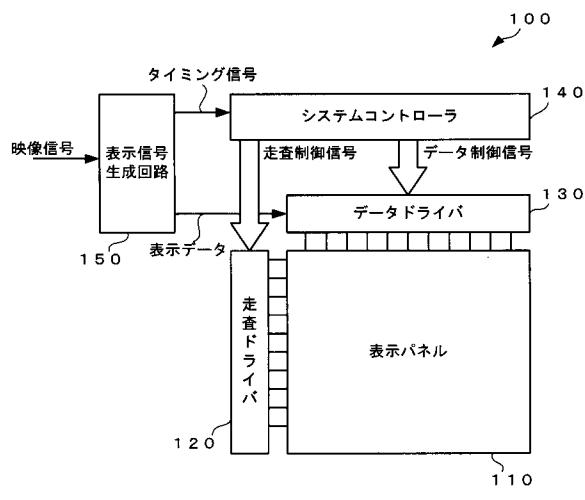
【図3】



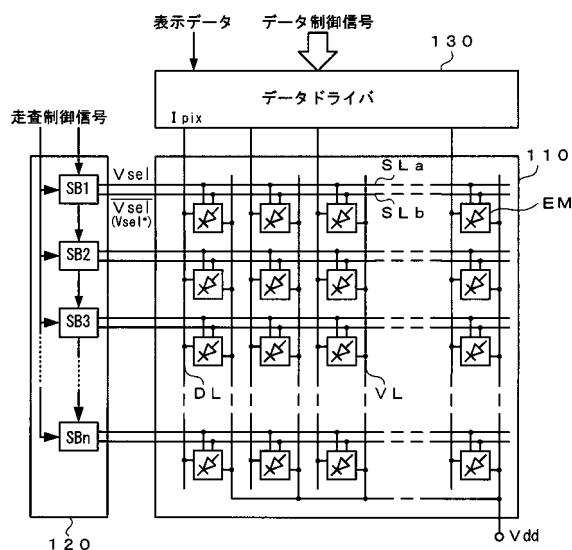
【図4】



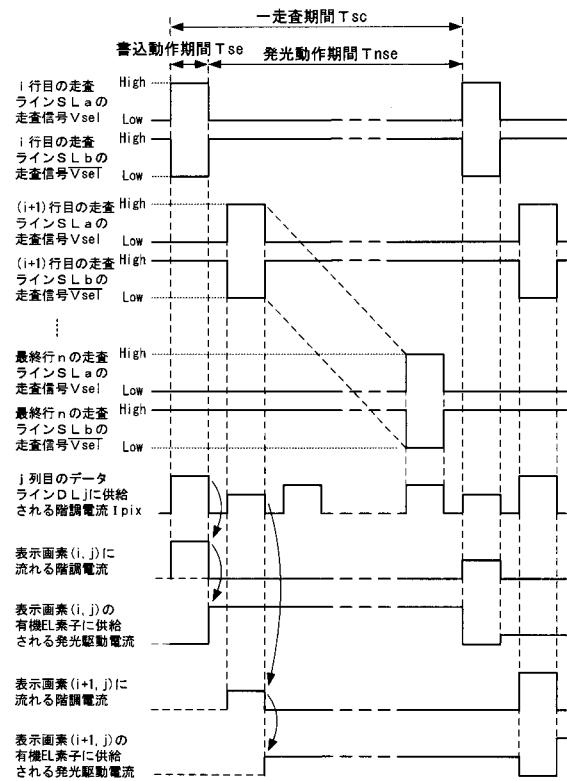
【図5】



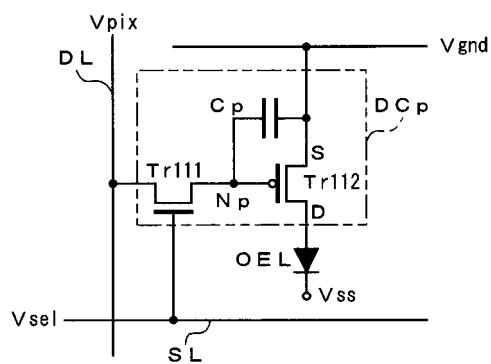
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開2002-311857(JP,A)
特開2002-190598(JP,A)
特開2000-231347(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 F	9 / 3 0
G 09 G	3 / 2 0 - 3 / 3 0
H 01 L	5 1 / 5 0