



(12) 发明专利

(10) 授权公告号 CN 101221928 B

(45) 授权公告日 2010.06.09

(21) 申请号 200810002048.0

CN 1507057 A, 2004.06.23, 全文.

(22) 申请日 2008.01.09

审查员 王丽

(30) 优先权数据

11/622,586 2007.01.12 US

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 朱慧珑 骆志炯

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 21/84(2006.01)

H01L 21/336(2006.01)

H01L 21/28(2006.01)

(56) 对比文件

WO 2006/090445 A1, 2006.08.31, 全文.

WO 2006/132172 A1, 2006.12.14, 全文.

US 2005/0104091 A1, 2005.05.19, 全文.

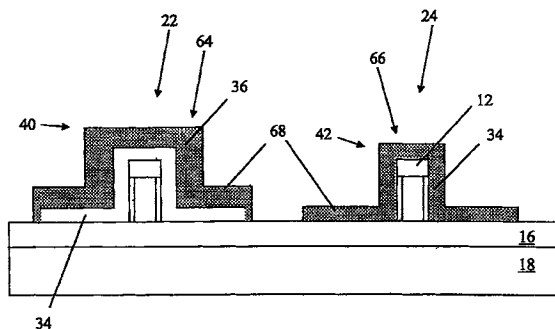
权利要求书 3 页 说明书 4 页 附图 10 页

(54) 发明名称

用于在场效应晶体管的鳍之上形成双重全硅化栅极的方法

(57) 摘要

公开了在 FinFet 器件的鳍之上形成全硅化栅极的方法。该公开提供以下方法,在每个鳍之上从多晶硅层和多晶硅锗层构图出栅极叠层,然后去除其中一个鳍之上的多晶硅锗层。该公开还包括,在两个鳍之上形成金属层并且对 FinFet 器件进行退火处理以便在 FinFet 器件的每个鳍之上形成全硅化栅极。



1. 一种用于在场效应晶体管的鳍之上形成双重全硅化栅极的方法,包括:
提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和该第二鳍由该绝缘体上半导体衬底的绝缘体上半导体层形成;
在每个鳍之上形成第一多晶硅层;
在该第一多晶硅层之上形成多晶硅锗层;
在每个鳍之上从该第一多晶硅层和该多晶硅锗层构图出栅极叠层;
去除该第一鳍之上的多晶硅锗层;
在两个鳍之上形成金属层;以及
进行退火处理以便在该第一鳍和该第二鳍之上形成全硅化栅极,其中该第二鳍之上的全硅化栅极是富含金属的。
2. 根据权利要求 1 所述的方法,其中提供该绝缘体上半导体衬底包括:
在该衬底之上形成氮化硅帽;
在该氮化物帽之上形成掩模;
使用该掩模对该氮化硅帽进行构图;
去除该氮化硅帽之上的该掩模;以及
在该鳍之上形成栅极氧化层。
3. 根据权利要求 2 所述的方法,其中每个鳍均包括该氮化硅帽和氧化侧壁,并且其中该绝缘体上半导体衬底包括掩埋绝缘体层。
4. 根据权利要求 1 所述的方法,还包括在每个鳍的附近形成源极区域和漏极区域。
5. 根据权利要求 1 所述的方法,还包括在每个鳍的附近形成隔离物。
6. 根据权利要求 5 所述的方法,其中该隔离物包括氮化硅。
7. 根据权利要求 1 所述的方法,其中该退火处理包括:
在第一温度进行退火;
去除两个鳍之上的该金属层中的所有未反应的金属;以及
在第二温度进行退火,其中该第二温度高于该第一温度。
8. 根据权利要求 7 所述的方法,其中该金属层包括镍。
9. 根据权利要求 1 所述的方法,其中该第一鳍之上的全硅化栅极包括硅化镍,并且其中该第二鳍之上的全硅化栅极包括富含镍的硅化镍。
10. 根据权利要求 1 所述的方法,其中该去除包括各向异性蚀刻。
11. 一种用于在场效应晶体管的鳍之上形成双重全硅化栅极的方法,包括:
提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和该第二鳍由该绝缘体上半导体衬底的绝缘体上半导体层形成,每个鳍都有氮化硅帽和氧化侧壁,该绝缘体上半导体衬底还包括掩埋绝缘体层;
在每个鳍之上形成第一多晶硅层;
在该第一多晶硅层之上形成多晶硅锗层;
在每个鳍之上从该第一多晶硅层和该多晶硅锗层构图出栅极叠层;
去除该第二鳍之上的多晶硅锗层;
在两个鳍之上形成镍层;
进行退火处理以便在该第一鳍和该第二鳍之上形成全硅化栅极,其中该第二鳍之上的

全硅化栅极是富含镍的。

12. 根据权利要求 11 所述的方法,其中提供该绝缘体上半导体衬底包括:
在该衬底之上形成该氮化硅帽;
在该氮化物帽之上形成掩模;
使用该掩模对该氮化硅帽进行构图;
去除该氮化硅帽之上的该掩模;以及
在该鳍之上形成栅极氧化层。

13. 根据权利要求 11 所述的方法,还包括在每个鳍的附近形成源极区域和漏极区域。

14. 根据权利要求 11 所述的方法,还包括在每个鳍的附近形成氮化硅隔离物。

15. 根据权利要求 11 所述的方法,其中该退火处理包括:

在第一温度进行退火;
去除两个鳍之上的该镍层中的所有未反应的镍;以及
在第二温度进行退火,其中该第二温度高于该第一温度。

16. 根据权利要求 11 所述的方法,其中该第一鳍之上的全硅化栅极包括硅化镍,并且其中该第二鳍之上的全硅化栅极包括富含镍的硅化镍。

17. 一种用于在场效应晶体管的鳍之上形成双重全硅化栅极的方法,包括:

提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和该第二鳍由该绝缘体上半导体衬底的绝缘体上半导体层形成,每个鳍都有氮化硅帽和氧化侧壁,该绝缘体上半导体衬底还包括掩埋绝缘体层;

在每个鳍之上形成第一多晶硅层;
在该第一多晶硅层之上形成多晶硅锗层;
在每个鳍之上从该第一多晶硅层和该多晶硅锗层构图出栅极叠层;
在每个鳍的附近形成源极区域和漏极区域;
在每个鳍的附近形成氮化硅隔离物;
去除该第二鳍之上的该多晶硅锗层;
在两个鳍之上形成镍层;

进行退火处理以便在该第一鳍和该第二鳍之上形成全硅化栅极,其中该第二鳍之上的该全硅化栅极是富含镍的。

18. 根据权利要求 17 所述的方法,其中提供该绝缘体上半导体衬底包括:

在该衬底之上形成该氮化硅帽;
在该氮化物帽之上形成掩模;
使用该掩模对该氮化硅帽进行构图;
去除该氮化硅帽之上的该掩模;以及
在该鳍之上形成栅极氧化层。

19. 根据权利要求 17 所述的方法,其中该退火处理包括:

在第一温度进行退火;
去除两个鳍之上的该镍层中的所有未反应的镍;以及
在第二温度进行退火,其中该第二温度高于该第一温度。

20. 根据权利要求 17 所述的方法,其中该第一鳍之上的该全硅化栅极包括硅化镍,并

且其中该第二鳍之上的该全硅化栅极包括富含镍的硅化镍。

用于在场效应晶体管的鳍之上形成双重全硅化栅极的方法

技术领域

[0001] 本公开一般涉及半导体制备,更特别地,涉及在 FinFet 器件的鳍之上形成双重全硅化栅极的方法。

背景技术

[0002] 硅化物工艺对于改善半导体器件的性能特性是重要的。常规硅化物栅极方法包括形成带有全硅化栅极的半导体器件以便降低电阻并减少电栅极电介质的厚度。该方法一直应用于互补金属氧化物半导体 (CMOS)。通常,带有全硅化栅极的 CMOS 器件是通过使用化学机械抛光 (CMP) 以去除覆盖器件栅极的各层/材料从而对栅极进行全硅化并获得所需的阈值电压而制造出来的。CMP 包括与抛光垫一起使用研磨和腐蚀化学注浆来去除器件中希望去除的材料。然而,使用 CMP 制造 CMOS 器件的现有方法并不适用于 FinFet 器件。特别地,对于 FinFet 的结构特性,诸如 CMP 的制造方法会对鳍造成严重损坏。此外,对 FinFet 器件而言,很难用 CMP 来准确控制剩余的多晶硅栅极的厚度。因此,目前还没有用于制造带有全硅化栅极的 FinFet 半导体器件的方法。

发明内容

[0003] 公开了一种在 FinFet 器件的鳍之上形成全硅化栅极的方法。该公开提供以下方法,在每个鳍之上从多晶硅层和多晶硅鳍层构图出栅极叠层,然后去除其中一个鳍之上的多晶硅鳍层。该公开还包括,在两个鳍之上形成金属层并且对 FinFet 器件进行退火处理以便在 FinFet 器件的每个鳍之上形成全硅化栅极。

[0004] 本公开的第一方面是一种方法,包括:提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和第二鳍由绝缘体上半导体衬底的绝缘体上半导体层形成;在每个鳍之上形成第一多晶硅层;在第一多晶硅层之上形成多晶硅鳍层;在每个鳍之上从第一多晶硅层和多晶硅鳍层构图出栅极叠层;去除第二鳍之上的多晶硅鳍层;在两个鳍之上形成金属层;以及进行退火处理以便在第一鳍和第二鳍之上形成全硅化栅极,其中第二鳍之上的全硅化栅极是富含金属的。

[0005] 本公开的第二方面是一种方法,包括:提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和第二鳍由绝缘体上半导体衬底的绝缘体上半导体层形成,每个鳍都有氮化硅帽和氧化侧壁,绝缘体上半导体衬底还包括掩埋绝缘体层;在每个鳍之上形成第一多晶硅层;在第一多晶硅层之上形成多晶硅鳍层;在每个鳍之上从第一多晶硅层和多晶硅鳍层构图出栅极叠层;去除第二鳍之上的多晶硅鳍层;在两个鳍之上形成镍层;进行退火处理以便在第一鳍和第二鳍之上形成全硅化栅极,其中第二鳍之上的全硅化栅极是富含镍的。

[0006] 本公开的第三方面是一种方法,包括:提供具有第一鳍和第二鳍的绝缘体上半导体衬底,该第一鳍和第二鳍由绝缘体上半导体衬底的绝缘体上半导体层形成,每个鳍都有氮化硅帽和氧化侧壁,绝缘体上半导体衬底还包括掩埋绝缘体层;在每个鳍之上形成第一

多晶硅层；在第一多晶硅层之上形成多晶硅锗层；在每个鳍之上从第一多晶硅层和多晶硅锗层构图出栅极叠层；在每个鳍的附近形成源极区域和漏极区域；在每个鳍的附近形成氮化硅隔离物；去除第二鳍之上的多晶硅锗层；在两个鳍之上形成镍层；进行退火处理以便在第一鳍和第二鳍之上形成全硅化栅极，其中第二鳍之上的全硅化栅极是富含镍的。

[0007] 通过阅读对于本公开实施例的更具体的描述，本公开的上述和其它特征将更加明显。

附图说明

[0008] 以下参照附图更详细地描述本公开的实施例，其中相同标记表示相同元件，并且其中：

[0009] 图 1- 图 9 示出根据本公开的用于在 FinFet 器件的鳍之上形成双重全硅化栅极的方法的实施例。

具体实施方式

[0010] 参照附图，图 1- 图 9 说明根据本公开的用于在 FinFet 器件的鳍之上形成双重全硅化栅极的方法的实施例。

[0011] 如图 1- 图 3 所示，第一道工序包括：提供具有第一鳍 22 和第二鳍 24（图 2 和图 3）的绝缘体上半导体衬底 10，该第一鳍 22 和第二鳍 24 由绝缘体上半导体衬底 10 的绝缘体上半导体层 14 形成。正如图 3 所示，每个鳍 22、24 都有氮化硅帽 12 和氧化侧壁 26、28。绝缘体上半导体衬底 10 还包括体硅层 18 之上的掩埋绝缘体层 16。

[0012] 如图 1 所示，在第一道工序中，在绝缘体上半导体衬底 10 的绝缘体上半导体层 14 之上沉积氮化硅帽 12。绝缘体上半导体衬底 10 可以包括掩埋绝缘体层 16。绝缘体上半导体层 14 和 / 或体硅层 18 可以包括许多材料，包括硅，锗，锗硅，碳硅以及本质上由一种或多种 III-V 族化合物半导体组成的那些材料，其中 III-V 族化合物半导体具有由公式 $Al_{X1}Ga_{X2}In_{X3}As_{Y1}P_{Y2}N_{Y3}Sb_{Y4}$ 定义的组分，其中 X1、X2、X3、Y1、Y2、Y3 和 Y4 表示相对比例，每一个都大于等于 0 并且 $X1+X2+X3+Y1+Y2+Y3+Y4 = 1$ （1 是总的相对摩尔量）。其它合适的衬底包括具有组分为 $Zn_{A1}Cd_{A2}Se_{B1}Te_{B2}$ 的 II-VI 族化合物半导体，其中 A1、A2、B1 和 B2 是相对比例，每一个都大于等于 0 并且 $A1+A2+B1+B2 = 1$ （1 是总的摩尔量）。另外，绝缘体上半导体层 14 和 / 或体硅层 18 可以采用常规方式掺杂有 N 型杂质或 P 型杂质。N 型掺杂物可以包括但不限于：磷（P），砷（As），锑（Sb），而 p 型掺杂物可以包括但不限于：硼（B），镧（In）和镓（Ga）。

[0013] 如图 1 所示，可以使用常规光刻法工艺沉积光刻胶掩模 20 并对其进行构图，使得这些区域暴露以便开始形成鳍，下面会更详细地进行描述。正如这里使用的那样，“沉积”可以包括适合于要沉积的材料的所有目前已知的或未来开发的工艺，包括但不限于例如：化学气相沉积（CVD）、低压 CVD（LPCVD）、等离子体增强 CVD（PECVD）、半大气压 CVD（SACVD）和高密度等离子体 CVD（HDPCVD）、快速加热 CVD（RTCVD）、超高真空 CVD（UHVCVD）、有限反应处理 CVD（LRPCVD）、有机金属 CVD（MOCVD）、溅射沉积、离子束沉积、电子束沉积、激光辅助沉积、热氧化、热氮化、旋转涂敷法、物理气相沉积（PVD）、原子层沉积（ALD）、化学氧化、分子束外延（MBE）、电镀、蒸发。

[0014] 如图 2 所示,在下一道工序中,例如利用反应离子蚀刻 (RIE) 去除因光刻胶掩模 20 而未暴露出来的部分氮化硅帽 12 和绝缘体上半导体层 14。蚀刻延伸贯穿氮化硅帽 12、绝缘体上半导体层 14,并在掩埋绝缘体层 16 停止,由此形成覆盖有氮化硅的鳍 22、24。蚀刻化学剂可以是用于上述各层的所有目前已知的或未来开发的配方,例如,基于溴化氢 (HBr) 的化学剂。

[0015] 如图 3 所示,在下一道工序中,例如通过使用氧 (O_2) 灰化或溶剂剥离去除光刻胶掩模 20。然后利用常规热氧化工艺在鳍 22、24 的侧面之上形成栅极氧化层 26、28。作为选择,可以沉积高 k 电介质材料以形成栅极电介质。栅极电介质材料可以包括但不限于:硅化铪 ($HfSi$)、氧化铪 (HfO_2)、硅化锆 ($ZrSiO_x$)、氧化锆 (ZrO_2)、氧化硅 (SiO_2)、氮化硅 (Si_3N_4)、氮氧化硅 ($SiON$)、高 k 材料或这些材料的任意组合。此外,高 k 材料的例子包括但不限于:诸如 Ta_2O_5 、 $BaTiO_3$ 、 HfO_2 、 ZrO_2 、 Al_2O_3 的金属氧化物,或诸如 $Hf_{A1}Si_{A2}O_{A3}$ 或 $Hf_{A1}Si_{A2}O_{A3}N_{A4}$ 的金属硅酸盐,其中 $A1$ 、 $A2$ 、 $A3$ 和 $A4$ 表示相对比例,每一个都大于等于 0 并且 $A1+A2+A3+A4 = 1$ (1 是总的相对摩尔量)。

[0016] 如图 4 所示,在下一道工序中,在每个鳍 22、24 之上形成第一多晶硅层 34。在第一多晶硅层 34 之上形成多晶硅锆层 36,并使用常规光刻法工艺在多晶硅锆层 36 之上沉积光刻胶掩模 38,以便在每个鳍 22、24 之上从第一多晶硅层 34 和多晶硅锆层 36 构图出栅极叠层 40、42。

[0017] 如图 5A-图 5B 所示,在下一道工序中,例如使用 RIE 去除因光刻胶掩模 38 (仅图 5A) 而未暴露出来的部分多晶硅层 34 和多晶硅锆层 36。蚀刻延伸贯穿多晶硅层 34 和多晶硅锆层 36,在氮化硅帽 12 和掩埋绝缘体层 16 停止。然后,例如使用氧 (O_2) 灰化和溶剂剥离去除光刻胶掩模 38 (仅图 5A)。

[0018] 如图 5A 所示,在对栅极叠层 40 和 42 构图之后,通过使用任何已知的或未来开发的工艺,在每个鳍 22、24 的附近形成源极 / 漏极 (S/D) 区域 44、46、48、50。正如本领域技术人员熟知的那样,S/D 区域可以包括晕圈和扩展区域 (未示出)。如图 6A-图 6B 所示,通过使用任何已知的或未来开发的工艺,在每个鳍 22、24 的附近还形成隔离物 52、隔离物 54。隔离物 52、隔离物 54 可以包括任何合适的电介质材料,如二氧化硅、氮化硅或二氧化硅和氮化硅的合成物。然而,在优选实施例中,隔离物 52、隔离物 54 包括氮化硅。

[0019] 如图 7A-图 7B 所示,在下一道工序中,利用光刻胶掩模 56 完全覆盖第一鳍 22,而使第二鳍 24 暴露。对该器件进行蚀刻,并且去除暴露出来的鳍 24 之上的多晶硅锆层 36。蚀刻延伸贯穿多晶硅锆层 36,在多晶硅层 34 停止。在这种情况下,通过使用各向同性蚀刻可以去除多晶硅锆层 36。正如图 8 所示,在完成蚀刻之后,鳍 22 之上的栅极叠层 40 的厚度要比鳍 24 之上的栅极叠层 42 的厚度更厚,这是因为鳍 22 之上有剩余的多晶硅锆层 36。

[0020] 如图 8-图 9 所示,去除光刻胶 56 并且开始 S/D 退火处理以激活掺杂物。然后在两个鳍 22、24 之上形成金属层 60 并进行退火 (表示为箭头 62) 以便分别在第一鳍 22 和第二鳍 24 之上形成全硅化栅极 64、66,其中第二鳍 24 之上的全硅化栅极 66 是富含金属的,亦即,金属和硅化物的比率大于 1。在退火处理期间,将 FinFet 器件加热到反应温度并保持一段时间,使得金属层 60 和与其接触的 Si 和 SiGe 起化学反应,由此形成与第一鳍 22 之上的剩余多晶硅锆层 36 以及与第二鳍 24 之上的剩余多晶硅层 34 对接的硅化物层 68 (图 9)。在这种情况下,包含多晶硅锆层 36 的栅极叠层 40 比栅极叠层 42 更厚。因此,与栅极

叠层 42 相比,金属层 60 需要提供更多反应物以全硅化多晶硅层 34。在一个实施例中,金属层 60 是由镍形成的。因此,对栅极叠层 42 之上的金属层 60 进行退火处理形成用于栅极叠层 42 的富含镍的全硅化硅化镍层 68,以便朝着价带方向移动栅极叠层 42 的功函。对栅极叠层 40 之上的金属层 60 进行退火形成用于栅极叠层 40 的全硅化硅化镍层 68,以便朝着导带方向移动栅极叠层 40 的功函。因此,获得用于两个鳍 22、24 的所需阈值电压。

[0021] 此外,可以采用多次退火处理。在这种情况下,退火 62 包括:在第一温度进行退火 62;去除两个鳍之上的金属层 60 中的所有未反应金属;以及在第二温度进行退火,其中第二温度高于第一温度。在一个实施例中,第一退火温度介于 300°C 到 350°C 之间,而第二退火温度介于 400°C 到 500°C 之间。通过使用常规湿式化学蚀刻可以去除未反应的金属。此外,金属层 60 是用镍形成的,但可以使用与硅反应以生成硅化物的各种其它金属,包括但不限于 Co、Ni、Pt、Ti 和 W。

[0022] 尽管连同上面概述的特殊实施例一起描述了本公开,但是对本领域技术人员而言,许多替选方案、修改和变更都是显然的。因此,上面阐述的本公开的实施例只是说明性的,而非限制性的。可以做出各种变更而并不背离所附权利要求书限定的本公开的实质和范围。

[0023] 应理解到,上面描述的工序的次序仅仅是说明性的。在这个意义上,可以并行地、按照不同的次序、或者在较远的某个时刻执行一道或几道工序。此外,在本公开的不同实施例中,可以不执行某一道或某几道工序。

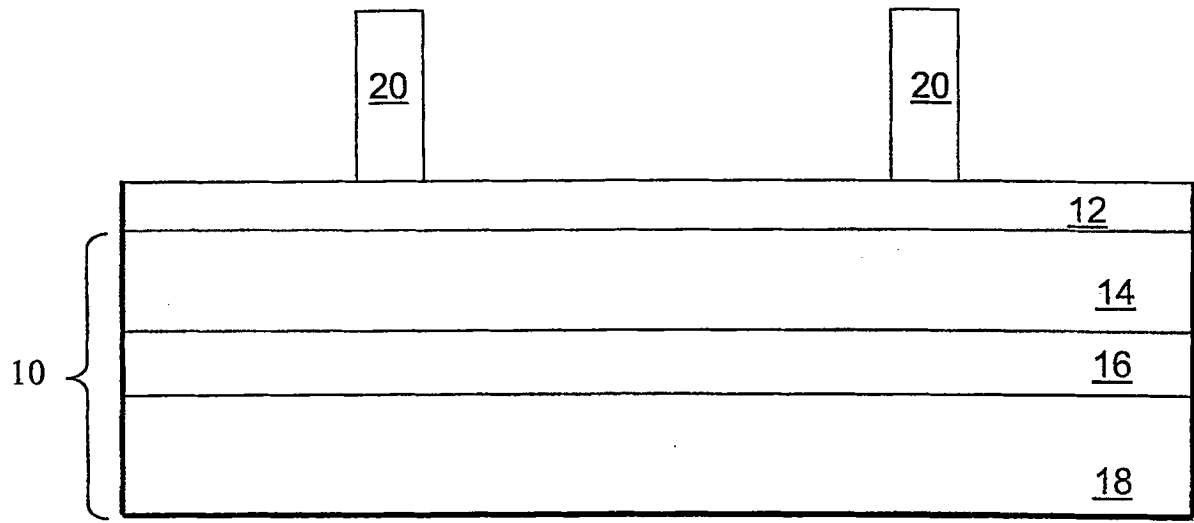


图 1

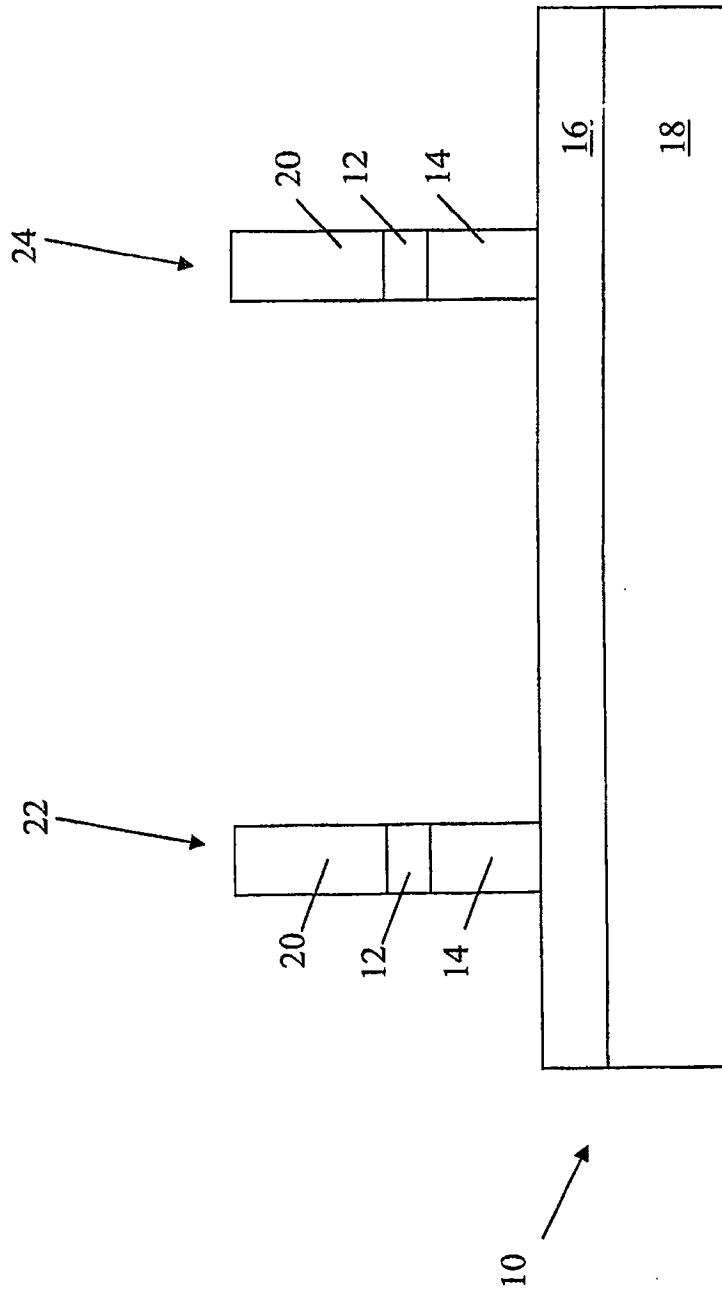


图 2

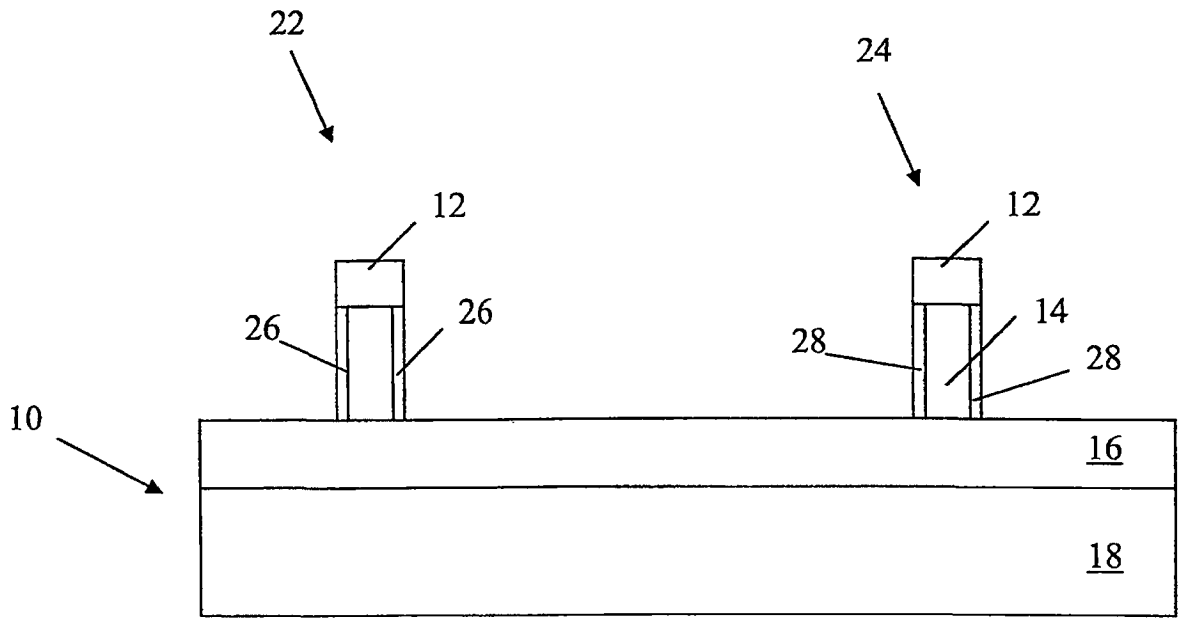


图 3

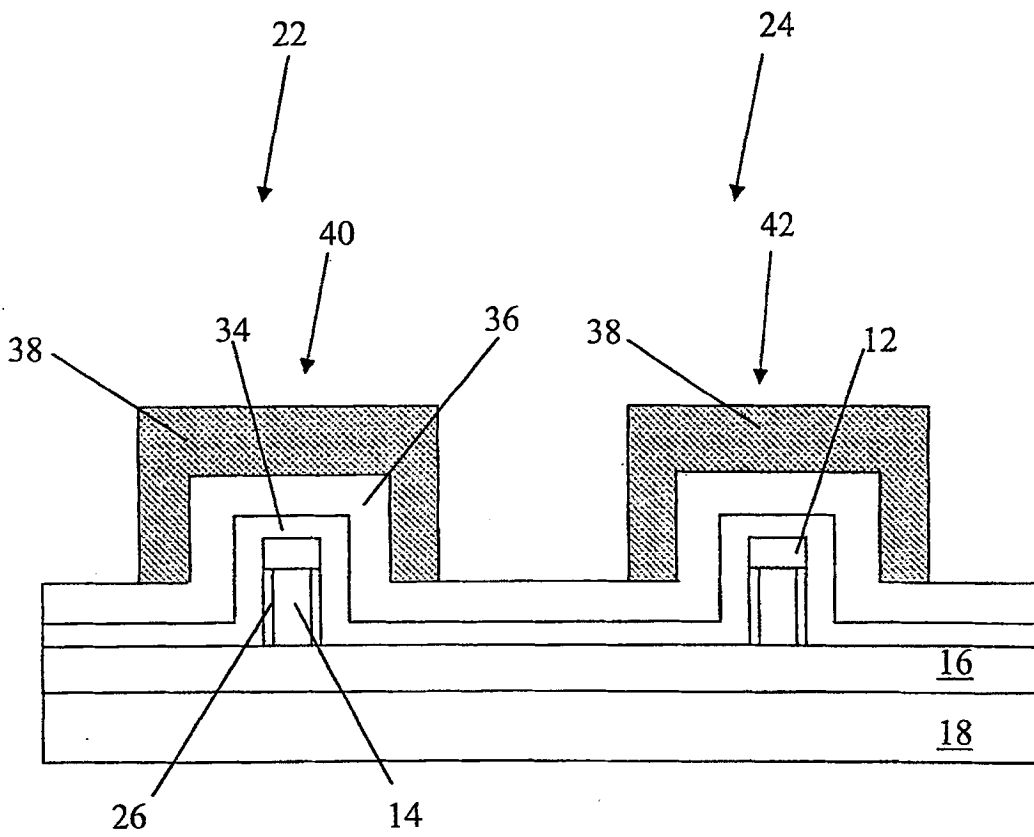


图 4

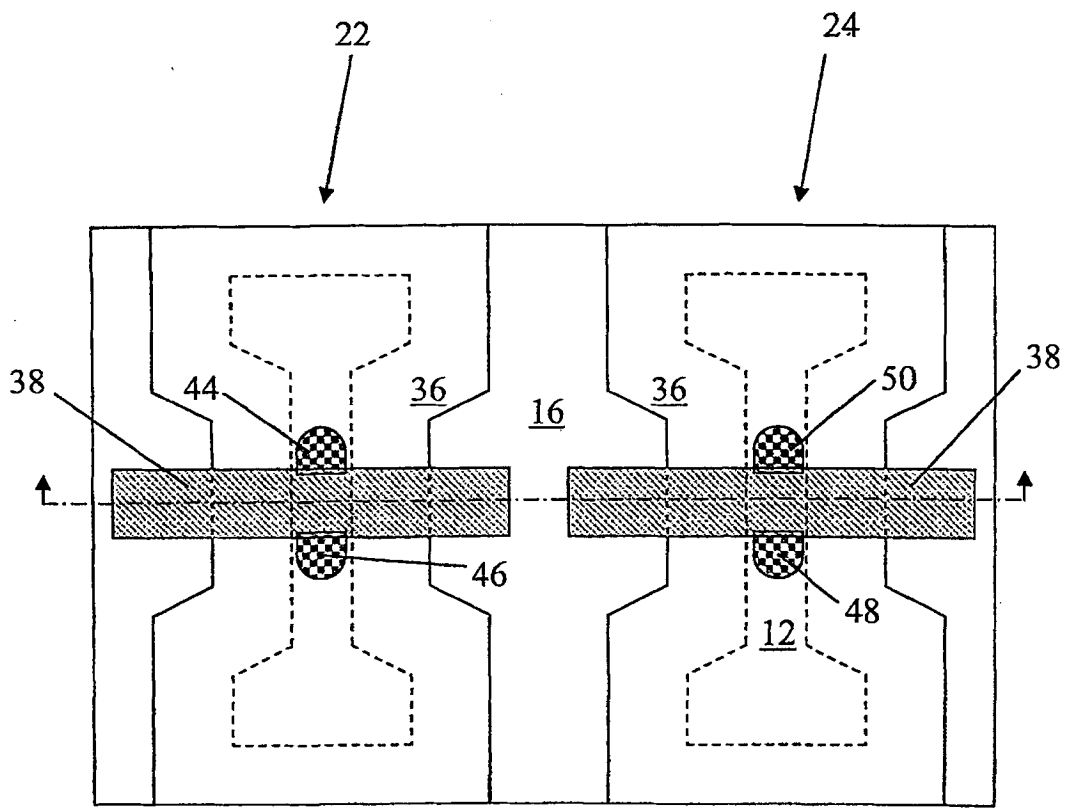


图 5A

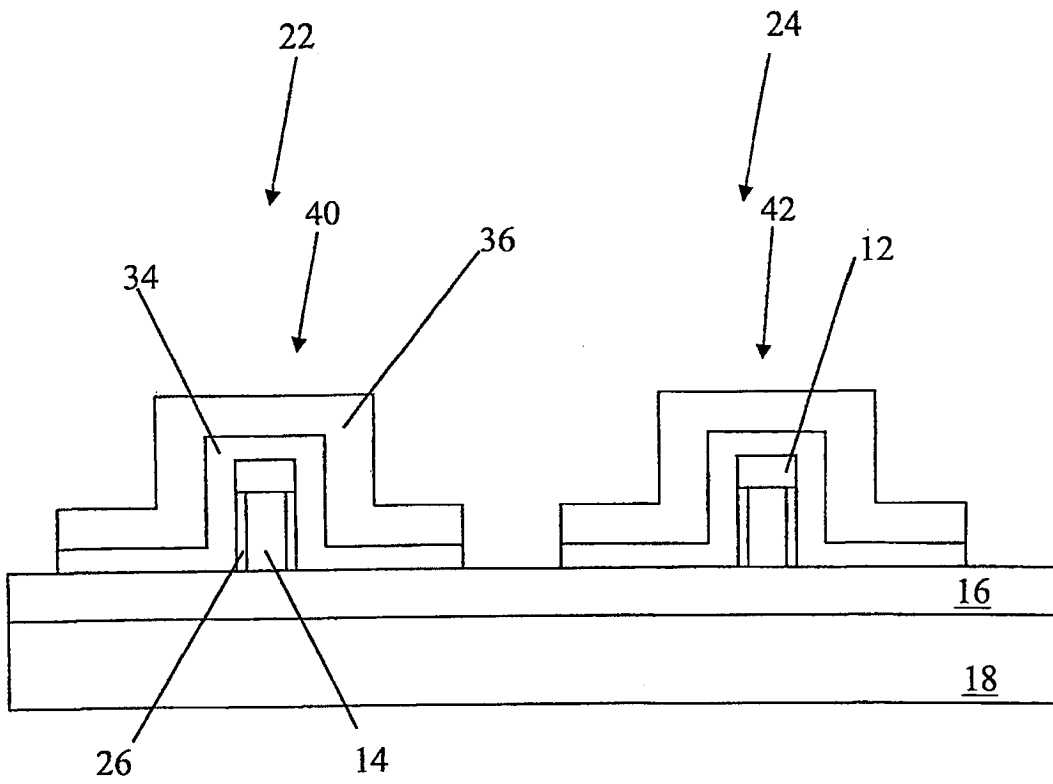


图 5B

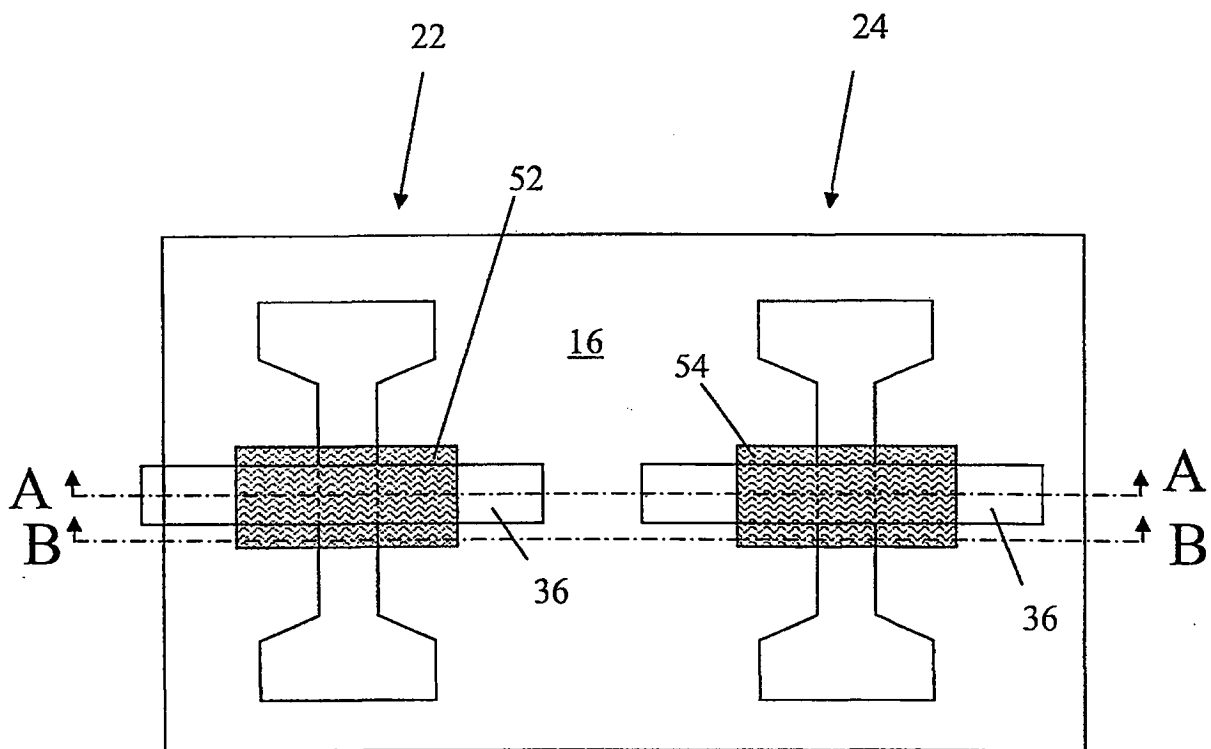


图 6A

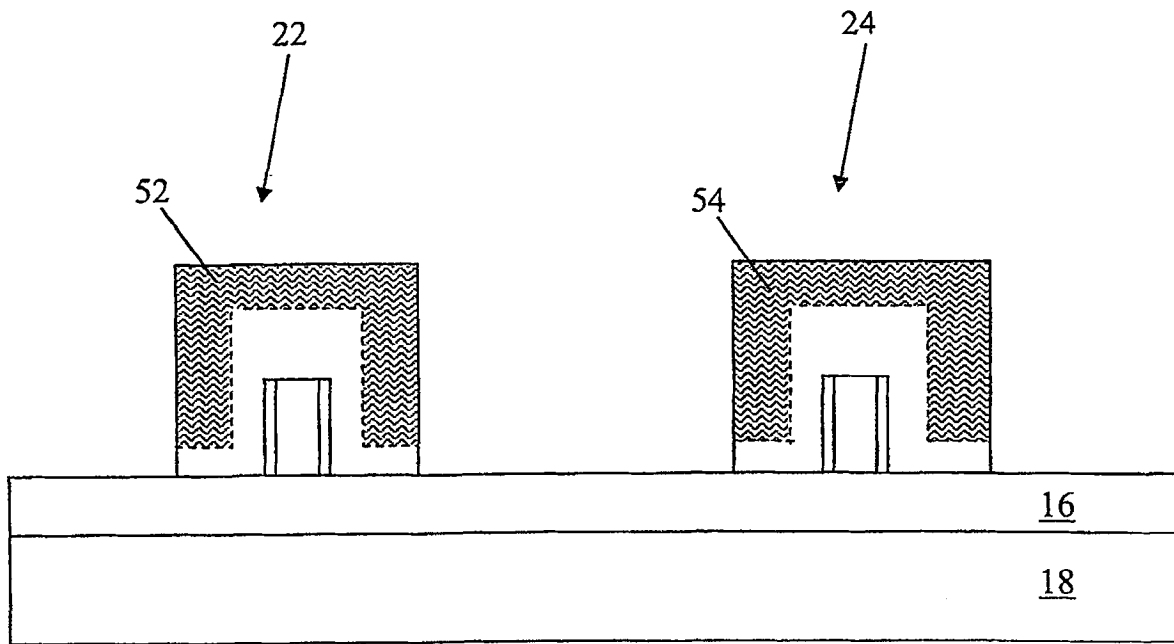


图 6B

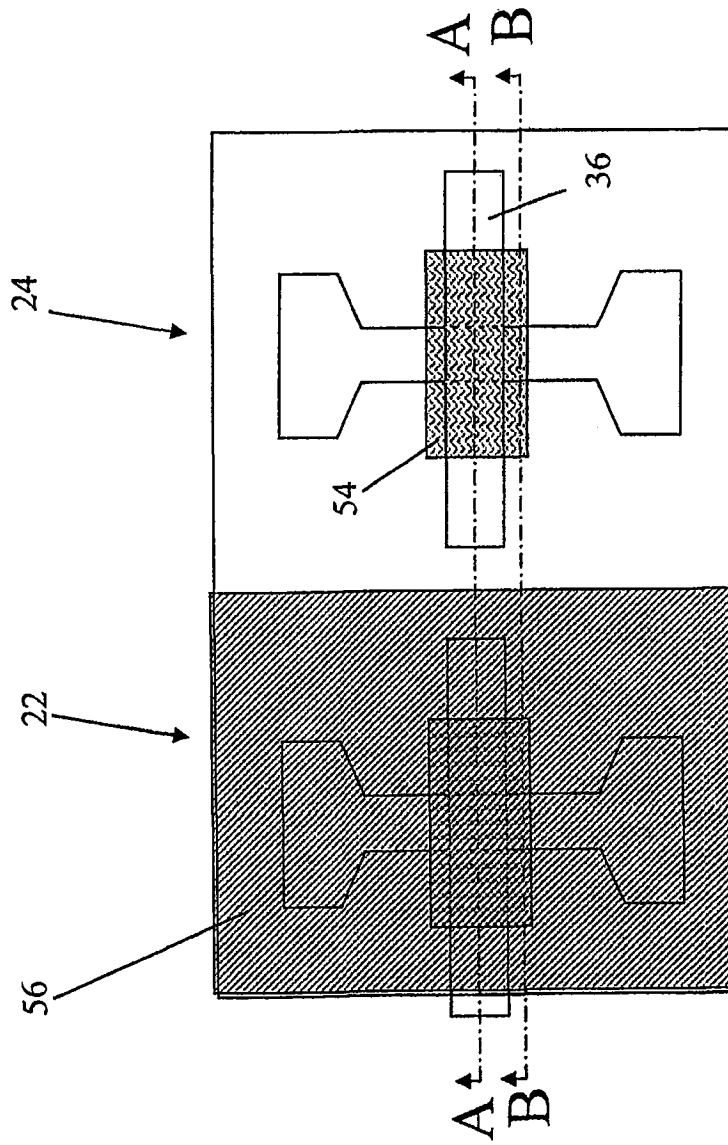


图 7A

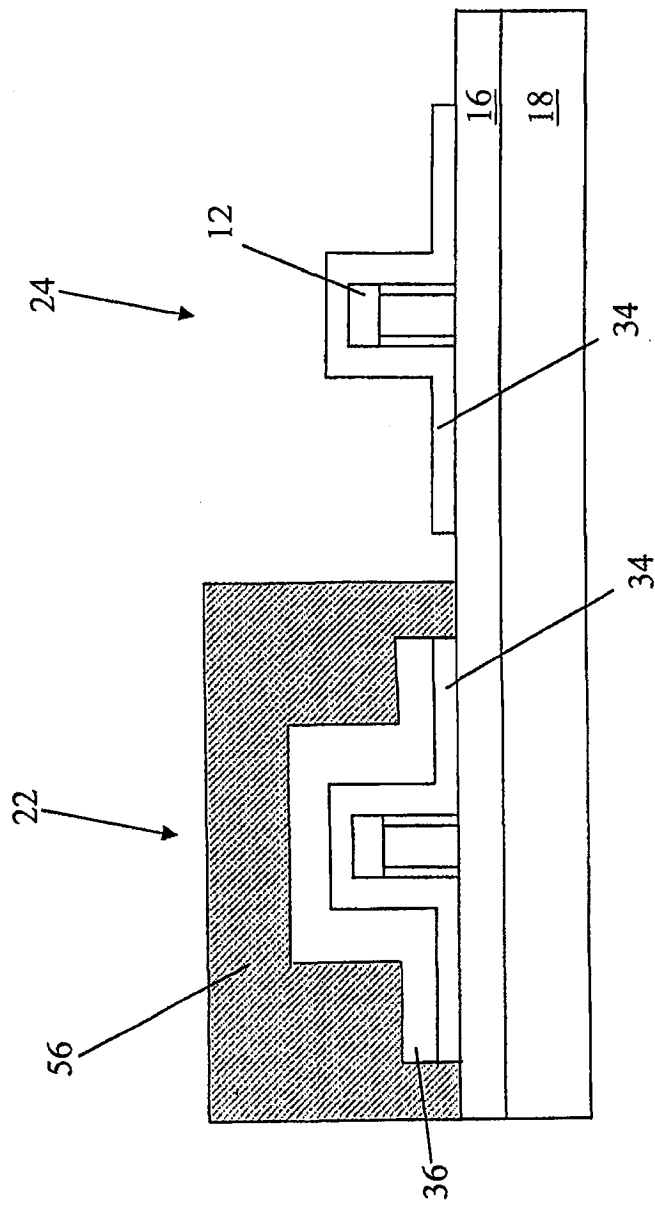


图 7B

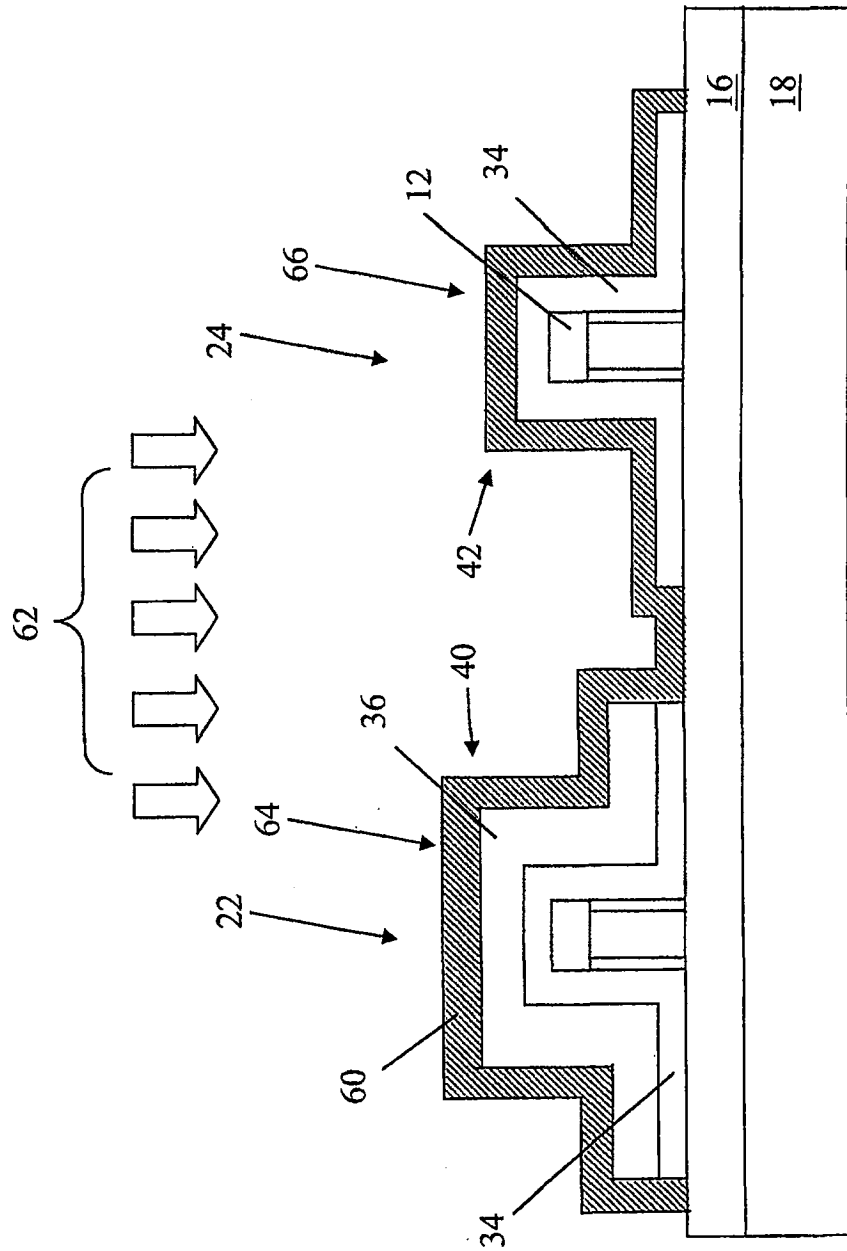


图 8

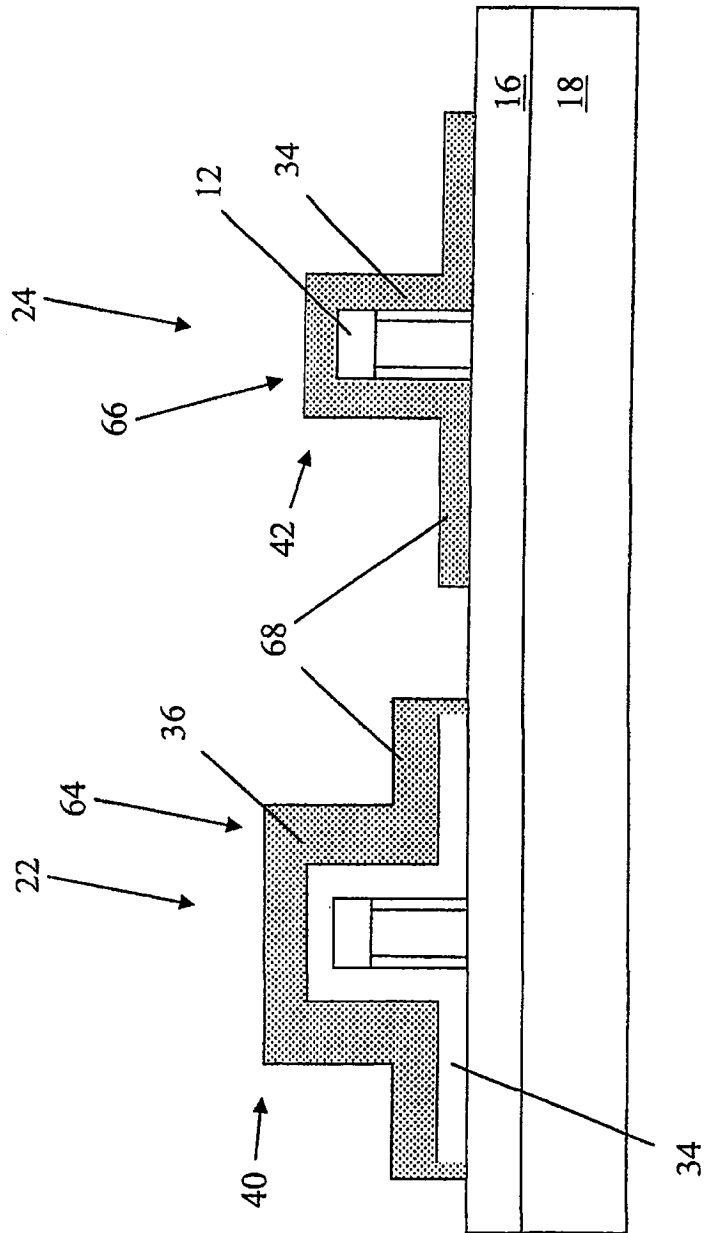


图 9