(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 648 652**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **89 08113**

(51) Int Cl[5] : H 04 L 25/40, 5/22.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 19 juin 1989.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 51 du 21 décembre 1990.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *ALCATEL BUSINESS SYSTEMS, Société anonyme.* — FR.

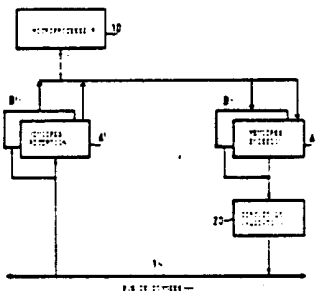
(72) Inventeur(s) : Gérald Le Cucq ; Abdelkrim Moulehiawy.

(73) Titulaire(s) :

(74) Mandataire(s) : Josiane El Manouni, Sospi.

(54) Interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti.

(57) Cette interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti, ledit réseau étant architecturé autour d'un support de transmission partagé dans le temps entre différentes stations et chaque station comportant des moyens pour déterminer les positions temporelles correspondant aux données à écrire ou à lire sur ledit support, comporte dans chaque station, pour chaque sens de transmission, un couple de mémoires dont l'une accède audit support respectivement en émission et en réception, en synchronisme avec la présentation des positions temporelles sur ledit support, tandis que l'autre est respectivement écrite ou lue, sous la commande desdits moyens de détermination de positions temporelles, et vice versa.



FR 2 648 652 A1

Interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti.

La présente invention concerne une interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti.

La présente invention s'applique notamment à un réseau de commutation réparti multiservices apte à commuter des trafics en mode circuit synchrone et en mode paquet synchrone ou asynchrone, et architecturé autour d'un support de transmission partagé dans le temps entre différentes stations, dans lequel :

- le support de transmission est synchrone et structuré en trames répétitives, elles-mêmes structurées en intervalles de temps eux-mêmes structurés en temps-cellules, ces derniers étant dimensionnés pour contenir une entité de communication qui peut être suivant le cas, une cellule en circuit ou une cellule en paquet segmenté,
- un intervalle de temps idéal d'accès au support de transmission en mode paquet est affecté par un système centralisé de gestion de ressources respectivement aux différentes stations communiquant à l'intérieur de ce réseau,
- il est procédé à chaque temps-cellule et pour l'ensemble des stations, à un arbitrage d'accès au support de transmission, afin d'assurer un accès à ce support, suivant des priorités décroissantes, par des cellules en circuit disponibles à cet instant dans toute station, par des cellules en paquets segmentés synchrones disponibles à cet instant dans toute station ayant un intervalle de temps idéal d'accès antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés synchrones disponibles à cet instant dans la station ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones disponibles à cet instant dans toute station ayant pour intervalle de temps idéal d'accès un intervalle de temps antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones disponibles à cet instant dans la station

ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré.

La présente invention s'applique plus particulièrement au cas où :

- les temps-cellules sont eux-mêmes structurés en temps-octets ;
- chaque station constitue un point de concentration de trafic relatif à plusieurs usagers ;
- un temps - octet d'accès au support de transmission est affecté respectivement à différents usagers communiquant en mode circuit à l'intérieur de ce réseau, par le système centralisé de gestion de ressources ;
- pour toute station autorisée à l'issue de l'arbitrage, à accéder au support de transmission à un temps-cellule déterminé, il est procédé à une validation successive de ces stations en fonction des différents temps octets affectés aux différents usagers qui leur sont raccordés pour le trafic en mode circuit, ou à une validation d'une seule et même station pour le trafic en mode paquet.

Suivant une caractéristique de l'invention, une interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti, ledit réseau étant architecturé autour d'un support de transmission partagé dans le temps entre différentes stations et chaque station comportant des moyens pour déterminer les positions temporelles correspondant aux données à écrire ou à lire sur ledit support, comporte dans chaque station, pour chaque sens de transmission, un couple de mémoires dont l'une accède audit support, respectivement en émission ou en réception, en synchronisme avec la présentation des positions temporelles sur ledit support, tandis que l'autre est respectivement écrite ou lue, sous la commande desdits moyens de détermination de positions temporelles, et vice versa.

D'autres objets et caractéristiques de la présente invention apparaitront plus clairement à la lecture de la description suivante d'un exemple de réalisation, faite en relation avec les dessins ci-annexés dans lesquels :

- la figure 1 représente le schéma général d'un exemple de

réseau de commutation réparti multiservices utilisant une interface suivant l'invention ;

- la figure 2 illustre un exemple de structuration du support de transmission d'un réseau de commutation réparti multiservices utilisant une interface suivant l'invention, ainsi qu'un exemple d'allocation de trafic sur ce support,

- la figure 3 représente le schéma général d'une station dans un tel réseau,

- la figure 4 représente une interface suivant l'invention dans un tel réseau.

Sur la figure 1 on a représenté un ensemble de "n" stations A, B, C, D... d'un réseau de commutation réparti communiquant entre elles par un support de transmission 1 appelé aussi par la suite bus de données, partagé dans le temps entre différentes stations, chaque station consistant elle même en un point de concentration de trafic provenant de différents usagers A1, A2... B1, B2...

Comme illustré sur la figure 2, ce bus de données est un bus synchrone, structuré en trames répétitives de durée T_T elles mêmes structurées en différents intervalles de temps de durée T_{IT}, qui se décomposent à leur tour en différents temps-cellules de durée T_{IC}, se décomposant eux mêmes en différents temps-octets élémentaires de durée T_{TO}.

Chaque temps-cellule est dimensionné de manière à contenir suivant le cas soit une cellule dite en circuit, soit une cellule dite en paquet segmenté.

Les trafics traités par ce réseau peuvent être de plusieurs types :

- en mode circuit synchrone, de débit déterminé et fixe au cours du temps, par exemple 64 kbits/s pour un multiplex téléphonique à 32 voies codé suivant le mode MIC, les informations de parole portée par ce multiplex téléphonique constituant lesdites cellules en circuit,

- en mode paquet synchrone de débit varié et variable au cours du temps, ce qui est par exemple le cas d'informations issues de terminaux de télécopie,

- en mode paquet asynchrone, ce qui est par exemple le cas d'informations issues de terminaux informatiques.

On entend par cellules en paquets segmentés, des fragments de paquet tous munis de l'adresse de destination de ce paquet et ayant même dimension qu'une cellule en circuit.

Une cellule en circuit ou un paquet étant eux mêmes constitués en octets, chaque temps-octet est lui-même dimensionné de manière à contenir un tel octet.

Les différents octets d'une même cellule en circuit sont affectés aux différents usagers du réseau, et par conséquent aux différentes stations auxquelles sont raccordés ces usagers, par un système centralisé de gestion de ressources 2, au gré des apparitions et des disparitions de communications en mode circuit dans ce réseau.

Pour chaque temps-cellule se présentant sur le bus de données les cellules en circuit sont écoulées en priorité, afin d'écouler sans délai ce type de trafic.

Le trafic en mode paquet relatif à une station I est théoriquement écoulé sur un intervalle de temps I_{Ti} de même rang i de trames successives, dit intervalle de temps idéal d'accès de cette station, alloué préalablement à celle-ci par le système centralisé de gestion de ressources 2 en fonction de la capacité du support de transmission, de la capacité nominale déjà allouée aux communications en cours à un instant donné, et de la capacité nominale nécessitée par la station faisant une demande d'accès au réseau à cet instant, de sorte que tous les trafics correspondant à ces capacités nominales puissent être écoulés sans délai.

Une optimisation de rendement du support de transmission est par ailleurs assurée en prévoyant par ailleurs un "débordement" de trafic en mode paquet synchrone issu d'une station, sur des cellules d'intervalles de temps non initialement affectés à cette station, en cas de "pointes" de trafic en mode paquet synchrone par rapport à la capacité nominale allouée, et en prévoyant un "comblement" par du trafic asynchrone, de cellules non occupées par du trafic synchrone, en cas de "creux" de trafic synchrone.

Il est ainsi procédé à chaque temps-cellule et pour l'ensemble des stations, à un arbitrage d'accès au support de transmission, afin d'assurer un accès à ce support, suivant des priorités décroissantes, par des cellules en circuit CSC disponibles à cet instant dans toute station, par des cellules en paquets segmentés synchrones PS (j) disponibles à cet instant dans toute station ayant un intervalle de temps idéal d'accès antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés synchrones PS (i) disponibles à cet instant dans la station ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones PA (j) disponibles à cet instant dans toute station ayant un intervalle de temps idéal d'accès antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones PA (i) disponibles à cet instant dans la station ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré.

Par ailleurs, pour toute station autorisée, à l'issue de l'arbitrage, à accéder au support de transmission à un temps-cellule déterminé, il est procédé à une validation successive de ces stations en fonction des différents temps-octets qui leur ont été affectés, pour le cas de trafic en mode circuit, ou à une validation d'une seule et même station tout au long du temps-cellule considéré, pour le cas de trafic en mode paquet.

On décrit maintenant, en relation avec la figure 3, le schéma de chacune des stations d'un tel réseau.

Ce schéma est organisé autour d'un microprocesseur 10 qui communique avec un certain nombre d'éléments parmi lesquels :

- une base de temps 11, lui fournissant la fréquence de répétition des temps-octets, temps-cellules, intervalles de temps et trames sur le bus de données,

- une liaison de synchronisation 3 lui fournissant l'intervalle de temps idéal d'accès en émission pour le cas de trafic en mode paquet, ainsi que les temps-octets d'affectation pour le cas de trafic en mode circuit, ces informations étant fournies par le

système centralisé de gestion de ressources 2,

- le bus de données 1 lui fournissant sur des cellules dites de signalisation les temps-octets affectés à la station émettrice correspondante dans le cas d'un accès en réception et dans le cas de trafic en mode circuit,

- un bus d'arbitrage 4 commun aux différentes stations,

- une mémoire 12 contenant des registres (ou "buffers") spécialisés par type de trafic, avec lequel il communique par l'intermédiaire d'un organe de sélection d'adressage 13.

Des données sont inscrites ou lue dans ces buffers par un codeur-décodeur (ou "codec") 14 pour le trafic en mode circuit, ou par un paquettiseur-dépaquettiseur 15 pour le trafic en mode paquet.

Ces deux éléments (codeur-décodeur et paquettiseur-dépaquettiseur) sont bien connus et ne seront donc pas redécrits ici. On rappellera simplement qu'un paquettiseur permet de constituer des données en paquets comportant à la fois des données à transmettre et des informations de signalisation nécessaires à leur acheminement, et qu'un codeur permet d'assembler différents octets de parole issus de différents utilisateurs raccordés à la station considérée, en un multiplex téléphonique MIC, les informations de signalisation étant transmises séparément des informations (ou octets) de parole ; un décodeur et un dépaquettiseur permettent de réaliser les fonctions inverses.

Les informations d'arbitrage appliquées sur le bus d'arbitrage 4 sont relatives au degré de priorité des différents trafics présents dans les buffers détectés occupés de la mémoire 12, cette détection d'occupation étant faite par le microprocesseur 10 via l'organe de sélection d'adressage 13.

L'arbitrage est réalisé par comparaison des informations d'arbitrage appliquées au même instant par différentes stations sur le bus d'arbitrage.

Plus particulièrement cet arbitrage est réalisé par une opération d'écriture sur ce bus, suivie d'une opération de lecture, une éventuelle coïncidence entre les deux informations, écrite puis lue par

une station sur le bus d'arbitrage indiquant un réglement du conflit en faveur de cette station. En l'occurence l'écriture sur le bus d'arbitrage étant telle que celui-ci change d'état par application d'un élément binaire "0", une adresse considérée comme prioritaire à l'issue d'une lecture consécutive sur ce bus étant alors celle qui comporte le plus d'éléments binaires à "0", les informations d'arbitrage relatives au degré de priorité des différents buffers sont établies en conséquence.

Par ailleurs les informations d'arbitrage relatives aux buffers spécialisés pour le trafic en mode paquet comportent, outre une information relative au degré de priorité de ces buffers, une information indiquant l'ancienneté du trafic à écouler.

Ceci peut être obtenu simplement en adjoignant à l'information relative au degré de priorité de ce type de trafic, une information codant l'instant idéal d'accès de la station à l'origine de ce trafic, en l'occurrence, suivant un code comportant le plus d'éléments binaires à "o" pour un instant idéal d'accès le plus ancien.

Le microprocesseur 10 de chacune des stations a en effet connaissance de l'intervalle de temps idéal d'accès de cette station, celui-ci lui étant communiqué par le système centralisé de gestion de ressources 2 via la liaison de synchronisation 3 (figure 1).

Le résultat de l'arbitrage est utilisé par le microprocesseur 10 d'une station pour sélectionner l'adresse du buffer de cette station considéré comme prioritaire à l'issue de l'arbitrage.

On décrit maintenant, en relation avec la figure 4, l'interface 16 pour l'accès de chaque station au bus de données en écriture (émission) et en lecture (réception), cette interface s'interposant entre le microprocesseur 10 et le bus de données 1 représentés sur la figure 3.

Cette interface est organisée d'une part en un couple de mémoires A-B reservé à l'écriture sur le bus de données, et d'autre part en un couple de mémoires A' - B' réservé à la lecture sur le bus de données. Les données dans ces mémoires sont organisées en octets, des octets successifs sur le bus occupant des adresses successives de ces mémoires.

Chaque couple de mémoire permet une adaptation entre le débit sur le bus de données d'une part, et la vitesse de traitement par le microprocesseur 10, des données à écrire, ou des données lues, sur ce bus.

Ainsi, en écriture sur le bus, pendant que le contenu de l'une de ces mémoires, A par exemple, est "déversé" sur le bus l'autre mémoire, B, est écrite par le microprocesseur, et vice versa, la commutation de ces mémoires étant réalisée à la fréquence des intervalles de temps, chacune de ces mémoires A et B étant en effet dimensionnée pour contenir un intervalle de temps (l'arbitrage réglementant les accès en émission étant en effet, comme on l'a vu plus haut, réalisé à l'échelle de l'intervalle de temps).

Plus précisemment, l'écriture dans chaque station de la mémoire non affectée à l'accès au bus à un intervalle de temps donné se fait, sous la commande du microprocesseur, temps-octet par temps-octet, avec les données stockées dans le registre de la mémoire 12 sélectionné à l'issue des processus d'arbitrage et de validation décrits ci-dessus et à des adresses correspondant aux temps-octets considérés, tandis que la mémoire affectée à l'accès au bus au même intervalle de temps est lue séquentiellement, également sous la commande du microprocesseur, et en synchronisme avec la présentation des temps-octets sur le bus.

Par ailleurs, à chaque adresse de la mémoire non affectée à l'accès au bus, est inscrit, également sous la commande du microprocesseur un neuvième bit, dit de validation d'accès au bus garantissant un accès effectif au bus seulement si le temps-octet correspondant est alloué à cette station à l'issue des processus d'arbitrage et de validation décrits précédemment, ce bit étant lu préalablement à un éventuel accès au bus au temps octet considéré par un circuit 20 de validation d'accès au bus en émission.

De même, en lecture sur le bus, pendant que l'une des mémoires, A' par exemple, accède à ce bus, l'autre mémoire B', est lue par le microprocesseur, et vice versa, la commutation de ces mémoires étant réalisée à la fréquence des intervalles de temps, chacune de ces mémoires étant en effet dimensionnée pour contenir un intervalle

de temps qui peut être différent de l'intervalle de temps de réception de la station considérée (la station émettrice en relation avec la station réceptrice considérée ayant en effet un intervalle de temps effectif d'accès qui peut être différent de son intervalle de temps idéal d'accès).

Plus précisément dans la mémoire affectée à l'accès au bus à un intervalle de temps donné sont écrites en séquence toutes les données contenues dans cet intervalle de temps octet par octet, sous la commande du microprocesseur, à des adresses correspondant à la position de ces octets sur le bus de données, à l'intérieur de l'intervalle de temps considéré. Pendant ce temps, la mémoire non affectée à l'accès au bus est lue par le microprocesseur 10, à des adresses sélectionnées comme étant celles correspondant aux temps-octets alloués à la station émettrice correspondante.

Ces temps-octets sont communiqués au microprocesseur, via le bus de données 1, par le système centralisé de gestion de ressources (figure 1) qui traite également les informations de signalisation dans le cas de trafic en mode circuit, suivant des principes bien connus qui ne seront pas redécrits ici.

Dans le cas de trafic en mode paquet, une scrutation en début de paquet permet à chaque station de reconnaître s'il s'agit d'un paquet qui lui destiné et d'en effectuer la prise en compte pour l'usager concerné.

Les données ainsi lues par le microprocesseur sont stockées dans des registres de la mémoire 12 analogues à ceux définis plus haut pour les accès en écriture.

REVENDICATIONS :

1/ Interface pour accès en émission et en réception au support de transmission synchrone d'un réseau de commutation réparti, ledit réseau étant architecturé autour d'un support de transmission partagé dans le temps entre différentes stations et chaque station comportant des moyens pour déterminer les positions temporelles correspondant aux données à écrire ou à lire sur ledit support, caractérisé en ce qu'elle comporte dans chaque station, pour chaque sens de transmission, un couple de mémoires dont l'une accède audit support, respectivement en émission et en réception, en synchronisme avec la présentation des positions temporelles sur ledit support, tandis que l'autre est respectivement écrite ou lue, sous la commande desdits moyens de détermination de positions temporelles, et vice versa.

2/ Interface selon la revendication 1, caractérisé en ce qu'à chaque adresse des mémoires utilisées pour l'accès en émission, ladite adresse correspondant à une position temporelle sur le support de transmission, est stocké un élément binaire supplémentaire pour une validation d'accès audit support, à la position temporelle considérée, cet élément binaire étant écrit sous la commande des moyens de détermination de positions temporelles.

3/ Interface selon l'une des revendications 1 et 2 caractérisé en ce que, ledit réseau étant apte à commuter des trafics en mode circuit synchrone et en mode paquet synchrone ou asynchrone, ledit support de transmission est structuré en trames répétitives, elles-mêmes structurées en intervalle de temps, eux-mêmes structurés en temps-cellules, ces derniers étant dimensionnés pour contenir une entité de communication qui peut-être suivant le cas une cellule en circuit ou une cellule en paquet segmenté, et les temps-cellules étant eux-mêmes structurés en temps-octets qui constituent lesdites positions temporelles.

4/ Interface selon la revendication 3, caractérisé en ce que, un intervalle de temps idéal d'accès en émission au support de transmission en mode paquet étant affecté respectivement aux différentes stations communiquant à l'intérieur de ce réseau, et un temps-octet

d'accès au support étant affecté respectivement à différentes stations communiquant en mode circuit, ou à une même station communiquant en mode paquet, à l'intérieur de ce réseau, les moyens pour déterminer lesdites positions temporelles pour un accès en émission comportent :

- des moyens pour réaliser à chaque temps-cellule et pour l'ensemble des stations, un arbitrage d'accès au support de transmission, afin d'assurer un accès à ce support, suivant des priorités décroissantes, par des cellules en circuit disponibles à cet instant dans toute station, par des cellules en paquets segmentés disponibles à cet instant dans toute station ayant un intervalle de temps idéal d'accès antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés synchrones disponibles à cet instant dans la station ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones disponibles à cet instant dans toute station ayant un intervalle de temps idéal d'accès antérieur à l'intervalle de temps contenant le temps-cellule considéré, par des cellules en paquets segmentés asynchrones disponibles à cet instant dans la station ayant pour intervalle de temps idéal d'accès l'intervalle de temps contenant le temps-cellule considéré.
- des moyens pour procéder à une validation des stations autorisées, à l'issue dudit arbitrage, à accéder au support de transmission, en fonction des temps-octets qui leur ont été affectés, suivant le type de trafic.

5/ Interface selon la revendication 4, caractérisée en ce que les mémoires utilisées pour l'accès en émission sont dimensionnées pour contenir un intervalle de temps et sont commutées au rythme de ces intervalles de temps.

6/ Interface selon l'une des revendications 4 et 5, caractérisé en ce que les mémoires utilisées pour l'accès en réception sont dimensonnées pour contenir un intervalle de temps, et sont commutées au rythme de ces intervalles de temps.

FIG.1

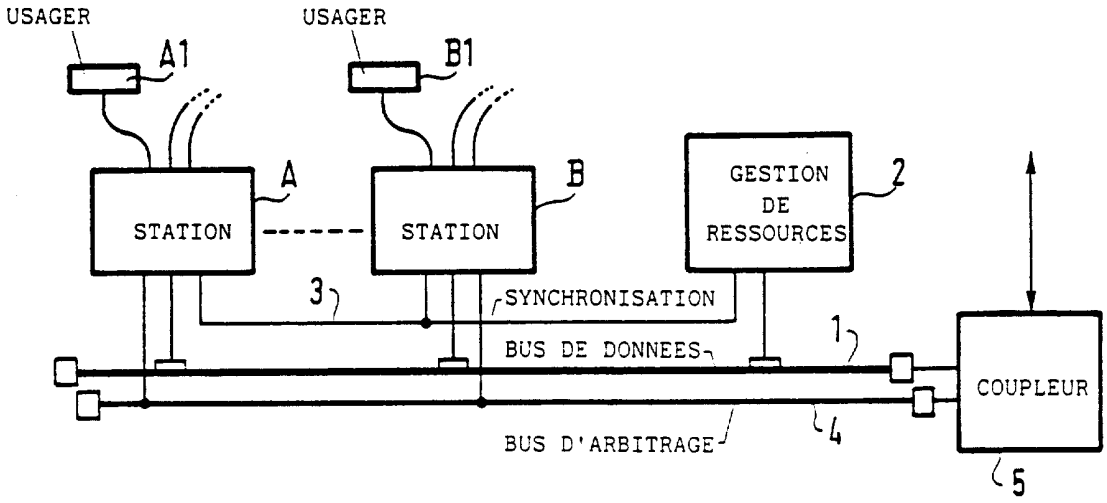

USAGER
A1
USAGER
B1
STATION
A
STATION
B
GESTION DE RESSOURCES
2
3
SYNCHRONISATION
BUS DE DONNEES
1
COUPLEUR
BUS D'ARBITRAGE
4
5

FIG.2

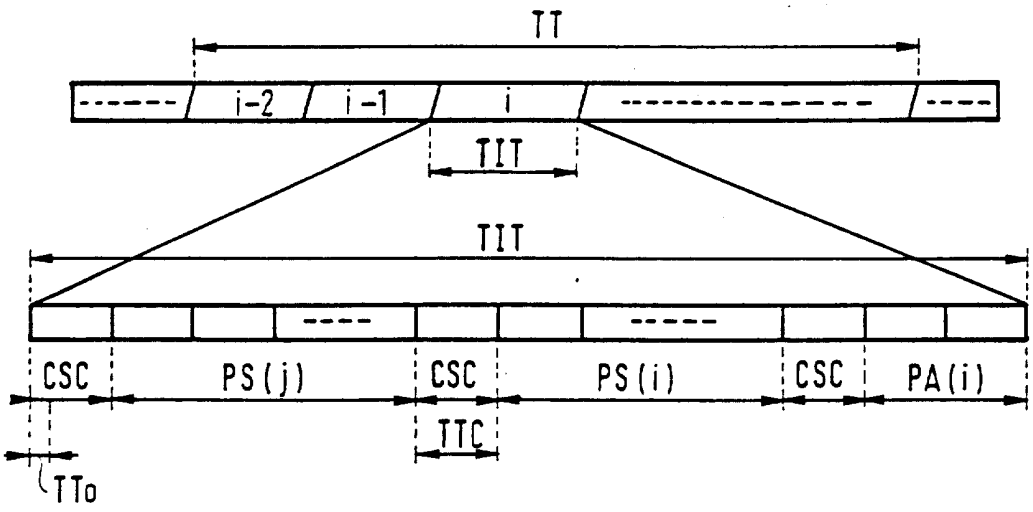

TT
i-2
i-1
i
TIT
TIT
CSC
PS(j)
CSC
PS(i)
CSC
PA(i)
TTC
TTo

FIG.3

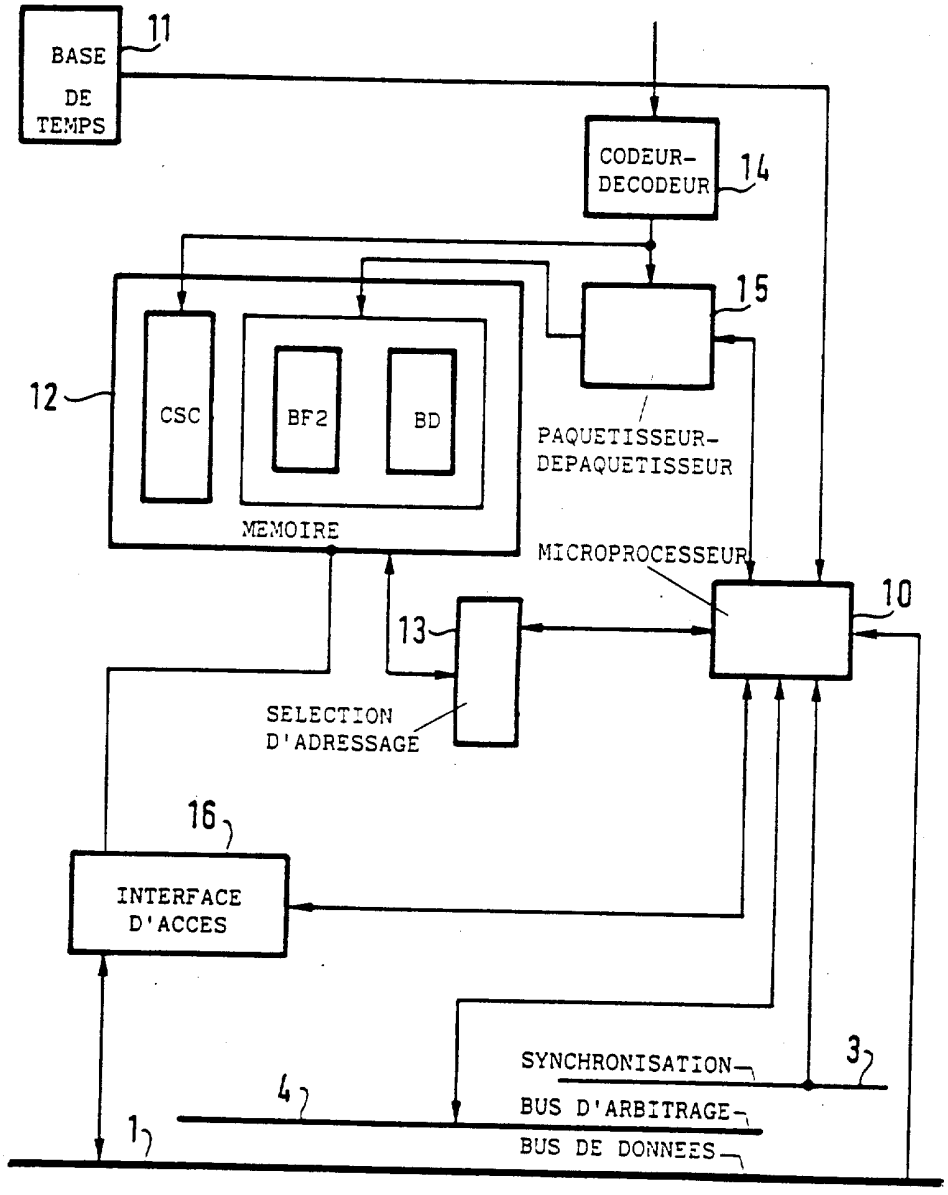
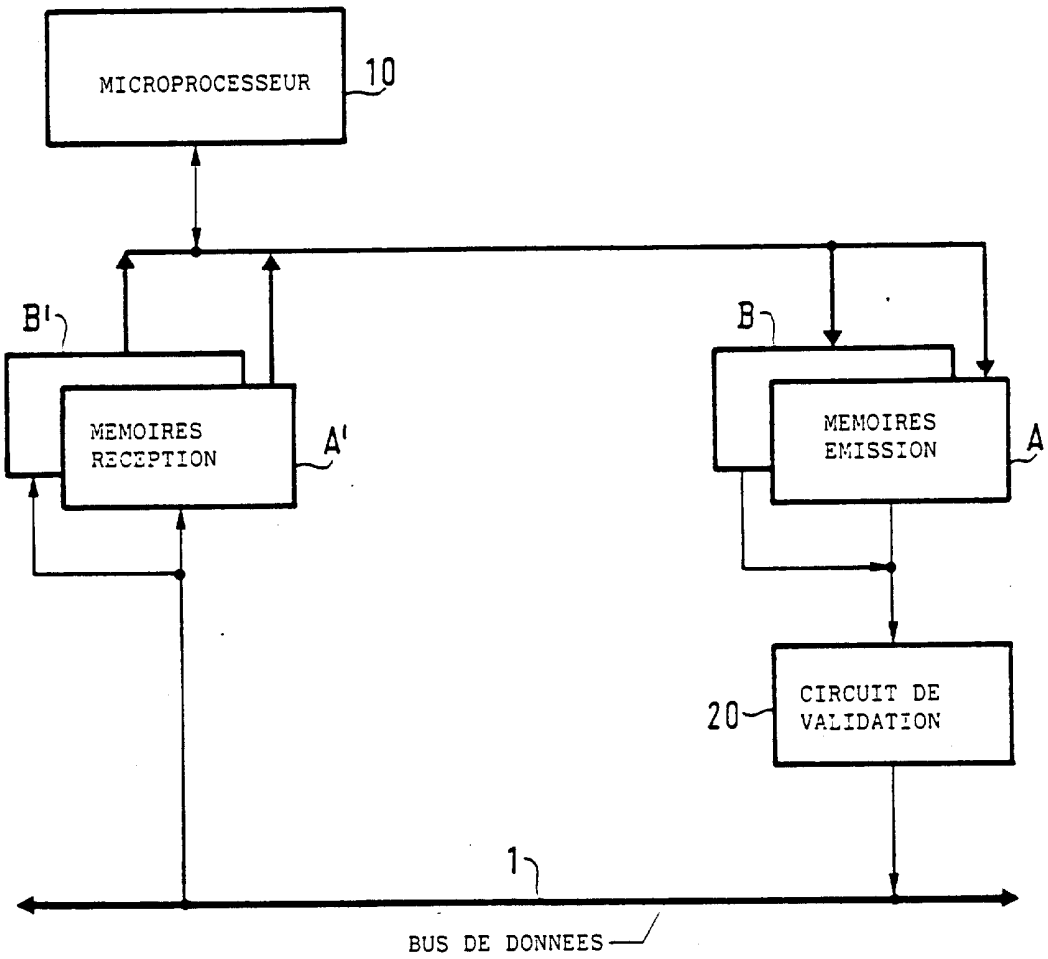

BASE DE TEMPS
11
CODEUR-DECODEUR
14
15
12
CSC
BF2
BD
MEMOIRE
PAQUETISSEUR-DEPAQUETISSEUR
MICROPROCESSEUR
10
13
SELECTION D'ADRESSAGE
16
INTERFACE D'ACCES
SYNCHRONISATION
3
4
BUS D'ARBITRAGE
1
BUS DE DONNEES

FIG. 4


MICROPROCESSEUR
10
B'
MEMOIRES
RECEPTION
A'
B
MEMOIRES
EMISSION
A
CIRCUIT DE
VALIDATION
20
1
BUS DE DONNEES