



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0018325
(43) 공개일자 2016년02월17일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
- (52) CPC특허분류(Coo. Cl.)
H01L 21/32051 (2013.01)
H01L 21/76807 (2013.01)
- (21) 출원번호 10-2015-0014101
- (22) 출원일자 2015년01월29일
심사청구일자 2015년01월29일
- (30) 우선권주장
14/532,886 2014년11월04일 미국(US)
62/034,424 2014년08월07일 미국(US)

- (71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
린 위홍
중화민국, 타이완 300-77, 신추, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
푸 메이후에이
중화민국, 타이완 300-77, 신추, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
린 성수안
중화민국, 타이완 300-77, 신추, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
- (74) 대리인
김태홍, 김진희

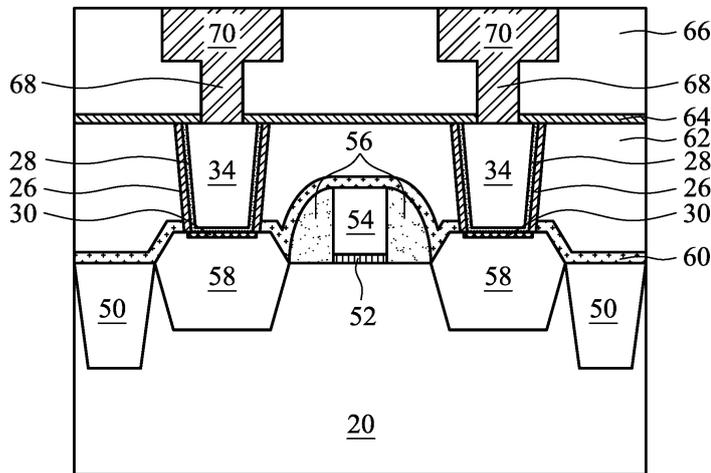
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **접촉 구조물 및 그 형성방법**

(57) 요약

접촉 구조물들 및 접촉 구조물들을 형성하는 방법이 본 개시에 의해 구상가능하다. 구조물은 기판 위의 유전체층, 접착층, 실리사이드, 배리어층, 및 도전성 물질을 포함한다. 유전체층은 기판의 표면에 이르는 개구를 갖는다. 접착층은 개구의 측벽들을 따라 있다. 실리사이드는 기판의 표면 상에 있다. 배리어층은 접착층과 실리사이드 상에 있고, 배리어층은 실리사이드와 직접 접한다. 도전성 물질은 개구 내의 배리어층 상에 있다.

대표도 - 도7



특허청구의 범위

청구항 1

구조물에 있어서,

기관 위에 있는 유전체층으로서, 상기 유전체층은 상기 기관의 표면에 이르는 개구를 갖는 것인, 상기 유전체층;

상기 개구의 측벽들을 따라 위치한 접착층;

상기 기관의 표면 상에 있는 실리사이드;

상기 접착층과 상기 실리사이드 상에 있는 배리어층으로서, 상기 배리어층은 상기 실리사이드와 직접 접해 있는 것인, 상기 배리어층; 및

상기 개구 내의 상기 배리어층 상에 있는 도전성 물질

을 포함하는 구조물.

청구항 2

제1항에 있어서, 상기 접착층은 티타늄이고, 상기 배리어층은 티타늄 질화물이며, 상기 실리사이드는 티타늄을 포함한 것인, 구조물.

청구항 3

제1항에 있어서, 상기 접착층의 두께는 5Å와 50Å 사이인 것인, 구조물.

청구항 4

제1항에 있어서, 상기 실리사이드의 두께는 40Å와 250Å 사이인 것인, 구조물.

청구항 5

제1항에 있어서, 상기 배리어층의 두께는 5Å와 50Å 사이인 것인, 구조물.

청구항 6

제1항에 있어서, 상기 도전성 물질은 텅스텐인 것인, 구조물.

청구항 7

구조물에 있어서,

기관 위에 있는 유전체층으로서, 개구가 상기 유전체층을 관통하여 상기 기관에 이르도록 형성되어 있는 것인, 상기 유전체층;

상기 개구의 유전체 측벽들 상에 있는 티타늄층;

상기 기관 상에 있는 티타늄 함유 실리사이드;

상기 티타늄층 및 상기 티타늄 함유 실리사이드 상에 있는 티타늄 질화물층으로서, 상기 티타늄층의 어떠한 부분도 상기 티타늄 질화물층의 적어도 일부분과 상기 티타늄 함유 실리사이드의 적어도 일부분 사이에 배치되어 있지 않는 것인, 상기 티타늄 질화물층; 및

상기 개구 내의 상기 티타늄 질화물층 상에 있는 도전성 물질

을 포함하는 구조물.

청구항 8

방법에 있어서,

유전체층을 관통하여 기판에 이르는 개구를 형성하는 단계로서, 상기 개구의 바닥면은 반도체 물질의 표면인 것인, 상기 개구를 형성하는 단계;

상기 반도체 물질의 표면 상과 상기 개구의 측벽들을 따라 접착층을 형성하는 단계;

상기 접착층 상에 배리어층을 형성하는 단계;

상기 배리어층을 형성한 후, 실리콘사이드를 형성하도록 상기 접착층을 상기 반도체 물질과 반응시키는 단계; 및

상기 개구 내의 상기 접착층 상에 도전성 물질을 형성하는 단계

를 포함하는 방법.

청구항 9

제8항에 있어서, 상기 반응시키는 단계는 어닐링을 포함한 것인, 방법.

청구항 10

제8항에 있어서, 상기 반도체 물질의 표면 상에 형성된 상기 접착층의 두께는 50Å와 300Å 사이인 것인, 방법.

명세서

기술분야

[0001] 본 출원은 “Method of Ti Salicide Formation with Low Resistance and Resulting Structure” 이라는 명칭으로 2014년 8월 7일에 출원된 미국 가특허 출원 62/034,424의 우선권을 청구하며, 이 가특허 출원 내용 전체는 참조로서 본 명세서내에 병합된다.

배경기술

[0002] 반도체 디바이스들은 예로서 개인 컴퓨터, 셀폰, 디지털 카메라, 및 다른 전자 장비와 같은 다양한 전자 응용들에서 이용된다. 반도체 디바이스들은 일반적으로 반도체 기판 위에 절연층들 또는 유전체층들, 도전층들, 및 반도체 물질층들을 순차적으로 퇴적하고, 리소그래피를 이용하여 다양한 물질층들을 패터닝하여 기판 상에 회로 컴포넌트들 및 엘리먼트들을 형성함으로써 제조된다.

발명의 내용

해결하려는 과제

[0003] 일반적으로 반도체 디바이스들은 고속으로 동작하는 것이 바람직하다. 뿐만 아니라, 반도체 디바이스들의 크기를 감소시켜서 디바이스 밀도를 증가시키고 전자 응용들의 기능성을 증가시키도록 하는 것이 바람직하다. 이러한 두가지 특징들은 때때로 상충할 수 있다. 반도체 디바이스의 몇몇 특징들은, 크기가 감소될 때, 사실상 보다 느린 속도를 초래시킬 수 있다. 고속과 크기 감소 둘 다를 달성시킬 수 있는 솔루션들이 요망된다.

과제의 해결 수단

[0004] 실시예에 따르면, 구조물은 기판 위의 유전체층, 접착층, 실리콘사이드, 배리어층, 및 도전성 물질을 포함한다. 유전체층은 기판의 표면에 이르는 개구를 갖는다. 접착층은 개구의 측벽들을 따라 있다. 실리콘사이드는 기판의 표면 상에 있다. 배리어층은 접착층과 실리콘사이드 상에 있고, 배리어층은 실리콘사이드와 직접 접한다. 도전성 물질은 개구 내의 배리어층 상에 있다.

[0005] 다른 실시예에 따르면, 구조물은 기판 위의 유전체층, 티타늄층, 티타늄 함유 실리콘사이드, 티타늄 질화물층, 및 도전성 물질을 포함한다. 개구는 유전체층을 관통하여 기판에 이른다. 티타늄층은 개구의 유전체 측벽들 상에 있다. 티타늄 함유 실리콘사이드는 기판 상에 있다. 티타늄 질화물층은 티타늄층 및 티타늄 함유 실리콘사이드 상에 있으며, 티타늄층의 어떠한 부분도 티타늄 질화물층의 적어도 일부분과 티타늄 함유 실리콘사이드의 적어도 일부분 사이에 배치되지 않는다. 도전성 물질은 개구 내의 티타늄 질화물층 상에 있다.

[0006] 추가적인 실시예에 따르면, 방법은 유전체층을 관통하여 기판에 이르는 개구를 형성하는 단계로서, 상기 개구의 바닥면은 반도체 물질의 표면인 것인, 상기 개구를 형성하는 단계; 상기 반도체 물질의 표면 상과 상기 개구의

측벽들을 따라 접착층을 형성하는 단계; 상기 접착층 상에 배리어층을 형성하는 단계; 상기 배리어층을 형성한 후, 실리사이드를 형성하도록 상기 접착층을 상기 반도체 물질과 반응시키는 단계; 및 상기 개구 내의 상기 접착층 상에 도전성 물질을 형성하는 단계를 포함한다.

발명의 효과

[0007] 실시예들은 여러 장점들을 달성할 수 있다. 첫번째로, 실리사이드화를 위해 이용된 미반응된 금속을 제거하는 단계가 생략될 수 있기 때문에 실리사이드 영역을 갖는 접촉 구조물을 형성하는 공정은 단순화될 수 있다. 뿐만 아니라, 어닐링의 온도 또는 지속시간보다는 금속량이 실리사이드 영역의 두께를 결정할 수 있기 때문에 실리사이드 영역의 두께는 보다 손쉽게 제어될 수 있다. 추가적으로, 레지스턴스가 감소될 수 있도록 배리어층과 실리사이드 영역 사이에는 어떠한 접착층도 배치되지 않는다. 레지스턴스를 감소시킴으로써, 레지스턴스-캐패시턴스(resistance-capacitance; RC) 시상수는 감소될 수 있고, 이로써 감소된 크기들에서도 보다 고속의 디바이스 동작을 초래시킬 수 있다. 다른 장점들이 달성될 수 있다.

도면의 간단한 설명

[0008] 본 발명개시의 양태들은 첨부 도면들과 함께 읽혀질 때 아래의 상세한 설명으로부터 최상으로 이해된다. 본 산업계에서의 표준적인 관행에 따라, 다양한 피처들은 실적으로 작도되지 않았음을 유념한다. 실제로, 다양한 피처들의 치수는 설명의 명료함을 위해 임의적으로 증가되거나 또는 감소될 수 있다.

도 1 내지 도 6은 몇몇의 실시예들에 따른 접촉 구조물을 형성하기 위한 중간 스테이지들이다.

도 7은 몇몇의 실시예들에 따른 접촉 구조물 및 접촉 구조물 형성 공정의 예시적인 응용이다.

발명을 실시하기 위한 구체적인 내용

[0009] 아래의 발명개시는 제공되는 본 발명내용의 여러 특징들을 구현하기 위한 많은 여러 실시예들 또는 예시들을 제공한다. 본 발명개시를 단순화하기 위해 컴포넌트들 및 배열들의 특정예들이 아래에서 설명된다. 물론, 이것들은 단지 예시들에 불과하며, 한정적인 것으로 의도된 것은 아니다. 예를 들어, 이후의 상세설명에서 제2 피처상의 또는 그 위의 제1 피처의 형성은 제1 및 제2 피처들이 직접적으로 접촉하여 형성되는 실시예를 포함할 수 있으며, 또한 제1 및 제2 피처들이 직접적으로 접촉하지 않을 수 있도록 추가적인 피처들이 제1 및 제2 피처들 사이에서 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 발명개시는 다양한 예시들에서 참조 부호들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 간략화 및 명료화를 위한 것이지만, 그러한 반복 그 자체가 개시된 다양한 실시예들 및/또는 구성 사이의 관계를 설명하는 것은 아니다.

[0010] 뿐만 아니라, 도면들에서 도시된 하나의 엘리먼트 또는 피처에 대한 다른 엘리먼트(들) 또는 피처(들)의 관계를 설명하기 위해 "아래", "밑", "보다 낮은", "위", "보다 위" 등과 같은 공간 상대적 용어들이 설명의 용이성을 위해 여기서 이용될 수 있다. 공간 상대적 용어들은 도면들에서 도시된 배향에 더하여 이용중에 있거나 또는 동작중에 있는 디바이스의 상이한 배향들을 망라하도록 의도된 것이다. 장치는 이와달리 배향될 수 있고(90° 회전되거나 또는 다른 배향으로 회전됨), 이에 따라 여기서 이용되는 공간 상대적 기술어들이 이와 똑같이 해석될 수 있다.

[0011] 접촉 구조물 및 그 형성방법이 다양한 실시예들에 따라 제공된다. 접촉 구조물을 형성하는 중간 스테이지들이 도시된다. 본 실시예들의 몇몇의 변형들을 논의한다. 본 업계의 당업자는 다른 실시예들의 범위 내에서 다른 수정들이 구상가능할 수 있다는 것을 손쉽게 이해할 것이다. 방법 실시예들은 특정한 순서로 논의되고 있지만, 다양한 다른 방법 실시예들이 임의의 논리적인 순서로 수행될 수 있고 여기서 기술된 단계들보다 적은 수 또는 많은 수의 단계들을 포함할 수 있다.

[0012] 도 1 내지 도 6은 몇몇의 실시예들에 따른 접촉 구조물을 형성하기 위한 중간 스테이지들을 도시한다. 도 1은 기판(20) 위에 있는 유전체층(22)과, 유전체층(22)을 관통하여 기판(20)에 이르도록 형성된 개구(24)를 나타낸다. 기판(20)은 벌크 반도체 기판, 반도체 온 절연체(semiconductor-on-insulator; SOI) 기판, 다층 기판 또는 구배 기판 등일 수 있고, (예컨대, p형 또는 n형 도펀트로) 도핑될 수 있거나 또는 도핑되지 않을 수 있다. 기판(20)은 실리콘 웨이퍼와 같은, 웨이퍼일 수 있다. 일반적으로, SOI 기판은 절연체층 상에 형성된 반도체 물질층을 포함한다. 절연체층은, 예컨대, 매립형 산화물(buried oxide; BOX)층, 실리콘 이산화물층 등일 수 있다. 절연체층은 실리콘 또는 유리 기판과 같은, 기판 상에 제공된다. 몇몇의 실시예들에서, 기판(20)의 반도체 물질은 실리콘, 게르마늄 등과 같은 원소 반도체 물질; 실리콘 카바이드, 갈륨 비소, 갈륨 인, 인듐 인, 인

듦 비소, 및/또는 인듐 안티몬을 비롯한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP를 비롯한 합금 반도체; 또는 이들의 조합을 포함할 수 있다. 추가적으로, 기판(20)은 예컨대 기판(20) 내의 디바이스에 걸쳐 캐리어 이동도를 증가시킬 수 있는 에피택시 영역들을 포함할 수 있다. 예를 들어, 트랜지스터의 소스/드레인 영역은 기판(20)의 물질과는 상이한 물질인 에피택시 영역을 포함할 수 있다. 에피택시 영역은 기판(20)과 관련하여 이전에 열거된 물질들 중 임의의 것일 수 있다. 개구(24)가 에피택시 영역에 이르도록 형성될 수 있다.

[0013] 유전체층(22)은 하나 이상의 유전체층들을 포함할 수 있다. 예를 들어, 유전체층(22)은 기판(20) 위에 있는 에칭 저지층과, 에칭 저지층 위에 있는 층간 유전체(Inter-Layer Dielectric; ILD)를 포함할 수 있다. 일반적으로, 에칭 저지층은 개구(24)를 형성할 때 에칭 공정을 저지시키기 위한 메커니즘을 제공한다. 에칭 저지층은 인접한 층들과는 상이한 에칭 선택도를 갖는 유전체 물질, 예컨대 아래에 있는 기판(20)과 위에 있는 ILD 사이의 에칭 저지층으로 형성된다. 실시예에서, 에칭 저지층은 화학적 기상 증착(chemical vapor deposition; CVD), 플라즈마 강화 CVD(plasma-enhanced CVD; PECVD) 등과 같은, 임의의 적절한 방법에 의해 퇴적된 SiN, SiCN, SiCO, CN, 이들의 조합 등으로 형성될 수 있다. ILD는 PSG(Phospho-Silicate Glass), BSG(Boro-Silicate Glass), BPSG(Boron-Doped Phospho-Silicate Glass), USG(undoped Silicate Glass) 등과 같은 유전체 물질로 형성되며, CVD, PECVD 등과 같은 임의의 적절한 방법에 의해 퇴적될 수 있다. 유전체층(22)은 ILD 위에 있는 하드마스크층, 화학적 기계적 폴리싱(chemical mechanical polish; CMP) 저지층 등과 같은 추가적인 층들을 포함할 수 있다.

[0014] 개구(24)는, 예컨대 허용가능한 포토리소그래피 및 에칭 공정(들)을 이용하여 유전체층(22)을 관통하여 형성된다. 에칭은 반응성 이온 에칭(reactive ion etch; RIE), 중성 빔 에칭(neutral beam etch; NBE) 등 또는 이들의 조합과 같은 임의의 허용가능한 에칭 공정일 수 있다. 에칭은 이방성일 수 있다. 에칭은 실질적으로 수직 한 측벽들을 갖는 개구를 형성할 수 있지만, 몇몇의 실시예들에서는 비수직한 측벽들이 구상된다.

[0015] 세정 공정은 개구(24) 내에서 기판(20)의 노출면의 자연 산화의 결과로서 형성될 수 있는 임의의 부적절한 산화물을 제거하기 위해 수행될 수 있다. 몇몇의 실시예들에서, 세정 공정은 HF계 가스 또는 NF₃계 및/또는 NH₃계 가스를 이용한다. 다른 실시예들에서, 고온 베이킹이 수행된다. 고온 베이킹은 HCl 가스의 존재하에 수행될 수 있거나 또는 HCl 가스의 존재없이 수행될 수 있다. 베이킹 온도는 약 700°C와 약 900°C 사이의 범위 내에 있을 수 있다. 베이킹 압력은 약 10Torr와 약 200Torr 사이의 범위 내에 있을 수 있다. 베이킹 지속기간은 예컨대, 약 30초와 약 4분 사이의 범위 내에 있을 수 있다.

[0016] 도 2에서, 접착층(26)이 개구(24)의 표면들을 따라 형성된다. 몇몇의 실시예들에서, 접착층(26)은 티타늄, 니켈, 텅스텐, 코발트, 금속 합금 등으로 구성된 것과 같은 금속층이다. 접착층(26)은 물리적 기상 증착(PVD), CVD, 원자층 증착(ALD) 등과 같은, 허용가능한 증착 공정을 이용하여 형성될 수 있다. 도시된 실시예에서, 접착층(26)은 PVD에 의해 퇴적된 티타늄이다. 접착층(26)의 제1 부분(26₁)은 기판(20)의 표면 상에 형성되고, 접착층(26)의 제2 부분들(26₂)은 개구(24)의 측벽들 상에 형성된다. PVD 증착의 결과로서, 제1 부분(26₁)의 (예컨대, 기판(20)의 표면에 대한 법선 방향으로의) 두께는 제2 부분들(26₂)의 (예컨대, 유전체층(22)의 각각의 측벽면에 대한 법선 방향으로의) 두께보다 클 수 있다. 예를 들어, 몇몇의 실시예들에서, 제1 부분(26₁)의 두께는 약 50Å 내지 약 300Å이며, 제2 부분들(26₂)의 두께는 약 5Å 내지 약 50Å 이다.

[0017] 도 3에서, 배리어층(28)이 접착층(26) 상에 형성된다. 몇몇의 실시예들에서, 배리어층(28)은 티타늄 질화물, 탄탈륨 질화물, 이들의 조합 등을 비롯한, 금속 질화물층이다. 배리어층(28)은 CVD, ALD 등과 같은 허용가능한 증착 공정을 이용하여 형성될 수 있다. 도시된 실시예에서, 배리어층(28)은 CVD에 의해 퇴적된 티타늄 질화물이다. 배리어층(28)은 실질적으로 균일한 두께로 컨포멀하게(conformally) 퇴적될 수 있지만, 실시예들은 일부 두께 변형을 구상할 수 있다. 예를 들어, 몇몇의 실시예들에서, 제1 부분(26₁) 상의 배리어층(28)의 두께는 약 15Å 내지 약 50Å이며, 제2 부분들(26₂) 상의 배리어층(28)의 두께는 약 5Å 내지 약 40Å 이다. 접착층(26)과 배리어층(28)을 이와 같이 서술하였지만, 이들 각각은 접착층 및/또는 배리어층으로서 서로 독립적으로 또는 다같이 함께 기능할 수 있다.

[0018] 도 4에서, 실리사이드 영역(30)이 기판(20) 상에 형성된다. 실리사이드 영역(30)은 기판(20)의 물질과 접착층(26)의 제1 부분(26₁)간의 반응으로부터 형성된 반응 물질을 포함한다. 실리사이드 영역(30)은 어닐링 공정을 이용하여 형성될 수 있다. 몇몇의 실시예들에서, 어닐링 공정은 도 3의 구조물을 약 20초 내지 약 180초의 지

속기간 동안 약 400℃ 내지 약 900℃의 온도의 환경 내에 배치시키는 것을 포함할 수 있다. 몇몇의 실시예들에서, 실리사이드 영역(30)의 두께는 약 40Å 내지 약 250Å 사이에 있다. 몇몇의 실시예들에서, 어닐링 공정은 접착층(26)의 제1 부분(26₁)과 기판(20)간에 반응을 일으켜서 이러한 반응에 의해 제1 부분(26₁)의 일부 또는 전체가 소모되게 한다. 이에 따라, 몇몇의 실시예들에서, 배리어층(28)의 바닥부분은 실리사이드 영역(30)에 직접 접할 수 있고, 몇몇의 실시예들에서, 실리사이드 영역(30)과 배리어층(28)의 바닥부분사이에 어떠한 접착층(26)도 배치되지 않는다. 실리사이드 영역(30)은 기판(20)의 물질과 접착층(26)의 물질을 포함할 수 있다. 예를 들어, 접착층(26)이 티타늄이고, (예컨대, 반응 이전에) 접착층(26)에 접해 있는 기판(20)이 실리콘이라고 가정하면, 실리사이드 영역(30)은 TiSi일 수 있다. 뿐만 아니라, 개구(24)의 측벽들 상의 접착층(26)의 물질, 예컨대 금속은 실리사이드 영역(30)에서와 동일한 물질, 예컨대 금속이다.

[0019] 도 5에서, 도전성 물질(32)이 개구(24) 내에 형성된다. 도전성 물질(32)은 텅스텐, 구리, 알루미늄, 니켈, 금, 은, 금속 합금 등과 같은 금속일 수 있다. 도전성 물질(32)은 CVD, PVD 등과 같은 허용가능한 증착 공정을 이용하여 형성될 수 있다. 도시된 실시예에서, 도전성 물질(32)은 CVD에 의해 퇴적된 텅스텐이다. 도시된 바와 같이, 도전성 물질(32)이 개구(24)의 나머지 부분을 채워서 유전체층(22) 위에 형성된다.

[0020] 도 6에서, 도전성 물질(32), 배리어층(28), 및 접착층(26)의 과잉 부분들을 제거하기 위해 CMP와 같은, 평탄화 공정이 수행된다. 평탄화 공정은, 유전체층(22), 접착층(26), 배리어층(28), 및 접착부(34)의 최상단면들이 동일 평면상에 있게 하면서 개구(24) 내에 접착부(34)를 형성한다.

[0021] 도 7은 도 1 내지 도 6에서 논의된 접착 구조물 및 접착 구조물 형성 공정의 예시적인 응용을 도시한다. 도 7은 접착부가 형성되는 전계 효과 트랜지스터(field effect transistor; FET)와 같은, 회로 컴포넌트를 도시한다. 회로 컴포넌트는 p형 FET(pFET) 또는 n형 FET(nFET)일 수 있다. 도시된 예시에서, 회로 컴포넌트는 평면형 FET이지만, 다른 실시예들은 3차원 핀 FET(finFET)을 구성할 수 있다. 다른 회로 컴포넌트들이 다양한 다른 실시예들에 의해 구상가능하다.

[0022] 도 7에서의 회로 컴포넌트는 기판(20), 격리 영역들(50), 게이트 유전체(52), 게이트 전극(54), 게이트 스페이서들(56), 소스/드레인 에피택셜 영역들(58), 에칭 저지층(60), ILD(62), 실리사이드 영역(30), 접착층(26), 배리어층(28), 접착부(34), 에칭 저지층(64), 금속간 유전체(Inter-Metal Dielectric; IMD)(66), 비아(68), 및 라인(70)을 포함한다. 회로 컴포넌트는 아래에서 설명되는 바와 같이 형성될 수 있다.

[0023] 기판(20)이 제공된다. 기판(20)은 도 1과 관련하여 이전에 설명한 바와 같이 임의의 기판일 수 있다. 그런 후 격리 영역들(50)이 기판(20) 내에 형성된다. 격리 영역들(50)은 기판(20) 내에 리세스들 및/또는 트렌치들을 에칭하고 이 리세스들 또는 트렌치들을 절연물질로 채움으로써 형성될 수 있다. 에칭은 RIE, NBE 등 또는 이들의 조합과 같은, 임의의 허용가능한 에칭 공정일 수 있다. 에칭은 이방성일 수 있다. 절연물질은 실리콘 산화물, 질화물 등 또는 이들의 조합과 같은 산화물일 수 있고, 고밀도 플라즈마 화학적 기상 증착(high density plasma chemical vapor deposition; HDP-CVD), 유동가능 CVD(flowable CVD; FCVD)(예컨대, 원격 플라즈마 시스템에서의 CVD 기반 물질 증착 및 CVD 기반 물질을 산화물과 같은 다른 물질로 변환시키기 위한 사후 경화) 등, 또는 이들의 조합에 의해 형성될 수 있다. 임의의 허용가능한 공정에 의해 형성된 다른 절연물질들이 이용될 수 있다. CMP와 같은, 평탄화 공정은 어떠한 과잉 절연물질도 제거할 수 있고, 동일 평면들인, 격리 영역들(50)의 최상단면들과 기판(20)의 최상단면을 형성할 수 있다. 격리 영역들(50)은 회로 컴포넌트가 형성될 기판(20) 내 활성 영역들을 정의할 수 있다. 웰이 활성 영역 내에 형성될 수 있다. 예를 들어, 웰을 형성하기 위해 도펀트들이 약 10^{17}cm^{-3} 와 약 10^{18}cm^{-3} 사이와 같이, 10^{18}cm^{-3} 이하의 농도로 주입될 수 있다. n형 회로 컴포넌트의 웰을 위한 p형 불순물들은 예컨대, 붕소, BF₂ 등을 포함하며, p형 회로 컴포넌트의 웰을 위한 n형 불순물들은 예컨대, 인, 비소 등을 포함한다. 주입된 불순물들을 활성화시키기 위해 어닐링이 이용될 수 있다.

[0024] 이어서, 게이트 유전체(52)와 게이트 전극(54)이 기판(20) 상에 형성된다. 게이트 유전체 물질층이 기판(20) 상에 퇴적된다. 몇몇의 실시예들에서, 게이트 유전체 물질은 실리콘 산화물, 실리콘 질화물, 하이k 유전체 물질, 이들의 다중층들 등을 포함한다. 하이k 유전체 물질은 약 7.0보다 큰 k 값을 가질 수 있으며, Hf, Al, Zr, La, Mg, Ba, Ti, Pb, 및 이들의 조합들의 금속 산화물 또는 실리케이트를 포함할 수 있다. 게이트 유전체 물질층의 형성 방법은 CVD, 분자 빔 증착(Molecular-Beam Deposition; MBD), ALD, PECVD 등을 포함할 수 있다. 게이트 전극 물질층이 게이트 유전체 물질층 상에 퇴적된다. 게이트 전극 물질은 도핑되거나 또는 도핑되지 않은 폴리실리콘; TiN, TaN, TaC, Co, Ru, Al, 이들의 조합, 또는 이들의 다중층들과 같은 금속 함유 물질; 또는 임의의 다른 적절한 물질일 수 있다. 게이트 전극 물질층의 형성 방법은 CVD, ALD, PECVD 등을 포함할 수 있다.

마스크층이 게이트 전극 물질층 상에 형성될 수 있다. 마스크층은 실리콘 질화물, 실리콘 카본 질화물, CN 등을 포함할 수 있고, CVD, PECVD 등에 의해 퇴적될 수 있다. 그런 후 마스크(미도시됨), 게이트 전극(54), 및 게이트 유전체(52)를 형성하기 위해, 마스크층, 게이트 전극 물질, 및 게이트 유전체 물질은 허용가능한 포토리소그래피 및 에칭 공정(들)을 이용하여 패터닝될 수 있다. 에칭은 RIE, NBE 등 또는 이들의 조합과 같은, 임의의 허용가능한 에칭 공정일 수 있다. 에칭은 이방성일 수 있다.

[0025] 그런 후, 약하게 도핑된 소스/드레인(lightly doped source/drain; LDD) 영역들(미도시됨)을 위한 주입이 수행될 수 있다. 패터닝된 마스크, 게이트 전극(54), 및/또는 게이트 유전체(52)는 기판(20) 내에 약하게 도핑된 소스/드레인 영역들을 형성하기 위한 주입을 위한 자가 정렬된 마스크로서 역할을 할 수 있다. p형 회로 컴포넌트를 위한 p형 불순물들은 예컨대, 붕소, BF₂ 등을 포함하며, n형 회로 컴포넌트를 위한 n형 불순물들은 예컨대, 인, 비소 등을 포함한다. 약하게 도핑된 소스/드레인 영역들은 약 10¹⁵cm⁻³ 내지 약 10¹⁶cm⁻³의 불순물들의 농도를 가질 수 있다. 주입된 불순물들을 활성화시키기 위해 어닐링이 이용될 수 있다.

[0026] 그런 후, 게이트 스페이서들(56)이 게이트 유전체(52)와 게이트 전극(54)을 따라 형성된다. 스페이서 물질층은 기판(20) 상에서 컨포멀하게 퇴적된다. 스페이서 물질은 실리콘 질화물, SiCN, 이들의 조합일 수 있고, CVD, PECVD 등에 의해 퇴적될 수 있다. 게이트 스페이서들(56)을 패터닝하기 위해 이방성 에칭이 수행된다. 이방성 에칭은 게이트 전극(54)과 게이트 유전체(52)의 측면들 상의 스페이서 물질층의 일부분들이 게이트 스페이서들(56)로서 남아있도록 스페이서 물질층의 수평 부분들을 제거할 수 있다. 에칭은 RIE, NBE 등 또는 이들의 조합과 같은, 임의의 허용가능한 에칭 공정일 수 있다.

[0027] 그런 후, 소스/드레인 에피택셜 영역들(58)이 형성된다. 리세스들이 기판(20) 내에 형성될 수 있다. 리세스는 예컨대, 게이트 스페이서들(56), 게이트 전극(54) 상의 마스크, 및 격리 영역들(50)이 일반적으로 에칭되지 않는, 기판(20)의 물질에 대한 선택적인 에칭을 포함할 수 있다. 따라서, 리세스들은 게이트 스페이서들(56)과 게이트 유전체(52)에 의해 덮여지지 않고 격리 영역들(50) 외부에 있는, 기판의 활성 영역 내에 정의될 수 있다. 에칭 공정은 건식 또는 습식, 및 등방성 또는 이방성과 같은, 임의의 적절한 에칭 공정일 수 있다. 소스/드레인 에피택셜 영역들(58)은 금속 유기 CVD(metal-organic CVD; MOCVD), 분자 빔 에피택시(molecular beam epitaxy; MBE), 액상 에피택시(liquid phase epitaxy; LPE), 기상 에피택시(vapor phase epitaxy; VPE), 선택적 에피택셜 성장(selective epitaxial growth; SEG) 등, 또는 이들의 조합에 의해, 리세스들 내에서 에피택셜 방식으로 성장된다. 소스/드레인 에피택셜 영역들(58)은 임의의 허용가능한 물질을 포함할 수 있다. n형 회로 컴포넌트에 적절할 수 있는 예시적인 물질은 실리콘, SiC, SiCP, SiP 등을 포함할 수 있다. p형 회로 컴포넌트에 적절할 수 있는 예시적인 물질은 SiGe, SiGeB 등을 포함할 수 있다. 소스/드레인 에피택셜 영역들(58)은 기판(20)의 최상단면으로부터 용기된 표면들을 가질 수 있고, 패킷(facet)들을 가질 수 있다.

[0028] 소스/드레인 에피택셜 영역들(58)은 약하게 도핑된 소스/드레인 영역들을 형성하기 위해 이전에 논의된 공정과 마찬가지로, 소스/드레인 영역들을 형성하기 위한 도펀트들로 주입될 수 있고, 그 뒤를 이어서 어닐링이 뒤따른다. p형 회로 컴포넌트를 위한 p형 불순물들은 예컨대, 붕소, BF₂ 등을 포함하며, n형 회로 컴포넌트를 위한 n형 불순물들은 예컨대, 인, 비소 등을 포함한다. 소스/드레인 영역들은 약 10¹⁹cm⁻³과 약 10²¹cm⁻³ 사이의 불순물 농도를 가질 수 있다. 다른 실시예들에서, 소스/드레인 에피택셜 영역들(58)은 성장 동안에 인 시추 도핑되거나, 또는 주입 도펀트들과 함께 인 시추 도핑에 의해 도핑될 수 있다.

[0029] 게이트 스페이서들(56)의 상위 부분들 및, 게이트 전극(54) 위의 마스크(존재하는 경우)는 나중에 이방성 에칭에 의해 제거될 수 있다. 에칭은 RIE, NBE 등 또는 이들의 조합과 같은, 임의의 허용가능한 에칭 공정일 수 있다. 에칭 이후, 게이트 스페이서들(56), 게이트 전극(54), 및 게이트 유전체(52)가 도 7에서 도시된 바와 같이 형성될 수 있다.

[0030] 에칭 저지층(60)이 기판(20), 격리 영역들, 소스/드레인 에피택셜 영역들(58), 게이트 스페이서들(56) 및 게이트 전극(54) 위에 컨포멀하게 형성된다. 실시예에서, 에칭 저지층(60)은 CVD, PECVD 등과 같은, 임의의 적절한 방법에 의해 퇴적된 SiN, SiCN, SiCO, CN, 이들의 조합 등으로 형성될 수 있다. ILD(62)가 에칭 저지층(60) 상에 형성된다. ILD(62)는 PSG, BSG, BPSG, USG 등과 같은 유전체 물질로 형성될 수 있으며, CVD, PECVD 등과 같은 임의의 적절한 방법에 의해 퇴적될 수 있다. ILD(62)는 평평한 최상단면을 갖도록 CMP에 의해 평탄화될 수 있다.

[0031] 그런 후, 접착층(26), 배리어층(28), 실리사이드 영역(30), 및 접촉부(34)를 각각 포함하는 접촉 구조물들이 ILD(62)와 에칭 저지층(60)을 관통하여 각각의 소스/드레인 에피택셜 영역(58)에 이르도록 형성된다. 소스/드

레인 에피택셜 영역들(58)이 형성되지 않는 다른 실시예들에서, 접촉 구조물들은 기판(20)에 이르도록 형성된다. 접촉 구조물들은 도 1 내지 도 6과 관련하여 이전에 설명한 바와 같이 형성될 수 있다.

[0032] 에칭 저지층(64)이 ILD(62) 및 접촉 구조물들 상에 형성된다. 실시예에서, 에칭 저지층(64)은 CVD, PECVD 등과 같은, 임의의 적절한 방법에 의해 퇴적된 SiN, SiCN, SiCO, CN, 이들의 조합 등으로 형성될 수 있다. IMD(66)가 에칭 저지층(64) 상에 형성된다. IMD(66)는 PSG, BSG, BPSG, USG 등과 같은 유전체 물질로 형성될 수 있으며, CVD, PECVD 등과 같은 임의의 적절한 방법에 의해 퇴적될 수 있다.

[0033] 예컨대, 라인(70)과 비아(68)를 포함하는 상호연결 구조물들이 IMD(66) 내에 형성된다. 상호연결 구조물들은 적절한 포토리소그래피 기술들을 이용하여 형성될 수 있다. 일반적으로, IMD(66) 내에서 리세스들 및/또는 개구들을 정의하기 위해 상호연결 구조물들에 대응하는 IMD(66)의 부분을 제거하도록 포토리소그래피 및 에칭 공정(들)이 수행된다. 에칭 공정 이후, 리세스들 및/또는 개구들은 하나 이상의 금속들, 원소 금속들, 천이 금속들의 층들 등과 같은 도전성 물질로 채워질 수 있다. 몇몇의 실시예들에서, 리세스들 및/또는 개구들을 채우는 데 이용되는 도전성 물질은 전기 화학 도금(electro-chemical plating; ECP)에 의해 구리 퇴적된다. 다른 도전성 물질들 및 공정들이 이용될 수 있다.

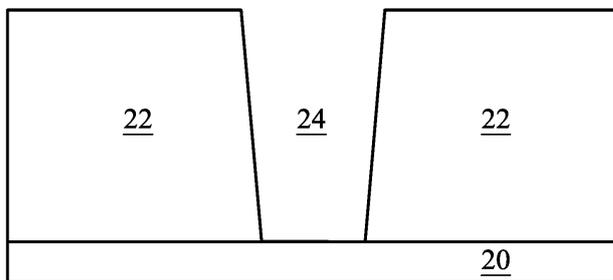
[0034] 상호연결 구조물들은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등과 같은, 하나 이상의 도전성 물질층들로 형성된 배리어/접착층을 포함할 수 있다. 실시예에서, 접착/배리어층은 얇은 탄탈륨 질화물층 및 그 뒤를 따르는 얇은 탄탈륨층을 포함할 수 있다. 탄탈륨 질화물 및 탄탈륨 층들은, 예컨대 CVD, PVD 등에 의해 형성될 수 있다. 과잉의 배리어층 물질 및/또는 도전성 물질을 제거하기 위해 CMP와 같은, 평탄화 공정이 수행될 수 있다. 이에 따라 형성된 상호연결 구조물은 접촉 구조물들에 결합된다. 추가적인 IMD 및 상호연결 구조물들이 형성될 수 있다.

[0035] 도 7에서의 회로 컴포넌트가 게이트 퍼스트(gate-first) 공정이라고 칭해질 수 있는 방식으로 형성된 것을 논의하였지만, 본 업계의 당업자는 여기서 개시된 양태들은 게이트 라스트(gate-last) 또는 대체 게이트 공정에 적용될 수 있도록 수정될 수 있다는 것을 손쉽게 이해할 것이다. 실시예들은 이러한 공정들에 대한 적용들을 구상가능하다.

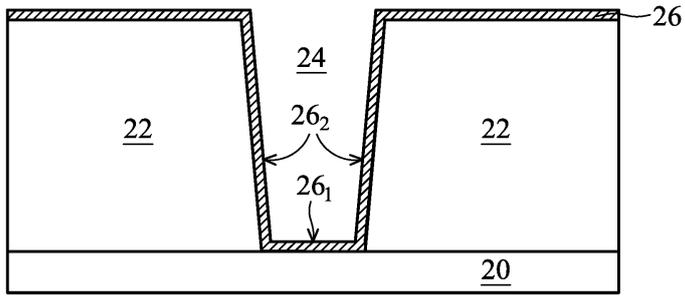
[0036] 본 발명개시의 양태들을 본 발명분야의 당업자가 보다 잘 이해할 수 있도록 앞에서는 여러 개의 실시예들의 특징들을 약속해왔다. 본 발명분야의 당업자는 여기서 소개한 실시예들의 동일한 목적들을 수행하거나 및/또는 동일한 장점들을 달성하기 위한 다른 공정들 및 구조물들을 설계하거나 또는 수정하기 위한 기초로서 본 발명개시를 자신들이 손쉽게 이용할 수 있다는 것을 알아야 한다. 본 발명분야의 당업자는 또한 이와 같은 등가적 구성들은 본 발명개시의 사상과 범위를 이탈하지 않는다는 것과, 본 발명개시의 사상과 범위를 이탈하지 않고서 당업자가 다양한 변경들, 대체들, 및 개조들을 본 발명에서 행할 수 있다는 것을 자각해야 한다.

도면

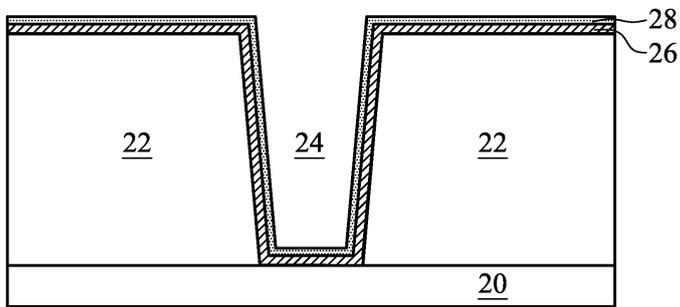
도면1



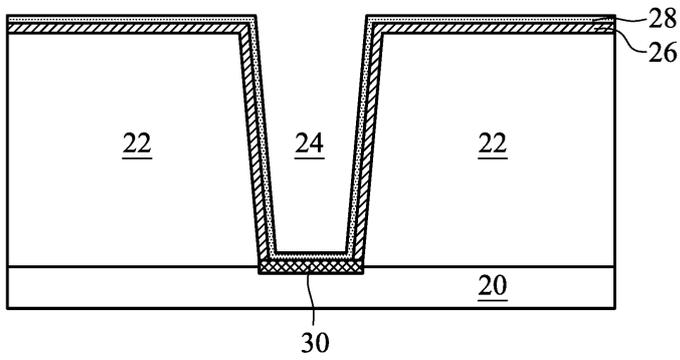
도면2



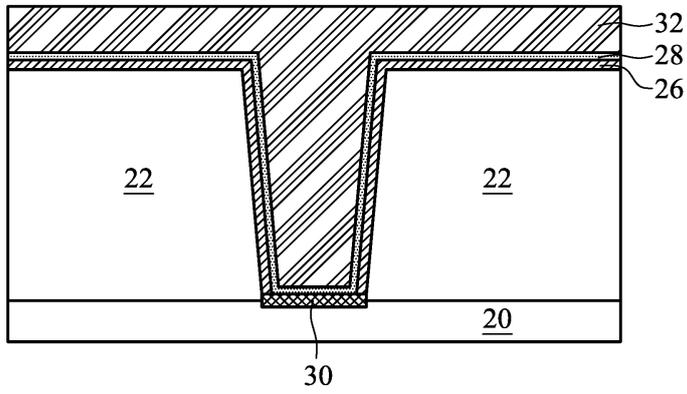
도면3



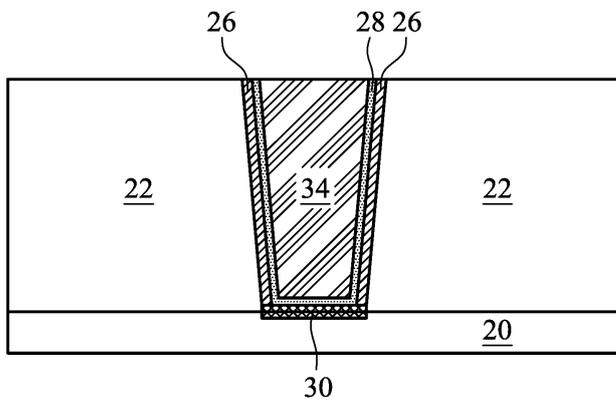
도면4



도면5



도면6



도면7

