

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4476534号  
(P4476534)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int. Cl. F I  
**HO3F 1/07 (2006.01)** HO3F 1/07  
**HO3F 3/60 (2006.01)** HO3F 3/60

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2001-577699 (P2001-577699)	(73) 特許権者	503455363
(86) (22) 出願日	平成13年4月11日(2001.4.11)		レイセオン カンパニー
(65) 公表番号	特表2004-501539 (P2004-501539A)		アメリカ合衆国 マサチューセッツ州 O
(43) 公表日	平成16年1月15日(2004.1.15)		2451 ウォルサム ウィンター スト
(86) 国際出願番号	PCT/US2001/011873		リート 870
(87) 国際公開番号	W02001/080420	(74) 代理人	100089705
(87) 国際公開日	平成13年10月25日(2001.10.25)		弁理士 社本 一夫
審査請求日	平成19年5月2日(2007.5.2)	(74) 代理人	100076691
(31) 優先権主張番号	09/547, 548		弁理士 増井 忠次
(32) 優先日	平成12年4月12日(2000.4.12)	(74) 代理人	100075270
(33) 優先権主張国	米国 (US)		弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男
		(74) 代理人	100096013
			弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】 増幅器回路

(57) 【特許請求の範囲】

【請求項 1】

入力ポートと出力ポートを有する増幅器回路であって、  
 前記増幅器回路の入力ポートに結合された入力ポートを有するとともに、出力ポートを有するキャリア増幅器と、  
 前記増幅器回路の入力ポートに結合された入力ポートを有するとともに、出力ポートを有するピーク増幅器と、  
 前記ピーク増幅器の出力ポートに結合された第1のポートを有するとともに、前記増幅器の出力ポートに結合された第2のポートを有する第1の遅延線と、  
 を備え、前記第1の遅延線が、前記ピーク増幅器の電力付加効率を最適化するように選択された第1の遅延特性を有する、  
 増幅器回路。

【請求項 2】

請求項1記載の増幅器回路において、前記増幅器回路の入力ポートに結合された第1のポート、前記キャリア増幅器の入力ポートに結合された第2のポート、および前記ピーク増幅器の入力ポートに結合された第3のポートを有するディバイダ回路をさらに備える増幅器回路。

【請求項 3】

請求項2記載の増幅器回路において、前記キャリア増幅器の出力ポートに結合された第1のポート、前記遅延線の第2のポートに結合された第2のポート、および前記増幅器回

路の出力ポートに結合された第3のポートを有する結合回路網をさらに備える増幅器回路。

【請求項4】

請求項1記載の増幅器回路において、前記キャリア増幅器は、

第1のポートと第2のポートを有する増幅装置と、

前記キャリア増幅器の入力ポートに結合された入力ポートと、前記増幅装置の第1のポートに結合された出力ポートを有し、最適の整合インピーダンス特性を前記増幅装置の第1のポートに与えるようなインピーダンス特性を有する入力整合回路網と、

前記増幅装置の第2のポートに結合された入力ポートと、前記キャリア増幅器の出力ポートに結合された出力ポートを有する出力整合回路網と、

を備える増幅器回路。

10

【請求項5】

請求項4記載の増幅器回路において、前記キャリア増幅器の前記出力整合回路網は、前記キャリア増幅器の前記出力電力を最大にするインピーダンス特性を前記増幅装置の第2のポートに与える増幅器回路。

【請求項6】

請求項1記載の増幅器回路において、前記ピーク増幅器は、

第1のポートと第2のポートを有する増幅装置と、

前記ピーク増幅器の第1のポートに結合された入力ポートを有するとともに、前記増幅装置の第1のポートに結合された出力ポートを有し、最適な整合インピーダンス特性を前記増幅装置の第1のポートに与えるようなインピーダンス特性を有する入力整合回路網と

20

、前記増幅装置の第2のポートに結合された入力ポートを有するとともに、前記第1の遅延線の第1のポートに結合された出力ポートを有する出力整合回路網と、

を備える増幅器回路。

【請求項7】

請求項6記載の増幅器回路において、前記ピーク増幅器の前記入力整合回路網は、低信号条件のもとに、所定のインピーダンス特性を前記第1のポートおよび前記増幅装置に与え、

前記ピーク増幅器が最大出力電力を提供するようなインピーダンス整合特性を有する前記出力整合回路網が提供される増幅器回路。

30

【請求項8】

請求項1記載の増幅器回路において、バックオフ状態で、前記増幅器回路の電力付加効率を最適化するように選択された遅延特性を有する前記第1の遅延線が提供される増幅器回路。

【請求項9】

請求項8記載の増幅器回路において、前記ディバイダ回路の前記出力ポートと、前記ピーク増幅器の前記入力ポートとの間に結合された第2の遅延線をさらに備え、前記第2の遅延線は、前記キャリア増幅器の前記入力ポートから前記結合回路網の第1の入力ポートまで延びる信号経路と、前記ピーク増幅器の入力ポートから前記結合回路網の第2の入力ポートまで延びる信号経路との間の経路長を等しくする増幅器回路。

40

【請求項10】

請求項8記載の増幅器回路において、前記キャリア増幅器はキャリア増幅器信号経路内に配置され、前記ピーク増幅器はピーク増幅器信号経路内に配置され、

前記ディバイダ回路の前記第1の出力ポートと、前記キャリア増幅器の前記入力ポートとの間に結合され、キャリア増幅器信号経路とピーク増幅器信号経路との間の信号経路長を等しくする遅延を有する第2の遅延線をさらに備える増幅器回路。

【請求項11】

増幅器回路を提供する方法であって、

第1の増幅装置を提供するステップと、

50

前記第 1 の増幅装置の入力インピーダンスを整合させるステップと、  
 前記第 1 の増幅装置の出力インピーダンスを電力整合させるステップと、  
 第 2 の増幅装置を提供するステップと、  
 前記第 2 の増幅装置の出力インピーダンスを電力整合させるステップと、  
 低信号条件のもとに、前記第 2 の増幅装置の入力インピーダンスを整合させるステップと、

第 1 の遅延線が、増幅器の電力付加効率を最適化するように選択された遅延を与えるように、前記第 2 の増幅装置の出力ポートに結合される第 1 の遅延線を選択するステップと、

前記第 1 の増幅装置の入力ポートに結合される第 2 の遅延線によって提供される遅延線を選択するステップであって、前記第 2 の遅延線によって与えられる遅延が、該第 2 の遅延線の入力から、前記第 1 の増幅装置に結合された出力整合回路網の出力までの信号経路長と、前記第 2 の増幅装置に結合された入力整合回路網の入力ポートから、前記第 1 の遅延線の出力ポートまでの信号経路長を等しくするように選択するステップと、  
 を含む方法。

10

#### 【請求項 1 2】

請求項 1 1 記載の方法において、前記第 1 の増幅装置はキャリア増幅器に対応し、前記第 2 の増幅装置はピーク増幅器に対応し、また前記キャリア増幅器と前記ピーク増幅器によって供給される信号を効率的に組み合わせることができるように、前記ピーク増幅器の遅延線によって与えられる遅延が選択される方法。

20

#### 【請求項 1 3】

請求項 1 2 記載の方法において、前記ピーク増幅器の遅延線によって与えられる遅延は、前記遅延が、バックオフ状態で前記増幅器回路の電力付加効率を最適化するように選択される方法。

#### 【請求項 1 4】

請求項 1 3 記載の方法において、前記ピーク増幅器の遅延線によって与えられる遅延を選択するステップは、

- ( a ) 遅延を選択するステップと、
- ( b ) バックオフ状態で、前記増幅器回路の電力付加効率を測定するステップと、
- ( c ) 前記測定された電力付加効率値と電力付加効率しきい値を比較するステップと、
- ( d ) 最適な電力付加効率値を与える遅延が得られるまで、ステップ ( a ) ~ ( c ) を繰り返すステップと、

30

を含む方法。

#### 【請求項 1 5】

請求項 1 4 記載の方法において、前記キャリア増幅器によって与えられる遅延を選択するステップは、

- ( e ) 前記キャリア増幅器の遅延線用の遅延を選択するステップと、
- ( f ) 前記増幅器の出力電力を測定するステップと、
- ( g ) 前記測定された出力値としきい値を比較するステップと、
- ( h ) 前記増幅器回路が最適な出力電力を供給するまで、ステップ ( e ) ~ ( g ) を繰り返すステップと、

40

を含む方法。

#### 【発明の詳細な説明】

#### 【 0 0 0 1 】

#### 発明の分野

本発明は R F 回路に関し、更に詳細には R F 電力増幅器回路に関する。

#### 発明の背景

当業界で知られているように、電気通信システム、衛星システム、および他のシステムでは、無線周波数 ( R F ) 電力増幅器 ( P A ) は、非常に効率的な態様で R F 信号を線形的に増幅することが望ましい。効率は、一般的に、入力駆動レベルに比例する。通常、増幅

50

器がその最大出力電力に近づくまで、高い効率は得られない。しかしながら、これは、線形動作と矛盾することになる。したがって、通常、RF電力増幅器回路において、最大効率の達成と高い直線性の達成との間で、折り合いを取るよう調整しなければならない。

【0002】

さらに周知のように、いわゆるドハティ・タイプの増幅器、すなわち、もっと簡単に言えばドハティ増幅器は、このような問題を克服するために用いられてきた。一般に、ドハティ増幅器は、信号源と負荷との間に並列に接続された一对の伝送路を含む。これらの伝送路の各々は1つの増幅器を含んでいる。

【0003】

1つの信号経路では、この増幅器は、「B」級増幅器または「AB」級増幅器として配置される(ドハティ増幅器の設計では、「キャリア増幅器(carrier amplifier)」とも呼ばれる)。キャリア増幅器は、比較的低位の信号レベルを有する信号を増幅するように、設計され、バイアスがかけられる。他方の信号経路では、この増幅器は、「C」級増幅器として配置される(ドハティ増幅器の設計では、「ピーク増幅器(peak amplifier)」とも呼ばれる)。ピーク増幅器は、信号源から供給されるRF信号の瞬時値が所定のしきい値よりも低い信号レベルを有するとき、ピーク増幅器がオフとなるように設計され、バイアスがかけられる。ピーク増幅器の入力ポートに送られるRF信号の信号レベルが所定のしきい値のレベルに達するときには、ピーク増幅器にバイアスをかけてオン状態にし、ピーク増幅器とキャリア増幅器の双方が、RF電力を負荷に供給する。

【0004】

このような手法では、ドハティ増幅器は、増幅器出力電力( $P_{out}$ )の所望の範囲にわたって、最適な電力付加(印加)効率(PAE: power added efficiency)を提供できる。理想的なドハティ増幅器は、 $P_{out}$ の6デシベル(dB)の範囲にわたって、一定のPAE値を有する。

【0005】

ドハティ増幅器の並列信号経路中に配置されるキャリア増幅器とピーク増幅器は、大電力電界効果トランジスタ(FET)で製造することができる。一般に、大電力FETの最適な負荷インピーダンスは、大電力レベルでは比較的小さい。このことから、キャリア増幅器からの信号とピーク増幅器からの信号を組み合わせると同時に、ドハティ増幅器の出力電力の範囲にわたって、比較的高い利得とPAEを維持することが比較的困難となる。

【0006】

従って、増幅器出力電力の比較的広い範囲にわたって、所望のPAEを提供するRF電力増幅器を設けることが望ましい。さらに、マルチ・キャリアのノイズ状の信号に対して、線形で、効率的なRF増幅器を設けることも望ましい。

発明の要約

本発明によれば、ドハティ増幅器を提供する方法は、第1の信号経路中の第1の増幅装置の入力インピーダンスを最適に整合させるステップ、最大電力出力を提供するために、第1の増幅装置の出力インピーダンスを電力整合させるステップ、最大の電力出力を供給するために、第2の信号経路中の第2の増幅装置の出力インピーダンスを電力整合させるステップ、低信号条件のもとに、第2の増幅装置の入力インピーダンスを最適に整合させるステップ、および、第2増幅装置の出力に、ドハティ増幅器のPAEを最適化するために選択された時間遅延を有する時間遅延回路を設けるステップを含む。この特別の構成によって、出力電力の比較的広い範囲にわたって、比較的高いPAEを有するドハティ増幅器が提供される。一実施形態では、第1の信号経路はキャリア増幅器信号経路に対応し、また、第2の信号経路はピーク増幅器信号経路に対応する。キャリア増幅器信号経路とピーク増幅器信号経路との間に、等しい伝搬時間を与えるために、第2の遅延線を利用することができる。ピーク増幅器信号経路における遅延は、入力整合回路網、増幅装置、出力整合回路網、および遅延線から構成されることが注目される。同様に、キャリア増幅器信号経路における遅延は、入力整合回路網、第1の増幅装置、出力整合回路網から提供される

10

20

30

40

50

。これら2つの信号経路による遅延を等しくするために必要な遅延は、正または負になる可能性があることに注意すべきである。キャリア増幅器信号経路において必要となる遅延が負である場合には、このような遅延は、通常、ピーク増幅器信号経路において正の遅延として実現される。その一方、キャリア増幅器信号経路において必要となる遅延が正である場合には、通常、遅延はキャリア増幅器信号経路において正の遅延として実現される。それによって、キャリア増幅器信号経路中のさらなる遅延源が、キャリア増幅器信号経路中に設けられた遅延線による場合がある。したがって、キャリア増幅器信号経路を通して伝搬する信号が、ピーク増幅器信号経路を通して伝搬する信号と同じ遅延を受けることを確実にする第1の遅延線と、ドハティ増幅器の出力電力の所望範囲にわたって最適なPAEを有するドハティ増幅器を提供する第2の遅延線とを有するドハティ増幅器が提供される。

10

#### 【0007】

本発明は、図面を参照する以下の詳細な説明から、本発明の前述の特徴とともに、より完全に理解することができる。

#### 好適な実施形態の説明

ここで、図1を参照すると、入力ポート10aと出力ポート10bを有する増幅器回路10はディバイダ(分割器)回路12を含み、ディバイダ回路12は、増幅器回路10の入力ポート10aに結合された入力ポートを有するとともに、一对の出力ポート12a、12bを有する。ディバイダ回路12は、受信信号を名目上等しい2つの部分に分割または分配することが可能な任意のタイプの回路として設けられることを理解すべきである。ディバイダ回路12は、例えば、0°ハイブリッド・カプラ、90°3dBハイブリッド・カプラ、180°3dBハイブリッド・カプラ、いわゆるマジックT、または、3dB電力ディバイダ回路を含むが、それらに限定されるものではない。

20

#### 【0008】

ディバイダ回路12の出力ポート12aは、増幅器回路10のキャリア増幅器信号経路14の入力ポート14aに導かれる。ディバイダ回路12の出力ポート12bは、増幅器回路10のピーク増幅器信号経路16の入力ポート16aに導かれる。増幅器回路10は、ディバイダ回路12とコンバイナ(結合)回路網21との間に並列に接続された一对の伝送路14、16を含み、したがって、増幅器回路10は、このようにドハティ・タイプの増幅器に相当する。

30

#### 【0009】

まず最初に、キャリア増幅器信号経路14を考察すると、キャリア増幅器信号経路14は、キャリア増幅器信号経路14の入力ポートに結合された入力ポート18aと、キャリア増幅器20の入力ポート20aに結合された出力ポート18bとを有する遅延線18を含む。キャリア増幅器20は、入力整合回路網22、増幅装置24、出力整合回路網26を含む。出力整合回路網26の出力ポートは、キャリア増幅器20の出力ポート20bに結合される。遅延線18の目的は、キャリア増幅器信号経路14における遅延を、ピーク増幅器信号経路16における遅延と等しくすることであることは理解される。

#### 【0010】

厳密に言えば、遅延線は、遅延線に送られた信号を、指定された時間遅延だけ遅延させる。これは、遅延線の位相シフトが、周波数の線形的(一次)関数であることを意味している。マイクロストリップ伝送線路は遅延線に近似している。これは、マイクロストリップ伝送線路の位相シフトが、必ずしも、周波数の線形的関数ではないためである(すなわち、マイクロストリップ伝送線路は分散性のものである)。遅延線は、この伝送路に、インピーダンス変換をもたらさない。したがって、例えば集中素子L-C回路網を用いる場合のように、限られた帯域幅にわたって、遅延線を実装するやり方が多数あることを理解すべきである。

40

#### 【0011】

この遅延線で与えられる遅延の一部または、ときには全部が、入力整合回路網22などのキャリア増幅器20あるいはディバイダ回路12の一部で与えられることを理解すべきで

50

ある。このような場合、この遅延線は、入力整合回路網などの他の構成要素に「併合される」か、または「統合される」と言われる。

【0012】

さらに、特定の一実施形態では、入力整合回路網と出力整合回路網は、関連する遅延を有する帯域フィルタ構造として実現されることを理解すべきである。伝達関数の所望の振幅と位相を指定した後で、従来の技法を用いれば、所望の遅延を有するフィルタ回路を設計することができる。このフィルタ特性は、増幅器の基本動作周波数の第2高調波および第3高調波まで制御されなければならないと考えられる。

【0013】

さらに、キャリア増幅器20は、「A」級増幅器または「AB」級増幅器として動作するように選択されることを理解すべきである。

10

増幅器出力ポート20bは、オプションのリアクティブ（リアクタンス性）結合回路網21の入力ポート21aに結合される。リアクティブ結合回路網21は、増幅器出力ポート20b、24bに結合された2つのポートを隔離せず、その合成信号を出力ポート10bに供給できるような任意の回路として設けることができる。

【0014】

さらに、この特定の例では、キャリア増幅器20とピーク増幅器24はそれぞれ、50オームのシステム内で動作するように設計されていて、比較的高い入力信号レベルでは、各増幅器20、24が、同位相で加わる等しい電流を供給するようにしている。リアクティブ結合回路網21は、このような場合、各増幅器出力ポート20b、24bにインピーダンス特性を与えて、各増幅器20、24にとって、50オームの負荷に電力が伝送されているようにするために必要とされる。

20

【0015】

キャリア増幅器20とピーク増幅器24が動作して、100オームの負荷に信号を供給するように設計されるとすれば、リアクティブ結合回路網は、必要とされないであろう。したがって、増幅器回路10は、さらにコンパクトとなり、その上、この増幅器回路は、さらに広い周波数範囲にわたって動作して、利得（ゲイン）やPAEなどの増幅器特性が大幅に低下しないようにすることができる。

【0016】

したがって、結合回路網21は、該回路網21に供給される信号を、ポート21a、21bで効率的に組み合わせて、ポート21cに出力信号を供給することのできる任意のタイプの回路として設けられてもよいことを理解すべきである。結合回路網21は、適切なインピーダンス特性と位相特性を周波数の関数として提供するように選択される。この装置は、キャリア増幅器とピーク増幅器に結合されたコンバイナ回路網21のそれぞれのポートへ、それらの増幅器から出された信号間で相互作用を行わせることになる。

30

【0017】

次に、ピーク増幅器信号経路16を考察すると、ピーク増幅器信号経路16は、ディバイダ回路12の出力ポート12bに結合された入力ポート24aと、遅延線34の入力ポート34aに結合された出力ポート24bとを有するピーク増幅器24を含む。ピーク増幅器24は、入力整合回路網28、増幅装置30、出力整合回路網32を含む。

40

【0018】

出力整合回路網32の出力ポートは、ピーク増幅器24の出力ポート24bに結合される。ピーク増幅器24は、「C」級増幅器として動作するように選択されることを理解すべきである。好ましい実施形態では、ピーク増幅器24は、自己バイアス形増幅器として配置される。この自己バイアス形増幅器とは、瞬時印加電圧がしきい値を超えると、ポート24aに送られた入力信号が、増幅装置30（例えば、FETなどのトランジスタ）にバイアスをかけて、それを「オン」状態にすることを意味している。

【0019】

遅延線34の第2のポート34bは、コンバイナ回路網21の入力ポート21bに結合される。コンバイナ回路網21の出力ポート21cは、増幅器回路10の出力ポート10b

50

に結合される。遅延線 3 4 によって与えられる遅延は、増幅器回路 1 0 の電力付加効率 ( P A E ) を最適化するように選択される。遅延線 1 8 に関して、前述したと同様の態様で、遅延線 3 4 も、出力整合回路網 3 2、または結合回路網 2 1 に「併合される」か、または「統合される」ことも可能である。

【 0 0 2 0 】

遅延線 3 4 が、ピーク増幅器信号経路 1 6 に遅延を加えると、増幅器回路 1 0 は、増幅器出力電力 (  $P_{out}$  ) の比較的広い範囲にわたって、比較的一定の P A E を与えることとなる。増幅器回路 1 0 が最適の P A E を有する結果となる遅延線 3 4 による特定の遅延は、実験的な技法を用いて知ることができる。

【 0 0 2 1 】

一般に、入力駆動電流が大きくなるにつれて、キャリア増幅器により供給される出力電流が直線的に大きくなる。この駆動電流が大きくなり続けると、キャリア増幅器の利得特性は、線形とはならなくなるとともに、電力増幅器がさらに大きい電流を供給する。しかしながら、ドハティ増幅器の入力ポート 1 0 a と出力ポート 1 0 b との間の伝達関数は、線形のままである。このことは、とりわけ、入力ポート 1 0 a に供給された単一トーンが、増幅器の出力ポート 1 0 b において、最小数の高調波を持つことになることを意味している。キャリア増幅器と電力増幅器からの 2 つの波形は、理想的に、純粋な正弦波が発生するようなやり方で組み合わせられている。時間領域での第 2 高調波と第 3 高調波の加算も、ドハティ増幅器 1 0 の出力ポート 1 0 b に、その正弦波を発生させるように加算する。

【 0 0 2 2 】

キャリア増幅器とピーク増幅器との間に、非線形の相互作用がすべてかかわっているために、一応用例では、設計が実験的に行われた。しかしながら、当業者であれば、解析的手法が利用できることがわかるであろう。さらに、増幅器の線形性は、信号源インピーダンスと負荷インピーダンスの関数であることを理解すべきである。したがって、整合回路網 2 2、2 6、2 8、3 2 は、他の特性だけでなく、線形性の特性も考慮に入れて選択されなければならない。これは、ピーク増幅器とキャリア増幅器の双方の線形性を向上させると、所与の駆動レベルに対して、ドハティ増幅器の出力部の相互変調の生成物を小さくすることができるためである。駆動レベルとともに歪みが増すため、回路の線形性を向上させることにより、駆動レベルを大きくして、指定した歪みレベルを得ることができ、この点で、さらに高い P A E を有する回路が提供される。したがって、ドハティ増幅器の性能は、線形性に対する整合を向上させることで、高めることができる。

【 0 0 2 3 】

次に、図 2 を参照すると、本発明によるドハティ増幅器を設計するステップを示す流れ図が示される。このプロセスは、ステップ 3 6 から開始する。ステップ 3 6 において、増幅器に使用される第 1 の増幅装置と第 2 の増幅装置を選択した後で、出力整合回路網 ( 例えば、図 1 のキャリア増幅器 2 0 の出力整合回路網 2 6 ) は、この増幅装置が増幅器出力ポート ( 例えば、キャリア増幅器 2 0 の出力ポート 2 0 b ) に最大出力電力を理想的に供給できるようにするインピーダンス特性を、この増幅装置の出力ポートに与えるように、選択される。

【 0 0 2 4 】

次に、ステップ 3 8 に示されるように、入力整合回路網 ( 例えば、図 1 のキャリア増幅器 2 0 の入力整合回路網 2 2 ) は、所望のピーク増幅器利得を提供するように選択されたインピーダンス特性を、増幅装置 ( 例えば、図 1 の増幅装置 2 4 ) の入力ポートに与えるように、選択される。この増幅装置が無条件に安定している場合には、入力整合回路網 2 2 は、この増幅装置の入力インピーダンス特性の共役整合に相当するインピーダンス特性を提供できる。その一方、不安定になる可能性がある装置の場合には、最適な整合インピーダンス ( すなわち、全ての周波数にわたって装置を安定させ、また増幅器の所望の利得および位相を同時に提供する信号源インピーダンスおよび負荷インピーダンス ) を与えることが望ましい。

【 0 0 2 5 】

次に、処理はステップ40に移り、ステップ40において、出力整合回路網（例えば、図1のピーク増幅器24の出力整合回路網32）は、増幅装置（例えば、図1の増幅装置30）が増幅器出力ポート（例えば、図1のピーク増幅器24の出力ポート24b）に最大出力電力を理想的に供給できるようにするインピーダンス特性を、この増幅装置（例えば、図1の増幅装置）の出力ポートに与えるように設けられる。

#### 【0026】

次に、処理はステップ42に移り、ステップ42において、入力整合回路網（例えば、図1のピーク増幅器24の入力整合回路網28）が配置される。この入力整合回路網は、増幅装置（例えば、増幅装置30）の入力インピーダンスの最適整合に相当するインピーダンス特性を、この増幅装置の入力ポートに与えるインピーダンス特性を有する。この入力整合回路網の最適な整合インピーダンス特性は、ピーク増幅器が、その入力ポートに提供される比較的低い入力信号レベルを有するときに（すなわち、図1のピーク増幅器24が「バックオフ」状態（例えば、1dB圧縮点から3~5dB低いところ）にあるときに）、最適整合が生じるようなものである。

#### 【0027】

次に、ステップ44とステップ46に示されるように、キャリア増幅器信号経路とピーク増幅器信号経路のそれぞれにある遅延線（例えば、図1のキャリア増幅器信号経路14とピーク増幅器信号経路16のそれぞれにある遅延線18、34）の遅延が選択される。前述のように、キャリア増幅器信号経路14における遅延線18の目的は、キャリア増幅器信号経路14の遅延とピーク増幅器信号経路16の遅延を等しくすることである。場合により、キャリア増幅器信号経路の長さが、ピーク増幅器信号経路の長さよりも短く、またキャリア増幅器信号経路の長さが、ピーク増幅器信号経路の長さよりも長く、あるいはキャリア増幅器信号経路の長さが、ピーク増幅器信号経路の長さに等しいこともある。したがって、キャリア増幅器信号経路の遅延線（例えば、図1の遅延線18）で要求される遅延は、正の遅延、負の遅延、またはゼロの遅延である可能性がある。

#### 【0028】

ゼロの遅延が要求される場合には、遅延線（例えば、遅延線18）は、ただ省略されるだけである。負の遅延が要求される場合には、遅延線18は、ピーク増幅器信号経路16において正の遅延として実現することができる。したがって、このような場合、キャリア増幅器信号経路14は遅延線を含まないことになり、また、ピーク増幅器信号経路16は、2つの遅延線（図1の遅延線18、34）を含むことになる。

#### 【0029】

ピーク増幅器信号経路16中の遅延線34によって与えられる遅延は、ドハティ増幅器10の電力付加効率（PAE）を最適化するように選択される。遅延線34によって与えられる遅延を選択するために、遅延線18と遅延線34を通して伝搬する信号は、出力ポート10bで結合する（例えば、コンバイナ21により）必要があるために、相互に作用しなければならないことを理解すべきである。したがって、遅延線18に変更を加える場合には、遅延線34も変更しなければならない。初めに、遅延線34を選択/変更して、 $P_{OUT}$ の持定値を測定することができる。次に、遅延線18によって与えられる遅延に調整を行って、PAEを最大にすることができる。次に、 $P_{OUT}$ を小さくして、 $P_{OUT}$ の関数としてPAEを観測する。所望のPAE特性を有するドハティ増幅器10を提供する上記ステップは、遅延線18、34によって与えられる一対の遅延値が見つけれられるまで繰り返される。

#### 【0030】

図2Aを参照すると、遅延線34によって与えられる遅延の影響が示されている。遅延線34が、遅延をほとんど、またはまったく与えない場合には、PAE曲線48aが得られ、また、遅延線34によって与えられる遅延が増加するにしたがって、曲線48b~48dが得られる。遅延線34によって与えられる遅延は、キャリア増幅器とピーク増幅器との間の相互作用に影響を及ぼすか、あるいはそのような相互作用を制御することになるので、PAE曲線48a~48dに示すようなシフトが生じる。このような相互作用は、基

10

20

30

40

50

本周波数の信号と、高調波の信号の双方にかかわるために、非線形である。線形増幅器を有することが望ましいので、すべての信号は、ドハティ増幅器の出力ポートにおいて、同位相で加わるべきである。

【 0 0 3 1 】

遅延線とピーク増幅器信号経路中の遅延線（例えば、遅延線 1 8 と遅延線 3 4）で与えられる特定の遅延は、実験的技法を用いて選択可能であることを理解すべきである。

【 0 0 3 2 】

次に、図 3 を参照すると、増幅器回路 5 0 は、入力ポート 5 2 a と一対の出力ポート 5 2 b、5 2 c を有するオプション・ディバイダ回路 5 2 を含む。出力ポート 5 2 b は、キャリア増幅器 5 4 の入力ポート 5 4 a に結合される。キャリア増幅器 5 4 の出力ポート 5 4 b は、結合回路網 5 6 に入力ポート 5 6 a において結合される。

10

【 0 0 3 3 】

ディバイダ回路 5 2 の出力ポート 5 2 c は、ピーク増幅器 5 8 の入力ポート 5 8 a に結合され、またピーク増幅器 5 8 の出力ポート 5 8 b は、遅延線 6 0 に入力ポート 6 0 a において結合される。遅延線 6 0 の出力ポート 6 0 b は、結合回路網 5 6 に入力ポート 5 6 b において結合される。

【 0 0 3 4 】

動作の際は、信号源（図示せず）は、ディバイダ回路 5 2 の入力ポートに信号を供給する。ディバイダ回路 5 2 は、受信信号を実質上等しい 2 つの部分に分割することのできる任意のタイプの回路として設けられることを理解すべきである。ディバイダ回路 5 2 は、例えば、0°ハイブリッド・カプラ、90°3 dB ハイブリッド・カプラ、180°3 dB ハイブリッド・カプラ、いわゆるマジック T、または、3 dB 電力ディバイダ回路を含むが、それらには限定されない。

20

【 0 0 3 5 】

これらの分割された信号はそれぞれ、キャリア増幅器 5 4 とピーク増幅器 5 8 のそれぞれに送られる。この特定の例では、キャリア増幅器信号経路とピーク増幅器信号経路の電気的な信号経路の長さ（すなわち、ディバイダ回路 5 2 の出力部 5 2 b、5 2 c から、それぞれ結合回路網 5 6 の入力部 5 6 a、5 6 b までの信号経路の長さ）は、実質上同じである。これらの信号経路の長さが同じであるので、キャリア増幅器信号経路とピーク増幅器信号経路間の遅延を等しくするために、必ずしもキャリア増幅器信号経路中に遅延線を含む（図 1 に示されるように）必要はない。したがって、結合回路網 5 6 は、該回路網 5 6 に送られる信号を、ポート 5 6 a と 5 6 b で受け取り、これらの信号を効率的に組み合わせ、増幅器出力信号を出力ポート 5 6 c に供給することができる。結合回路網 5 6 は、該回路網 5 6 に送られた信号を効率的に組み合わせ、出力信号を出力ポート 5 6 c に供給することができる任意のタイプの回路として設けることが可能であることを理解すべきである。結合回路網 5 6 は、図 1 に示されるコンバイナ回路網 2 1 に関して前述したように配置される。

30

【 0 0 3 6 】

ポート 5 8 a での信号レベルが、ピーク増幅器 5 8 にバイアスをかけて増幅状態にするのに十分な強度であるときに、遅延線 6 0 により、増幅器 5 0 は、増幅器出力電力の比較的広い範囲にわたって、比較的 に一定の P A E を与える。

40

【 0 0 3 7 】

次に、図 4 を参照すると、ドハティ増幅器 6 2 は、ディバイダ回路 6 4 を含む。ディバイダ回路 6 4 は、入力ポート 6 4 a と一対の出力ポート 6 4 b、6 4 c を有する、図 1 と図 3 とともに前述したタイプの任意のものとして設けてもよい。出力ポート 6 4 b は、キャリア増幅器 6 6 の入力ポート 6 6 a に結合される。キャリア増幅器 6 6 の出力ポート 6 6 b は、コンバイナ 6 8 に入力ポート 6 8 a において結合される。

【 0 0 3 8 】

この特定の実施形態では、ピーク増幅器信号経路は第 1 の遅延線 7 0 を含み、この第 1 の遅延線 7 0 は、キャリア増幅器信号経路の電気的な信号経路の長さ（すなわち、ディバイ

50

ダ回路 64 の出力ポート 64 b と、結合回路網 68 の入力ポート 68 a との間の経路の長さ) と、ピーク増幅器信号経路の電気的な信号経路の長さ(すなわち、ディバイダ回路 64 の出力ポート 64 c と、結合回路網 68 の入力ポート 68 b との間の信号経路の長さ) を等しくするために選択された遅延を有する。したがって、ディバイダ回路 64 の第 2 の出力ポート 64 c は、第 1 の遅延線 70 の入力ポート 70 a に結合され、また遅延線 70 の第 2 の出力ポート 70 b は、ピーク増幅器 72 の入力ポート 72 a に結合される。

【0039】

ピーク増幅器 72 の出力ポート 72 b は、第 2 の遅延線 74 の入力ポート 74 a に結合され、また、第 2 の遅延線 74 の第 2 の出力ポート 74 b は、結合回路網の第 2 の入力ポート 68 b に結合される。結合回路網 68 の入力ポート 68 a、68 b に送られた信号は組み合わされて、増幅器出力信号が、結合回路網 68 のポート 68 c に供給される。

10

【0040】

次に、図 5 を参照すると、増幅器回路 80 の一実施形態は、入力端子 80 a と出力端子 80 b を有するモノリシック・マイクロ波集積回路(MMIC) 80 として製作した状態で示されている。増幅器回路 80 は、ここでは、ガリウム砒素または他の適切なマイクロ波/ミリ波の基板材料から成る基板 82 上に配置されている。基板 82 は、その底面に、接地面導体 83 を設けている。基板 82 は、その上面の上に、複数のストリップ導体と一対の増幅装置 84 a、84 b を配置している。増幅装置 84 a、84 b は通常、同じ電気特性を持つものが配置される。この特定の実施形態では、増幅装置 84 a、84 b は、電界効果トランジスタ(FET)として配置される。

20

【0041】

ストリップ導体は、ディバイダ回路 86 を備えた伝送線路セクション(区分)を提供する。この伝送線路区分は、ここでは、増幅器入力ポート 80 a に結合された入力ポート 86 c および一対の出力ポート 86 b、86 c を有するウィルキンソン電力ディバイダ回路として配置される。出力ポート 86 b は、伝送線路 88 a ~ 88 c を経て、入力整合回路 88 の入力ポートに結合される。

【0042】

同様に、出力ポート 86 c は、伝送線路区分 89 a、89 b、89 c を経て、入力整合回路網 90 の入力ポートに結合される。伝送線路区分 88 a ~ 88 c は、遅延線として作用し、したがってポート 86 c からポート 90 a に伝搬する信号と比較して、ポート 86 b からポート 88 a に伝搬する信号に対して、所定の遅延を与える。

30

【0043】

図 5 に示される実施形態では、MMIC 増幅器回路 80 内に用いられるハイブリッド接合部は、ウィルキンソン・カプラ 86 である。公知の通り、ウィルキンソン・カプラの第 4 のポートは、ハイブリッド接合部内において、100 オームの内部抵抗で終端される。

【0044】

前述したように、ディバイダ回路(例えば、図 1 のディバイダ回路 12)を、ハイブリッド電力ディバイダ回路として指定する理由は、基本周波数において、キャリア増幅器に結合されたポートと、ピーク増幅器に結合されたポートとの間に、分離を施すことである。ハイブリッド・カプラ(すなわち、すべての外部ポートにおいて整合され、これら 2 つの出力ポート間に分離を施す電力ディバイダ回路)のいかなる実施形態も利用することが可能である。

40

【0045】

限られた帯域幅にわたり、90°の電気的信号経路長を有し、ハイブリッドに等しい特性インピーダンスを有する伝送線路 88 a などの外部伝送線路を、ハイブリッド出力ポートの 1 つに直列に付加すれば、例えば 0°のハイブリッド(例えば、ウィルキンソン・ディバイダ回路 86)を、90°のハイブリッド・カプラ回路に変換するために使用することができる。

【0046】

整合回路網 88、90 は、前述したように、電力ディバイダ回路 86 と増幅装置 84 a、

50

84bとの間に、適切なインピーダンス整合特性と遅延特性を与える。整合回路網88の詳細については、以下に説明する。整合回路網90は、同様の態様で実装される。整合回路網88、90を実現する技法は多数あり、ここで言う説明は、本発明を限定するものではなく、多くの可能な実施形態のうちの1つの実施形態の一例を提示することを意図するものであることを理解すべきである。

**【0047】**

整合回路88は、一対の誘導性要素92aおよび92bと、それらの誘導性要素間に結合された伝送線路区分93を含む。この特定の実施形態では、インダクタ92bと、増幅装置84aのキャパシタンスが1つの共振器を形成し、また、伝送線路区分93は、2つの直列共振回路(すなわち、インダクタ92aと、インダクタ92bおよび増幅装置84aのキャパシタンスによって形成される共振器)間で、インピーダンス反転器の働きをし、したがって、2区分帯域フィルタ(BPF)整合回路網88を提供する。したがって、入力整合回路88は、この特定の実施形態では、インピーダンス反転器を用いて実施される2区分BPFに相当する。

10

**【0048】**

伝送線路区分96a、96b、コンデンサ98a、98b、インダクタ99を介して実装される出力整合回路網94は、増幅装置84aの出力部を、リアクティブ回路網100の第1端部に結合する。伝送線路区分96bの長さは、高調波周波数信号に与えられるインピーダンス特性に影響を及ぼし、したがってこの長さを利用すれば、高調波周波数信号を同調させることができる。

20

**【0049】**

出力整合回路網94と同様の態様で実装される出力整合回路網102は、増幅装置84bの出力部を、遅延線104の第1端部に結合する。遅延線104の第2端部は、リアクティブ回路網100の第1端部に結合される。リアクティブ回路網100の第2端部は、直流阻止コンデンサ106と、適切なインピーダンス整合を出力ポート80bに与えるように選択されたインピーダンス特性を有するインピーダンス線路区分108とを介して、増幅器出力ポート80bに結合される。

**【0050】**

この特定の実施形態では、出力整合回路網102と94は同一であることを理解すべきである。しかしながら、多くの応用例では、増幅器回路80の性能特性は、異なる出力整合回路網94と102を用いれば、向上させることができる。

30

**【0051】**

バイアス回路110a~110dは、増幅器回路80の適切な部分にバイアス信号を導く手段を提供する。

増幅器回路80において、当業者の技術範囲に充分入る様々な変形回路で置換を行うことができ、そのような変更は、本発明の本質に影響を与えないことを理解すべきである。例えば、ウィルキンソン電力ディバイダ回路86と伝送線路部分88aは、ランゲ・カブラ(Lange Coupler)に代えることが可能である。ランゲ

・カブラは、電力ディバイダ回路86と伝送線路区分88aを組み合わせたものとほぼ同じ回路特性を与えるが、さらにコンパクトな構造となり、したがって、可能性として、一部の応用例では、さらに望ましいものとなる。前述した回路と同等な機能特性を有するコンパクトな回路を提供するために、他の技法(例えば、準集中素子技法)も使用できることを理解すべきである。したがって、図5に示される回路は、主としてすべての分布整合回路網を利用するが、一部の応用例では、コンパクトな整合回路網が好適となる場合もある。

40

**【0052】**

さらに、前述したドハティ増幅器の特定の実施形態では、キャリア増幅器とピーク増幅器の出力整合回路網は、50オームの負荷でなく、100オームの負荷の中で動作するように設計されることも可能であることを理解すべきである。このような場合には、オプション・リアクティブ結合回路網100は必要なくなるであろう。入力周波数の第2高調波と

50

第3高調波において、ピーク増幅器とキャリア増幅器の双方に、最適な同時の負荷インピーダンスを与えるために、特別な配慮が要求されるであろう。

【0053】

一般的に、増幅器の効率を最大にするために、アクティブ装置の両端の交流電圧 $V(t)$ に対し、基本波、第2高調波、第3高調波(理想的には、すべての高調波)において、アクティブ(能動)装置の出力部に流れ込む交流電流 $I(t)$ が直角位相であることが望ましい。この装置で消費されるエネルギーは、基本波の一周期にわたって、 $V(t) * I(t)$ の積分であるので、 $V(t)$ と $I(t)$ が直角位相にある場合には、その積分はゼロになり、またこの装置内で消費される電力は、最小限に抑えられる。実際には、基本波と高調波の周波数において与えられるインピーダンスは、装置の効率を最適化するのに利用できる波形整形を、この時間領域内で提供できる。

10

【0054】

このように交流が、装置内の電力消費に影響を与えるのに加えて、装置を流れる直流電流と、装置の両端の直流電圧の乗算が、主な電力消費の要因となる。本発明のドハティ増幅器は、直流電流を、バックオフ状態において小さくし(2で除算する)、したがって、このような条件下で効率を最大にする。

【0055】

リアクティブ結合回路網は、組み合わせられている2つの増幅器の出力部間には隔離(分離)をまったく施さない。したがって、結合回路網として作用するハイブリッド・カップラを利用すれば、前述の回路ほど効率的に動作しない(可能性として、所望の態様で動作しないかもしれない)回路となる可能性がある。

20

【0056】

ストリップ導体が突然に途切れると、高周波信号に突然のインピーダンス変化を与えることになるので、伝送線路区分と伝送線路共振器は、なめらかな曲線状にされることに留意すべきである。このようにインピーダンスが途切れると、特に高周波において、エネルギーを伝搬する不所望な放射が起こることが多い。したがって、なめらかにカーブした伝送線路区分、伝送線路共振器と、斜め継ぎ(マイター: miter)されたコーナを利用すると、十分に整合されたインピーダンスを有するコンパクトな信号経路が、その信号経路に伝搬する高周波信号に提供される。

【0057】

ある特定の回路の設計では、スードモルフィック(pseudomorphic)高電子移動度トランジスタ(PHEMT)が使用された。キャリア増幅器用の負荷インピーダンスは、低電力レベルにおいて、このような条件下で増幅器の利得を最大にするように選択されることに留意されたい。動作周波数が大きくなると、この特定のPHEMTの最大安定利得は低下し、安定度が大きくなった。約18GHzの動作周波数の付近では、この安定度は、1よりも大きくなった。また、この装置の最大有効利得(MAG)は、小信号散乱パラメータを用いて計算することができた。約19.5GHzでの動作用に設計された初期ドハティ増幅器では、計算は、それぞれ長さ60 mの10個のゲート・フィンガを有する0.15 m ISVのPHEMT用の小信号等価回路から得られた小信号散乱パラメータを用いて行われた。19.5GHzでは、この装置のMAGは、13.3 dBと計算された。ドレインが最大電力負荷で終端されたときに、装置の利得は、約2.9 dBだけ低下する。これにより、増幅器の有効利得が、約10.4 dBに低下する。さらに、ドハティ増幅器の入力部に3 dBのハイブリッド・カップラが存在すると、この有効利得がさらに3 dBだけ低下し、したがってドハティ増幅器の正味有効利得が、約7.4 dBに低下する。ハイブリッド・カップラの3 dBの損失の一部は、小電力条件の下で最適な負荷を用いて、キャリア増幅器整合回路網を終端することによって回復される。このような配慮により、20GHzのドハティ増幅器を、約8.4 dBという小信号利得に限定する。代表的なシステム用途において、有効な利得を有する増幅器を製作するために、20GHz付近の小信号増幅器利得に細心の注意を払う必要があることは明らかである。

30

40

【0058】

50

本明細書中に引用された文献はすべて、参照によってその全体が本明細書中に援用される。

本発明の好ましい実施形態を述べたが、その概念を組み入れた他の実施形態も利用できることは、当業者には明らかであろう。例えば、本発明の技法は、FET用には限定されない。本明細書中に述べられた技法は、アクティブ3端子デバイスのどれでも使用可能であることを理解すべきである。もちろん、異なるデバイスを用いる実施例の細部は、異なるものになることを理解すべきである。従って、これらの実施形態は、開示された実施形態に限定されず、特許請求の範囲の精神および範囲によってのみ限定されるべきであると考えられる。

【図面の簡単な説明】

【図1】無線周波数(RF)増幅器回路のブロック図である。

【図2】図2は、増幅器出力電力の比較的に広い範囲にわたって所望のPAEを有する電力増幅器を提供するステップを示す流れ図である。

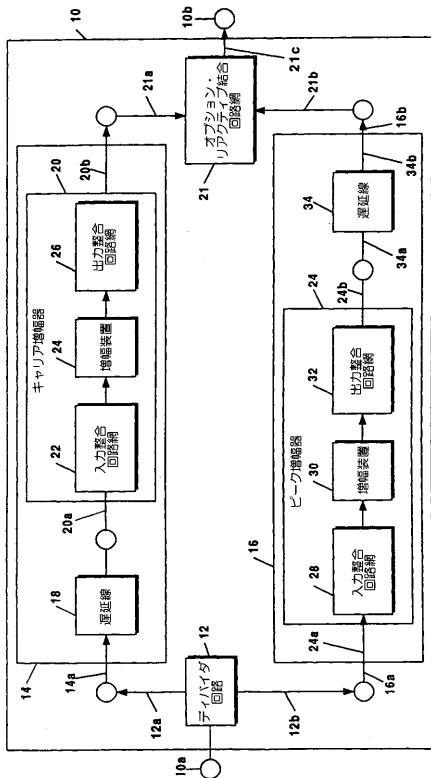
図2Aは、出力電力 $P_{out}$ 対電力付加効率(PAE)線図である。

【図3】無線周波数(RF)増幅器回路の代替実施形態のブロック図である。

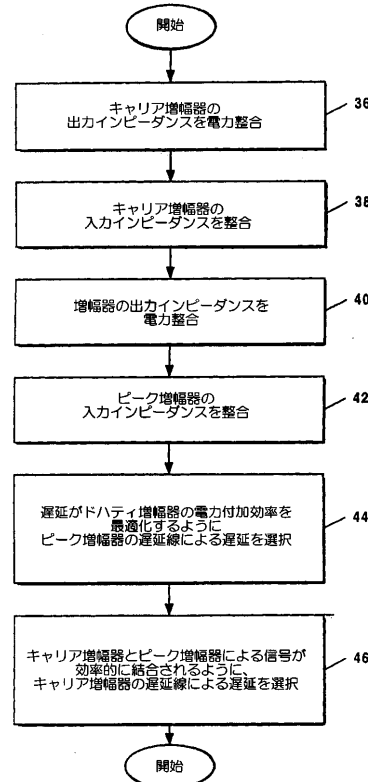
【図4】無線周波数(RF)増幅器回路のさらに他の代替実施形態のブロック図である。

【図5】モノリシック・マイクロ波集積回路(MMIC)として実装されたRF増幅器回路の平面図である。

【図1】



【図2】  
Figure 2





---

フロントページの続き

(74)代理人 100087424

弁理士 大塚 就彦

(72)発明者 アリー, ゲイリー・ディー

アメリカ合衆国ニューハンプシャー州03053, ロンドンデリー, ホルトン・サークル 17

審査官 岸田 伸太郎

(56)参考文献 特開平08-330873(JP, A)

特開平07-022852(JP, A)

特表平10-513631(JP, A)

D.M.Upton et al, "A New Circuit Topology to Realize High Efficiency, High Linearity, and High Power Microwave Amplifiers", RAWCON '98 Proceedings, 1998年 8月, pp.317-320

(58)調査した分野(Int.Cl., DB名)

H03F 1/07

H03F 3/60

JSTPlus/JMEDPlus/JST7580(JDreamII)

IEEE Xplore