



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0075682
(43) 공개일자 2019년07월01일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01) G11C 13/00 (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G11C 13/0004 (2013.01)
(21) 출원번호 10-2017-0177472
(22) 출원일자 2017년12월21일
심사청구일자 2017년12월21일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
신형순
서울특별시 서초구 반포대로5길 65, 102동 301호 (서초동, 아이파크빌)
선우경
서울특별시 서대문구 북아현로4마길 18-6 (북아현동)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 13 항

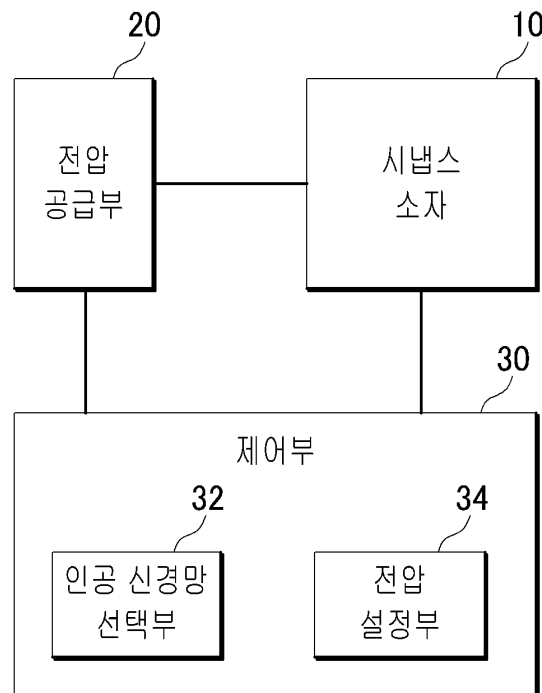
(54) 발명의 명칭 3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자

(57) 요약

본 발명의 일 측면에 따른 3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자는, 제 1 방향으로 연장 형성된 연결 비트라인과 각 연결 비트라인의 양측면에 제 1 방향을 따라 적층된 저항성 물질층을 포함하며, 제 1 방향과 교차되는 제 2 방향을 따라 서로 나란하게 배치된 복수의 제 1 시냅스 구조물들, 제 2 방향으로 연장 형성되고

(뒷면에 계속)

대표도 - 도3



제 1 시냅스 구조물의 일측면에 적층된 저항성 물질층과 접촉하도록 배치되며 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 1 워드라인들, 제 2 방향으로 연장 형성되고 제 1 시냅스 구조물의 타측면에 적층된 저항성 물질층과 그 일측면이 접촉하도록 배치되며 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 2 워드라인들, 및 제 1 시냅스 구조물의 단부에 접촉되며 제 1 방향 및 제 2 방향과 교차되는 제 3 방향을 따라 연장 형성된 복수의 출력 비트라인들을 포함한다. 이때, 제 1 워드라인들은 제 1 프리 뉴런으로서 기능하고, 제 2 워드라인들은 제 2 프리 뉴런으로서 기능하며, 출력 비트라인들은 포스트 뉴런으로서 기능한다.

(52) CPC특허분류

G11C 13/0021 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2016R1A6A3A11931998

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업(학술진흥)-학문후속세대양성사업

연구과제명 인공지능용 뉴럴네트워크에 최적화된 뉴로 모픽 컴퓨팅하드웨어 아키텍처 개발

기 여 율 1/1

주관기관 이화여자대학교 산학협력단

연구기간 2016.11.01 ~ 2018.10.31

명세서

청구범위

청구항 1

3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자에 있어서,

제 1 방향으로 연장 형성된 연결 비트라인과 상기 각 연결 비트라인의 양측면에 상기 제 1 방향을 따라 적층된 저항성 물질층을 포함하며, 상기 제 1 방향과 교차되는 제 2 방향을 따라 서로 나란하게 배치된 복수의 제 1 시냅스 구조물들,

상기 제 2 방향으로 연장 형성되고, 상기 제 1 시냅스 구조물의 일측면에 적층된 저항성 물질층과 접촉하도록 배치되며, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 1 워드라인들,

상기 제 2 방향으로 연장 형성되고, 상기 제 1 시냅스 구조물의 타측면에 적층된 저항성 물질층과 그 일측면이 접촉하도록 배치되며, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 2 워드라인들, 및

상기 제 1 시냅스 구조물의 단부에 접촉되며, 상기 제 1 방향 및 제 2 방향과 교차되는 제 3 방향을 따라 연장 형성된 복수의 출력 비트라인들을 포함하되,

상기 제 1 워드라인들은 제 1 프리 뉴런(pre-neuron)으로서 기능하고, 상기 제 2 워드라인들은 제 2 프리 뉴런으로서 기능하며, 상기 출력 비트라인들은 포스트 뉴런으로서 기능하는 것인 뉴로 모픽 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 시냅스 구조물과 동일한 구조를 가지며, 그 일측면에 적층된 저항성 물질층이 상기 제 2 워드라인들의 타측면에 접촉하도록 배치되며, 상기 제 2 방향을 따라 서로 나란하게 배치된 복수의 제 2 시냅스 구조물들, 및

상기 제 2 방향으로 연장 형성되고, 상기 제 2 시냅스 구조물들의 타측면에 적층된 저항성 물질층과 그 일측면이 접촉하도록 배치되고, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 3 워드라인들을 더 포함하되,

상기 출력 비트라인들은 상기 제 2 시냅스 구조물의 단부에도 접촉되며,

상기 제 3 워드라인들은 제 3 프리 뉴런으로서 기능하는 것인 뉴로 모픽 소자.

청구항 3

제 2 항에 있어서,

상기 각 출력 비트라인들은 상기 제 2 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 시냅스 구조물들의 단부에 접촉되는 것인 뉴로 모픽 소자.

청구항 4

제 2 항에 있어서,

상기 제 2 방향으로 연장 형성되고, 상기 제 1 시냅스 구조물들과 제 2 시냅스 구조물들의 어느 한 측면에 적층된 저항성 물질층과 접촉하도록 각각 배치되며, 전압 인가에 따라 상기 제 1 시냅스 구조물들 또는 제 2 시냅스 구조물들의 활성화 상태를 조절하는 선택라인들을 더 포함하는 뉴로 모픽 소자.

청구항 5

제 1 항에 있어서,

상기 시냅스 구조물들과 상기 워드라인들이 접촉하는 지점의 저항성 물질층의 저항 상태가 고저항 상태인지 저

저항 상태인지에 따라 가중치 값이 조절되는 뉴로 모픽 소자.

청구항 6

제 4 항에 있어서,

상기 워드라인들, 출력 비트라인들 및 선택라인들에 인가할 전압을 설정하여 가중치 기록 또는 독출 동작을 수행하도록 제어하는 제어부, 및

상기 제어부가 설정한 전압을 공급하는 전압 공급부를 더 포함하는 뉴로 모픽 소자.

청구항 7

제 6 항에 있어서,

상기 제어부는 상기 뉴로 모픽 소자를 통해 설정 가능한 복수의 인공 신경망 중 어느 하나를 선택하고, 선택된 인공 신경망의 제공을 위하여 상기 워드라인들, 출력 비트라인들 및 선택라인들에 인가할 전압을 설정하는 것인 뉴로 모픽 소자.

청구항 8

제 1 항에 있어서,

홀수 번째 또는 짝수 번째 마다 위치한 시냅스 구조물의 일측면에 접촉된 제 1 그룹의 워드라인들 중 상기 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 워드 라인들의 단부에 접촉되며, 상기 제 3 방향을 따라 연장 형성된 제 1 입력 워드라인들 및

상기 제 1 그룹의 워드라인들과 접촉된 시냅스 구조물의 타측면에 접촉되는 제 2 그룹의 워드라인들 중 상기 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 워드 라인들의 단부에 접촉되며, 상기 제 3 방향을 따라 연장 형성된 제 2 입력 워드라인들을 더 포함하는 뉴로 모픽 소자.

청구항 9

3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자에 있어서,

제 1 방향으로 연장 형성된 연결 비트라인과 상기 각 연결 비트라인의 양측면에 상기 제 1 방향을 따라 적층된 저항성 물질층을 포함하는 시냅스 구조물들이 어레이 형태로 배치된 시냅스 구조물 어레이,

상기 제 2 방향으로 연장 형성되고, 상기 각 시냅스 구조물의 일측면과 접촉하거나, 각 시냅스 구조물의 양 측면 사이에 접촉하도록 배치되며, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 워드라인들,

상기 제 2 방향으로 연장되는 축을 기준으로 동일한 위치에 있는 시냅스 구조물들의 단부에 각각 접촉되며, 상기 제 1 방향 및 제 2 방향과 교차되는 제 3 방향을 따라 연장 형성되는 복수의 출력 비트라인들, 및

상기 제 2 방향을 따라 배치된 시냅스 구조물들과 접속되며, 접속된 시냅스 구조물의 활성화 여부를 조절하는 선택라인들을 포함하되,

상기 각 워드라인들은 프리 뉴런으로서 기능하며, 상기 출력 비트라인들은 포스트 뉴런으로서 기능하는 것인 뉴로 모픽 소자.

청구항 10

제 9 항에 있어서,

상기 뉴로 모픽 소자를 통해 설정 가능한 복수의 인공 신경망 중 어느 하나를 선택하고, 상기 선택된 인공 신경망에 따라 상기 워드라인들, 출력 비트라인들 및 선택라인들에 인가할 전압을 설정하는 제어부 및

상기 설정된 전압을 상기 워드라인들, 출력 비트라인들 및 선택라인들에 각각 공급하는 전압 공급부를 더 포함하는 뉴로 모픽 소자.

청구항 11

제 10 항에 있어서,

상기 제어부는

상기 제 1 방향으로 연장되는 축을 공통으로 하는 관계에 있는 워드라인 그룹별로 각각 독립적으로 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 각 출력 비트라인별로 공통으로 출력되도록 하는 제 1 인공 신경망,

상기 제 1 방향으로 연장되는 축을 공통으로 하는 관계에 있는 워드라인 그룹별로 상이한 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 상기 각 선택라인에 의하여 구분되는 시냅스 구조물 그룹들에 따라 서로 상이하게 출력되도록 하는 제 2 인공 신경망,

상기 제 3 방향을 따라 홀수 번째에 위치한 워드라인 그룹들과 짝수 번째에 위치한 워드라인 그룹별로 상이한 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 각 출력 비트라인별로 공통으로 출력되도록 하는 제 3 인공 신경망, 및

상기 제 3 방향을 따라 홀수 번째에 위치한 워드라인 그룹들과 짝수 번째에 위치한 워드라인 그룹별로 상이한 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 상기 각 선택라인에 의하여 구분되는 시냅스 구조물 그룹들에 따라 서로 상이하게 출력되도록 하는 제 4 인공 신경망 중 어느 하나의 인공 신경망을 선택하는 뉴로 모픽 소자.

청구항 12

제 11 항에 있어서,

상기 제어부는 상기 제 1 인공 신경망과 제 3 인공 신경망의 제공시에는 상기 선택라인들이 모두 활성화되도록 하는 것인 뉴로 모픽 소자.

청구항 13

제 10 항에 있어서,

상기 제어부는 상기 선택된 인공 신경망에 따라, 각 시냅스 구조물의 셀에 대하여 가중치 값을 기록하는 과정과, 상기 각 워드라인을 통해 입력된 입력 값에 상기 가중치 값이 반영된 인공 신경망의 출력값을 독출하는 과정을 수행하는 것인 뉴로 모픽 소자.

발명의 설명

기술 분야

[0001] 본 발명은 3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자에 대한 것이다.

배경 기술

[0002] 최근 들어 인공 신경망에 대한 관심이 증가함에 따라, 이를 하드웨어적으로 구현한 뉴로 모픽 소자에 대한 연구가 활발하게 진행되고 있다.

[0003] 뉴로 모픽 소자는 생체의 뇌신경계를 이루는 뉴런과 시냅스의 구조를 모방한 것으로, 대체로 시냅스 전에 위치한 프리 뉴런(Pre neuron), 시냅스, 시냅스 후에 위치한 포스트 뉴런(Post neuron)의 구조를 갖는다.

[0004] 도 1은 일반적인 구조의 뉴로 모픽 소자를 도시한 도면이다.

[0005] 도시된 바와 같이, 입력부, 시냅스 어레이, 출력부로 이루어지며, 입력부는 프리 뉴런, 출력부는 포스트 뉴런으로서 기능하고, 시냅스 어레이는 시냅스로서 기능한다.

[0006] 도 2는 종래에 알려진 뉴로 모픽 소자의 시냅스 어레이를 도시한 도면이다.

[0007] 도 2와 같이, 시냅스 어레이를 크로스 포인트 구조의 반도체 메모리를 이용하여 구현한 사례가 알려져 있다. 좌측은 아날로그(analog) 방식의 시냅스 어레이이고, 우측은 바이너리(binary) 방식의 시냅스 어레이이다.

[0008] 아날로그 방식의 시냅스 어레이에서는 하나의 시냅스를 구현하기 위하여 하나의 메모리 소자가 사용되기 때문에, 뉴런의 가중치를 구현하기 위해서 여러 개의 저항값으로 가중치를 나타내는 다중 저항 상태(multiple resistance state)를 사용한다. 이러한 경우 뉴로모픽 소자의 집적도는 증가시킬 수 있지만, 저항값에 따라 필

연적으로 셋(set) / 리셋(reset) 시간이나 전압 / 전류 조건이 달라진다. 따라서 뉴로모픽 소자에서 궁극적으로 구현하고자 하는 STDP (spike timing dependent plasticity) 시냅스 동작 모방에 부적합하다는 문제가 있다.

- [0009] 바이너리 방식의 시냅스 어레이에서는 메모리 소자의 HRS (High Resistive State) / LRS (Low Resistive State)만을 이용해서 여러 개의 메모리 소자로 하나의 시냅스를 구현한다. 메모리 소자의 성능 정확도가 떨어지는 상황에서도 뉴로모픽 칩을 안정적으로 개발할 수 있다는 장점이 있다. 또한 아날로그 방식과는 다르게 시냅스의 가중치를 저장하는 별도의 회로가 필요 없으며, 비지도(unsupervised) 학습을 하기 위해서 STDP를 이용할 경우 아날로그 방식 시냅스 보다 뉴로모픽 소자 구현에 더 적합한 것으로 알려져있다. 다만, 여러 개의 메모리 소자를 사용하므로 면적이 증가하는 단점이 있다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 대한민국공개특허 제 10-2017-0080441 호(서로 다른 폭들을 갖는 게이팅 라인들을 포함하는 뉴로모픽 소자)

발명의 내용

해결하려는 과제

- [0011] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 3차원 크로스바 메모리 구조를 이용한 뉴로모픽 소자를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0012] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자는, 제 1 방향으로 연장 형성된 연결 비트라인과 상기 각 연결 비트라인의 양측면에 상기 제 1 방향을 따라 적층된 저항성 물질층을 포함하며, 상기 제 1 방향과 교차되는 제 2 방향을 따라 서로 나란하게 배치된 복수의 제 1 시냅스 구조물들, 상기 제 2 방향으로 연장 형성되고, 상기 제 1 시냅스 구조물의 일측면에 적층된 저항성 물질층과 접촉하도록 배치되며, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 1 워드라인들, 상기 제 2 방향으로 연장 형성되고, 상기 제 1 시냅스 구조물의 타측면에 적층된 저항성 물질층과 그 일측면이 접촉하도록 배치되며, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 2 워드라인들 및 상기 제 1 시냅스 구조물의 단부에 접촉되며, 상기 제 1 방향 및 제 2 방향과 교차되는 제 3 방향을 따라 연장 형성된 복수의 출력 비트라인들을 포함한다. 이때, 제 1 워드라인들은 제 1 프리 뉴런(pre-neuron)으로서 기능하고, 상기 제 2 워드라인들은 제 2 프리 뉴런으로서 기능하며, 상기 출력 비트라인들은 포스트 뉴런으로서 기능하는 것이다.

- [0013] 또한, 본 발명의 제 2 측면에 따른 3차원 크로스바 메모리 구조를 이용한 뉴로 모픽 소자는, 제 1 방향으로 연장 형성된 연결 비트라인과 상기 각 연결 비트라인의 양측면에 상기 제 1 방향을 따라 적층된 저항성 물질층을 포함하며, 상기 제 1 방향과 교차되는 제 2 방향을 따라 서로 나란하게 배치된 복수의 시냅스 구조물들을 포함하는 시냅스 구조물 그룹이 N개의 라인만큼 배치된 시냅스 구조물 어레이, 상기 제 2 방향으로 연장 형성되고, 상기 제 1 방향을 따라 서로 나란하게 이격되어 배치되며, 상기 시냅스 구조물 그룹들 사이 또는 상기 시냅스 구조물 어레이 상에서 최외곽에 위치한 시냅스 구조물 그룹의 일측면에 각각 배치된 복수의 워드라인들, 상기 시냅스 구조물의 단부에 접촉되며, 상기 제 1 방향 및 제 2 방향과 교차되는 제 3 방향을 따라 연장 형성된 복수의 출력 비트라인들, 홀수 번째 라인에 위치한 시냅스 구조물의 일측면에 그 일측면이 접촉되는 제 1 그룹의 워드라인들 중 상기 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 워드 라인들의 단부에 접촉되며, 상기 제 3 방향을 따라 연장 형성된 제 1 입력 워드라인들 및 홀수 번째 라인에 위치한 시냅스 구조물의 타측면에 그 일측면이 접촉되는 제 2 그룹의 워드라인들 중 상기 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 워드 라인들의 단부에 접촉되며, 상기 제 3 방향을 따라 연장 형성된 제 2 입력 워드라인들을 포함한다. 이때, 제 1 입력 워드라인들 및 이에 접속된 제 1 그룹의 워드라인들은 제 1 프리 뉴런(pre-neuron)으로서 기능하고, 상기 제 2 입력 워드라인들 및 이에 접속된 제 2 그룹의 워드라인들은 제 2 프리 뉴런으로서 기능하며, 상기 출력 비트라인들은 포스트 뉴런으로서 기능하는 것이다.

발명의 효과

- [0014] 전술한 본 발명의 과제 해결 수단에 의하면, 기존의 크로스 포인트 구조에 비하여 뉴로 모픽 소자의 면적 증가를 최소화 할 수 있다.
- [0015] 또한, 기존의 크로스 포인트 구조에서는 프리 뉴런과 포스트 뉴런의 개수 및 구조 변화에 능동적으로 대처하기 어렵지만, 본 발명과 같은 수직형 크로스바 메모리 구조를 이용하여 인공 신경망을 구현할 경우, 워드라인 배선 및 선택라인의 추가 또는 개수 변형 만으로도 다양한 인공 신경망을 구현할 수 있다.
- [0016] 또한, 시냅스의 가중치 크기를 3D 적층 높이뿐만 아니라, 선택라인만으로도 쉽게 조절할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 일반적인 구조의 뉴로 모픽 소자를 도시한 도면이다.
- 도 2는 종래에 알려진 뉴로 모픽 소자의 시냅스 어레이를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 뉴로모픽 소자를 도시한 블록도이다.
- 도 4는 본 발명의 제 1 실시예에 따른 뉴로모픽 소자를 도시한 도면이다.
- 도 5는 본 발명의 제 1 실시예에 따른 뉴로모픽 소자의 회로도들 도시한 도면이다.
- 도 6은 본 발명의 제 1 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- 도 7은 본 발명의 제 2 실시예에 따른 뉴로모픽 소자를 도시한 도면이다.
- 도 8은 본 발명의 제 2 실시예에 따른 뉴로모픽 소자의 회로도들 도시한 도면이다.
- 도 9는 본 발명의 제 2 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- 도 10은 본 발명의 제 3 실시예에 따른 뉴로모픽 소자를 도시한 도면이다.
- 도 11은 본 발명의 제 3 실시예에 따른 뉴로모픽 소자의 회로도들 도시한 도면이다.
- 도 12는 본 발명의 제 3 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- 도 13은 본 발명의 제 4 실시예에 따른 뉴로모픽 소자를 도시한 도면이다.
- 도 14는 본 발명의 제 4 실시예에 따른 뉴로모픽 소자의 회로도들 도시한 도면이다.
- 도 15는 본 발명의 제 4 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- 도 16은 본 발명의 일 실시예에 따른 뉴로 모픽 소자의 가중치 기록 방법을 도시한 순서도이다.
- 도 17은 본 발명의 일 실시예에 따른 뉴로 모픽 소자의 데이터 독출 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0019] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 도 3은 본 발명의 일 실시예에 따른 뉴로모픽 소자를 도시한 블록도이다.
- [0021] 도시된 바와 같이, 뉴로모픽 소자는 시냅스 소자(10), 전압 공급부(20) 및 제어부(30)를 포함한다.
- [0022] 시냅스 소자(10)는 저항성 메모리를 이용하여 시냅스 어레이 형태로 배열된 것으로, 시냅스 구조물, 워드라인 및 비트라인들을 포함하는 소자이며, 구체적인 구성에 대해서는 추후 설명하도록 한다.

- [0023] 전압 공급부(20)는 시냅스 소자(10)의 비트라인과 워드라인에 각각 설정된 전압을 공급한다. 전압 공급부(20)는 비트라인과 워드라인에 각각 전원전압(Vdd)과 0V의 전압을 공급하거나, 그 사이에 위치하는 값을 가진 전압을 공급한다. 또한, 본 발명의 구조에 따라 비트라인의 활성화를 조절하는 선택라인에 전압을 공급한다. 이때, 각 비트라인과 워드라인에 공급할 전압은 제어부(30)에 의하여 설정된다. 그 밖의 전압 공급부(20)의 구체적인 구성은 종래 메모리 소자의 구성과 유사하므로, 이에 대한 상세한 설명은 생략하도록 한다.
- [0024] 제어부(30)는 인공 신경망의 구조를 선택하고, 선택된 인공 신경망이 구현되도록 하는 전압 공급 설정 제어신호를 전압 공급부(20)에 공급한다. 본 발명에서는 이후에 설명할 시냅스 소자(10)에 대하여 여러 형태의 인공 신경망 구조를 제공할 수 있는데, 제어부(30)의 동작을 통해 이와 같은 인공 신경망 구조의 변경이 가능하다.
- [0025] 이를 위하여, 제어부(30)는 시냅스 소자(10)가 복수의 인공 신경망 중 어느 하나의 인공 신경망으로 설정되도록 하는 인공 신경망 선택부(32)와 인공 신경망 선택부(32)에 의하여 선택된 인공 신경망이 구현되도록 하는 전압을 설정하여 전압 공급부(20)로 공급하는 전압 설정부(34)를 포함한다.
- [0026] 인공 신경망 선택부(32)는 사용자의 설정에 따라 어느 하나의 인공 신경망이 설정되도록 한다.
- [0027] 전압 설정부(34)는 시냅스 소자(10)가 선택된 인공 신경망으로 동작하도록 비트라인, 워드라인 및 선택라인에 공급될 전압을 설정한다. 구체적인 사항에 대해서는 추가적으로 설명하도록 한다.
- [0028] 또한, 제어부(30)는 시냅스 소자(10)에 대하여 가중치 값을 기록하는 동작과 입력된 프리 뉴런의 데이터에 대하여 시냅스 소자(10)에 저장된 가중치 값이 반영된 인공 신경망의 출력값을 독출하는 동작을 수행한다.
- [0029] 도 4는 본 발명의 제 1 실시예에 따른 뉴로모픽 소자를 도시한 도면이고, 도 5는 본 발명의 제 1 실시예에 따른 뉴로모픽 소자의 회로도를 도시한 도면이고, 도 6은 본 발명의 제 1 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- [0030] 도 4에 도시된 바와 같이, 시냅스 구조물(210, 220, 230)과 이에 연결된 워드라인들(110, 120, 130, 140), 시냅스 구조물(210, 220, 230)의 단부에 연결된 출력 비트라인들(310, 320, 330)이 포함된다.
- [0031] 각 시냅스 구조물(210, 220, 230)은 제 1 방향으로 연장 형성된 연결 비트라인(212)과 각 연결 비트라인(212)의 양측면에 제 1 방향을 따라 적층된 저항성 물질층(214, 216)을 포함한다. 이와 같은, 시냅스 구조물은 제 2 방향을 따라 서로 나란하게 배치되며(210, 220, 230), 이렇게 배치된 시냅스 구조물 그룹이 N 개의 라인만큼 배치되어 시냅스 구조물 어레이를 형성한다.
- [0032] 이때, 저항성 물질층(214, 216)은 일반적인 저항성 메모리 소자를 구성하는 것으로서, 저항성 물질층(214, 216)과 접촉된 워드라인을 통해 인가되는 전압에 따라 저항의 상태가 고저항 상태 또는 저저항 상태로 변경되며, 이에 의하여 인공 신경망을 구성하는 시냅스 어레이의 가중치가 각각 결정될 수 있다.
- [0033] 다음으로, 제 1 워드라인들(110, 112, 114)은 제 2 방향으로 연장 형성되고, 제 1 시냅스 구조물들(210, 220, 230)의 일측면에 적층된 저항성 물질층(214)과 접촉하도록 배치되며, 제 1 방향을 따라 서로 나란하게 이격되어 배치된다. 또한, 제 2 워드라인들(120, 122, 124)은 제 2 방향으로 연장 형성되고, 제 1 시냅스 구조물들(210, 220, 230)의 타측면에 적층된 저항성 물질층(216)과 그 일측면이 접촉하도록 배치되며, 제 1 방향을 따라 서로 나란하게 이격되어 배치된다. 이와같이, 크로스바 메모리 구조에 따라 각 워드라인들이 시냅스 구조물(210, 220, 230)의 수직 방향을 따라 순차적으로 배치되므로, 개별 워드라인 사이에 저항성 물질층이 배치되는 2차원 구조의 크로스 포인트 메모리 구조에 비하여 공간 활용성이 훨씬 향상될 수 있다.
- [0034] 출력 비트라인들(310, 320, 330)은 제 1 시냅스 구조물(210, 220, 230)의 단부에 접촉되며, 제 3 방향을 따라 연장 형성된다. N개의 시냅스 구조물 그룹이 어레이를 형성하는 경우, 각 출력 비트라인들은 제 2 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 시냅스 구조물들의 단부에 접촉된다. 즉, 출력 비트라인(310)은 제 2 방향으로 연장되는 축을 기준으로 서로 동일한 위치에 있는 시냅스 구조물(210, 240)의 단부에 접촉되며, 출력 비트라인(320)은 시냅스 구조물(220, 250)의 단부에 접촉된다.
- [0035] 이때, 제 1 워드라인들(110, 112, 114)은 제 1 프리 뉴런(pre-neuron)으로서 기능하고, 제 2 워드라인들(120, 122, 124)은 제 2 프리 뉴런으로서 기능하며, 출력 비트라인들(310, 320, 330)은 포스트 뉴런으로서 기능한다.
- [0036] 한편, 제 1 시냅스 구조물들(210, 220, 230)과 동일한 구조를 가지며, 그 일측면에 적층된 저항성 물질층이 제 2 워드라인들(120, 122, 124)의 타측면에 접촉하도록 배치되며, 제 2 방향을 따라 서로 나란하게 배치된 복수의 제 2 시냅스 구조물들(240, 250, 260)이 더 포함될 수 있다. 그리고, 제 2 방향으로 연장 형성되고, 제 2 시냅스

스 구조물들(240, 250, 260)의 타측면에 적층된 저항성 물질층과 그 일측면이 접촉하도록 배치되고, 제 1 방향을 따라 서로 나란하게 이격되어 배치된 복수의 제 3 워드라인들(130, 132, 134)이 더 포함될 수 있다. 이때, 출력 비트라인들(310, 320, 330)은 제 2 시냅스 구조물(240, 250, 260)의 단부에도 접촉되며, 제 3 워드라인들(130, 132, 134)은 제 3 프리 뉴런으로서 기능하게 된다. 그리고, 이러한 시냅스 구조물 그룹들 사이에 워드라인들이 각각 배치되는 구조를 통해 더 큰 시냅스 어레이를 형성할 수 있다.

[0037] 이와 같은 구조에서, 각 시냅스 구조물들과 워드라인들이 접촉하는 지점의 저항성 물질층의 저항 상태가 고정화 상태인지 저저항 상태인지에 따라 뉴로 모픽 소자의 가중치 값이 조절될 수 있다.

[0038] 도 4의 구조와 같은 뉴로 모픽 소자는 도 5와 같은 회로도도 다시 표현할 수 있다. 이때, 도 5의 회로도는 도 4의 3차원 구조에서 1개층의 구조를 도시한 것이다.

[0039] 또한, 이와 같은 구성에 따라 도 6의 구조와 같은 인공 신경망을 구현할 수 있다. 예를 들면, 제 1 워드라인들(A)을 통한 입력, 제 2 워드라인들(B)을 통한 입력, 제 3 워드라인들(C)을 통한 입력, 제 4 워드라인들(D)을 통한 입력이 각각 개별적으로 제 1 출력 비트라인(가), 제 2 출력 비트라인(나), 제 3 출력 비트라인(다)를 통해 통합되어 출력된다. 즉, 각 출력 비트라인은 각 출력 비트라인에 접속된 시냅스 구조물들의 출력을 통합하여 출력하게 된다. 예를 들면, 제 1 출력 비트라인(가)은 그에 접속된 시냅스 구조물들(210, 240)의 출력을 통합하여 출력한다. 이때, 각 시냅스 구조물에 설정된 저항층의 저항 상태에 의하여 결정된 가중치 값들이 출력에 반영된다.

[0040] 한편, 제 1 실시예는 이후에 설명할 제 2 실시예에 포함된 선택라인들(410, 420, 430, 440)이 포함되어 있지 않으나, 제 2의 실시예와 같이 해당 선택라인들(410, 420, 430, 440)이 포함된 상태에서, 각 선택라인들을 모두 활성화시키는 형태로 동작이 가능하다.

[0041] 도 7은 본 발명의 제 2 실시예에 따른 뉴로모픽 소자를 도시한 도면이고, 도 8은 본 발명의 제 2 실시예에 따른 뉴로모픽 소자의 회로도를 도시한 도면이고, 도 9는 본 발명의 제 2 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.

[0042] 제 1 실시예의 구성과 대체로 동일하며, 시냅스 구조물 그룹 단위로 결합되어 시냅스 구조물 그룹별로 활성화 상태로 조절하는 선택라인(410, 420, 430, 440)이 더 포함된다. 이와 같은 구성을 통해, 시냅스 구조물 그룹 단위로 출력 비트라인(310, 320, 330)을 통해 출력되는 출력값들의 타이밍을 조절할 수 있다. 이에 따라, 도 9와 같이 인공 신경망의 구성도 도 6과는 달라지게 된다. 프리 뉴런의 구성은 제 1 실시예와 동일하지만, 포스트 뉴런은 각 시냅스 구조물 그룹 단위로 구분된다.

[0043] 즉, 제 1 워드라인(110)과 제 2 워드라인(120)을 통한 입력이 제 1 시냅스 구조물 그룹(210, 220, 230)을 통해 출력되고, 제 2 워드라인(120)과 제 3 워드라인(130)을 통한 입력이 제 2 시냅스 구조물 그룹(240, 250, 260)을 통해 출력될 수 있다.

[0044] 이를 위해, 제어 로직 회로에 의하여 선택라인들(410, 420, 430, 440) 중 어느 하나가 턴온되면, 턴온된 선택라인에 결합된 시냅스 구조물 그룹의 출력이 출력 비트라인을 통해 출력된다.

[0045] 한편, 앞서 설명한 제 1 실시예는 제 2 실시예에서 각 선택라인들(410, 420, 430, 440)을 모두 턴온시킨 것과 동일하게 동작하게 된다.

[0046] 도 10은 본 발명의 제 3 실시예에 따른 뉴로모픽 소자를 도시한 도면이고, 도 11은 본 발명의 제 3 실시예에 따른 뉴로모픽 소자의 회로도를 도시한 도면이고, 도 12는 본 발명의 제 3 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.

[0047] 제 1 실시예의 구성과 대체로 동일하며, 제 1 입력 워드라인들(510, 520, 530)과 제 2 입력 워드라인들(610, 620, 630)이 추가로 배치된다.

[0048] 도시된 바와 같이, 시냅스 구조물 어레이는 복수의 시냅스 구조물(210, 220, 230)을 포함하는 시냅스 구조물 그룹이 N개의 라인만큼 배치된 것으로서, 시냅스 구조물 그룹들 사이 또는 시냅스 구조물 어레이 상에서 최외곽에 위치한 시냅스 구조물 그룹의 일측면에 복수의 워드라인들이 배치된다.

[0049] 제 1 입력 워드라인들(510, 520, 530)은 제 3 방향으로 연장 형성된 것으로서, 홀수 번째 라인에 위치한 시냅스 구조물의 일측면에 그 일측면이 접촉되는 제 1 그룹의 워드라인들(110, 130)과 접속되며, 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 층에 위치한 워드 라인들의 단부에 접촉된다.

- [0050] 제 2 입력 워드라인들(610, 620, 630)은 제 3 방향으로 연장 형성된 것으로서, 홀수 번째 라인에 위치한 시냅스 구조물의 타측면에 그 일측면이 접촉되는 제 2 그룹의 워드라인들(120, 140)과 접속되며, 제 1 방향으로 연장되는 축을 기준으로 서로 동일한 층에 위치한 워드 라인들의 단부에 접촉된다.
- [0051] 이와 같은 구조에 따라 동일 층에 위치한 제 1 입력 워드라인들과 제 1 워드라인들, 제 2 입력 워드라인들과 제 2 워드라인들은 마치 빗(comb)과 같은 형상을 갖게되며, 서로 마주보는 형상을 갖도록 배치된다.
- [0052] 이러한 형상은 도 11에 도시된 회로도를 통해 더욱 명확하게 확인할 수 있으며, 이러한 구조에 따라 도 12와 같은 인공 신경망을 구현할 수 있다. 즉, 제 1 입력 워드라인들에 의하여 제 1 워드라인들이 모두 통합되고, 제 2 입력 워드라인들에 의하여 제 2 워드라인들이 모두 통합되는 구성을 갖게 된다.
- [0053] 한편, 도 12와 같은 인공 신경망의 구성은 제 1 실시예와 제 2 실시예에서도 구현이 가능하다. 즉, 입력 워드라인들을 각각 배치하지 않은 상태에서, 제 1 실시예와 제 2 실시예의 시냅스 구조물 어레이에서 제 1 그룹의 워드라인들(110, 130)에 동일한 데이터를 입력하고, 제 2 그룹의 워드라인들(120, 140)에 동일한 데이터를 입력하는 방법으로 데이터를 입력하고, 제 1 실시예에서와 같이 선택라인을 제외하거나, 제 2 실시예에서 선택라인을 모두 활성화시키는 방법으로 구현이 가능하다.
- [0054] 도 13은 본 발명의 제 4 실시예에 따른 뉴로모픽 소자를 도시한 도면이고, 도 14는 본 발명의 제 4 실시예에 따른 뉴로모픽 소자의 회로도를 도시한 도면이고, 도 15는 본 발명의 제 4 실시예에 따른 뉴로모픽 소자에 의해 구현되는 인공 신경망을 도시한 도면이다.
- [0055] 제 4 실시예는 제 3 실시예의 구성에 제 2 실시예의 선택라인이 추가되는 구성이다.
- [0056] 한편, 앞서 설명한 제 3 실시예는 제 4 실시예에서 각 선택라인들(410, 420, 430, 440)을 모두 턴온시킨 것과 동일하게 동작하게 된다.
- [0057] 선택라인(410, 420, 430, 440)이 추가됨에 따라, 포스트 시냅스 구조물 그룹 단위로 출력 비트라인(310, 320, 330)을 통해 출력되는 출력값들의 타이밍을 조절할 수 있다. 이에 따라, 도 14와 같이 인공 신경망의 구성도 도 11과는 달라지게 된다. 프리 뉴런의 구성은 제 3 실시예와 동일하지만, 포스트 뉴런은 각 시냅스 구조물 그룹 단위로 구분된다.
- [0058] 한편, 도 15와 같은 인공 신경망의 구성은 제 2 실시예에서도 구현이 가능하다. 즉, 입력 워드라인들을 각각 배치하지 않은 상태에서, 제 2 실시예의 시냅스 구조물 어레이에서 제 1 그룹의 워드라인들(110, 130)에 동일한 데이터를 입력하고, 제 2 그룹의 워드라인들(120, 140)에 동일한 데이터를 입력하는 방법으로 데이터를 입력하고, 제 2 실시예에서와 같이 선택라인을 선택적으로 활성화시키는 방법으로 구현이 가능하다.
- [0059] 위의 실시예와 관련하여, 인공 신경망의 구조를 선택하는 과정에 대하여 설명하면 다음과 같다. 본 발명의 실시예에 따르면, 도 6, 도 9, 도 12 및 도 15에 도시된 인공 신경망을 각각 선택할 수 있다.
- [0060] 도 6에 도시된 제 1 인공 신경망은 제 1 방향으로 연장되는 축을 공통으로 하는 관계에 있는 워드라인 그룹별로 프리 뉴런 입력값이 독립적으로 입력되도록 하고, 각 출력 비트라인별로 시냅스 구조물이 공통 접속되어 그 출력이 공통적으로 출력되는 구조로서, 도 4에 도시된 제 1 실시예의 회로 구성을 통해 구현될 수 있다. 또한, 도 7에 도시된 제 2 실시예와 같이 선택라인이 결합된 상태에서 선택라인을 모두 활성화시키는 경우 그 구현이 가능하다.
- [0061] 도 9에 도시된 제 2 인공 신경망은 제 1 방향으로 연장되는 축을 공통으로 하는 관계에 있는 워드라인 그룹별로 프리 뉴런 입력값이 독립적으로 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 각 선택라인에 의하여 구분되는 시냅스 구조물 그룹들에 따라 서로 상이하게 출력되도록 하는 구조로서, 도 7에 도시된 제 2 실시예와 같이 선택라인이 결합된 상태에서 선택라인을 순차적으로 활성화시키는 경우 그 구현이 가능하다.
- [0062] 도 12에 도시된 제 3 인공 신경망은 제 3 방향을 따라 홀수 번째에 위치한 워드라인 그룹들과 짝수 번째에 위치한 워드라인 그룹별로 상이한 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인별로 시냅스 구조물이 공통 접속되어 그 출력이 공통적으로 출력되는 구조로서, 도 4에 도시된 제 1 실시예에서 각 입력 워드라인에 대하여 그룹단위로 데이터를 동일하게 입력하는 방식으로 구현이 가능하다. 또한, 도 7에 도시된 제 2 실시예에서 각 입력 워드라인에 대하여 그룹단위로 데이터를 동일하게 입력하고, 선택라인이 결합된 상태에서 선택라인을 모두 활성화시키는 방식으로 구현이 가능하다. 또한, 도 10에 도시된 제 3 실시예의 회로 구성을 통해 그

구현이 가능하다.

- [0063] 도 15에 도시된 제 4 인공 신경망은 제 3 방향을 따라 홀수 번째에 위치한 워드라인 그룹들과 짝수 번째에 위치한 워드라인 그룹별로 상이한 프리 뉴런 입력값이 입력되도록 하고, 각 출력 비트라인들이 상기 시냅스 구조물들의 출력을 각 선택라인에 의하여 구분되는 시냅스 구조물 그룹들에 따라 서로 상이하게 출력되도록 하는 구조로서, 도 7에 도시된 제 2 실시예에서 각 입력 워드라인에 대하여 그룹단위로 데이터를 동일하게 입력하고, 선택라인을 순차적으로 활성화시키는 경우 그 구현이 가능하다. 또한, 도 13에 도시된 제 4 실시예의 회로 구성을 통해 그 구현이 가능하다.
- [0064] 이와 같이, 각 실시예를 통해 다양한 종류의 인공 신경망의 구성이 가능하다. 특히, 도 7에 도시된 제 2 실시예의 경우 하나의 회로 소자에서 4가지의 인공 신경망의 선택이 가능하다.
- [0065] 즉, 제 2 실시예의 경우 인공 신경망 선택부(32)는 각 워드라인별로 독립적으로 데이터를 입력하고 선택라인을 모두 활성화시켜 도 6에 도시된 제 1 인공 신경망을 구현하도록 한다. 또한, 인공 신경망 선택부(32)는 각 워드라인별로 독립적으로 데이터를 입력하고 선택라인을 선택적으로 활성화시켜 도 9에 도시된 제 2 인공 신경망을 구현하도록 한다. 또한, 인공 신경망 선택부(32)는 각 워드라인에 대하여 그룹별로 동일한 데이터를 입력하고 선택라인을 모두 활성화시켜 도 12에 도시된 제 3 인공 신경망을 구현하도록 한다. 또한, 인공 신경망 선택부(32)는 각 워드라인에 대하여 그룹별로 동일한 데이터를 입력하고 선택라인을 선택적으로 활성화시켜 도 15에 도시된 제 4 인공 신경망을 구현하도록 한다.
- [0066] 이와 같이, 인공 신경망 선택부(32)는 복수의 인공 신경망 중 어느 하나가 선택됨에 따라, 선택라인의 동작 및 워드라인에 대한 데이터 입력 조절을 통해 선택된 인공 신경망이 제공되도록 한다.
- [0067] 위에서 설명한 바와 같이, 특정한 인공 신경망이 선택되면, 그에 따라 각 셀에 대하여 가중치 값을 기록하는 동작을 수행하고, 이후 프리 뉴런의 입력 값에 각 가중치 값이 반영된 인공 신경망의 출력값을 독출하는 동작을 수행한다. 이러한 동작에 대하여 보다 상세히 살펴보기로 한다.
- [0068] 도 16은 본 발명의 일 실시예에 따른 뉴로 모픽 소자의 가중치 기록 방법을 도시한 순서도이다.
- [0069] 먼저, 가중치 값을 기록할 셀의 프리 뉴런에 인가될 전압을 설정한다(S710). 이때, 가중치 값은 2진수 숫자로서 하나 이상의 비트를 갖는 값으로 설정될 수 있다. 그리고, 도 7에서와 같이 워드라인들이 제 1 방향을 따라 N 개의 층을 갖는 경우, N 개 비트의 2진수 숫자를 이용하여 저항 상태를 구별할 수 있다. 예를 들어, 3 비트의 2진 숫자를 입력한다면, 000이 입력될 경우 고저항은 0개, 001, 010, 100이 입력될 경우 고저항은 1개, 011, 101, 110이 입력될 경우 고저항은 2개, 111이 입력될 경우 고저항은 3개로 설정되므로, 3비트의 숫자로 인해 구별될 수 있는 저항의 상태는 총 4가지가 될 수 있다.
- [0070] 다음으로, 가중치 값을 기록할 셀의 포스트 뉴런에 인가될 전압을 설정한다(S720). 이때, 포스트 뉴런은 출력 비트라인으로서, 가중치를 저장할 셀과 접속된 출력 비트라인에 하이레벨 전압이 공급되도록 하고, 나머지 출력 비트라인은 플로팅 상태가 되도록 한다.
- [0071] 다음으로, 선택라인에 인가될 전압을 설정한다(S730). 즉, 기록 동작이 수행될 셀이 포함된 시냅스 구조물과 접속된 선택라인이 활성화되도록 한다.
- [0072] 도 7을 참조하여 설명하면, 예를 들어, 시냅스 구조물(210)에 형성된 셀에 데이터를 기록할 경우, 프리뉴런으로 기능하는 워드라인들(110, 112, 114)에 기록할 데이터(1 또는 0)에 맞게 각 워드라인(110, 112, 114)과 출력 비트라인(310)에 공급할 전압을 설정한다. 또한, 해당 시냅스 구조물(210)이 활성화되도록 선택라인(410)을 턴온시킨다.
- [0073] 이때, 인접한 다른 시냅스 구조물(220, 230)의 경우 출력 비트라인(320, 330)을 플로팅 시키도록 전압을 설정하고, 해당 시냅스 구조물(210)에 접속된 다른 워드라인들(120, 122, 124)에 대해서도 데이터 기록을 위한 전압 공급을 수행하지 않는다. 그리고, 라인이 다른 시냅스 구조물(240, 250, 260)에 대해서는 선택라인(420)을 턴오프시킨다. 한편, 이와 같은 전압 설정 과정은 앞서 설명한 제어부(30)의 제어 동작에 의하여서 수행된다. 그리고, 전압 설정 과정은 설명의 편의를 위하여 그 순서를 표시하였을 뿐이고, 서로 동일한 시점에 수행되거나 서로 뒤바뀐 순서에 따라 전압이 설정될 수 있다.
- [0074] 다음으로, 위의 과정에서 설정된 전압에 따라 전압 공급부(20)가 각 워드라인, 출력 비트라인 및 선택라인에 전압을 공급하여, 미리 설정된 셀에 가중치 값이 기록되도록 한다.

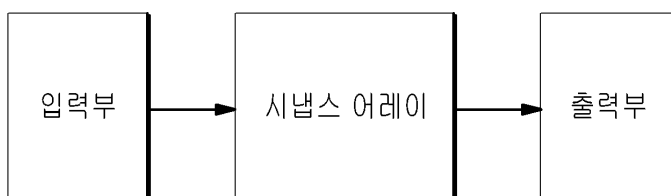
- [0075] 도 17은 본 발명의 일 실시예에 따른 뉴로 모픽 소자의 데이터 독출 방법을 도시한 순서도이다.
- [0076] 먼저, 독출할 셀의 프리 뉴런에 인가될 전압을 설정한다(S810).
- [0077] 다음으로, 독출할 셀의 포스트 뉴런에 인가될 전압을 설정한다(S820).
- [0078] 다음으로, 선택라인에 인가될 전압을 설정한다(S830).
- [0079] 도 7을 참조하여 설명하면, 예를 들어, 시냅스 구조물(210)에 형성된 셀에 기록된 데이터를 독출할 경우, 프리 뉴런으로 기능하는 각 워드라인(110, 112, 114)과 출력 비트라인(310)에 독출 동작을 위한 전압을 설정한다. 또한, 해당 시냅스 구조물(210)이 활성화되도록 선택라인(410)을 턴온 시킨다.
- [0080] 이때, 독출대상이 아닌 다른 시냅스 구조물(240, 250, 260)에 대해서는 선택라인(420)을 턴오프시킨다. 한편, 이와 같은 전압 설정 과정은 앞서 설명한 제어부(30)의 제어 동작에 의하여서 수행된다. 그리고, 전압 설정 과정은 설명의 편의를 위하여 그 순서를 표시하였을 뿐이고, 서로 동일한 시점에 수행되거나 서로 뒤바뀐 순서에 따라 전압이 설정될 수 있다.
- [0081] 다음으로, 위의 과정에서 설정된 전압에 따라 전압 공급부(20)가 각 워드라인, 출력 비트라인 및 선택라인에 전압을 공급하여, 미리 설정된 셀의 상태를 독출하는 독출 동작을 수행한다.
- [0082] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0083] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

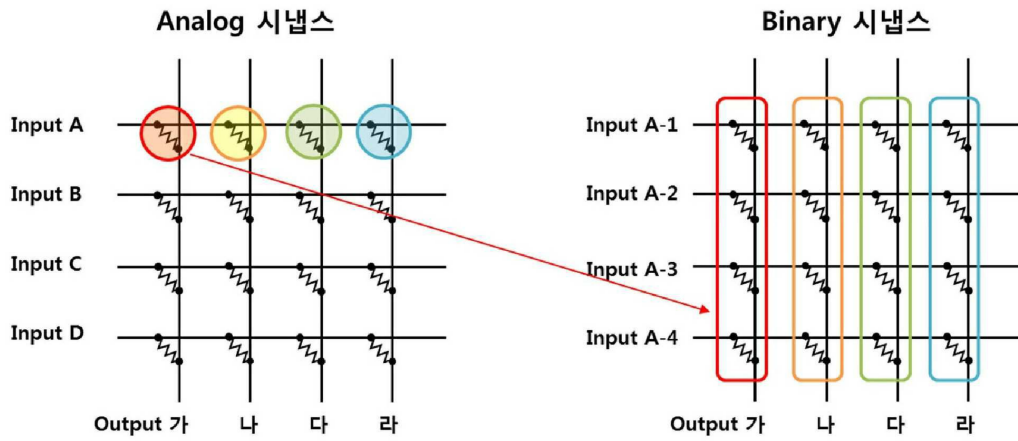
- [0084] 110, 120, 130, 140: 워드라인
210, 220, 230: 시냅스 구조물
310, 320, 330: 출력 비트라인
410, 420, 430: 선택라인
510, 520, 530: 입력 워드라인

도면

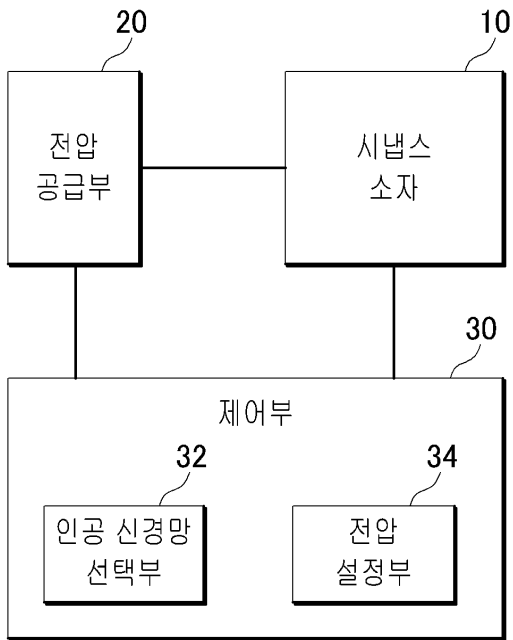
도면1



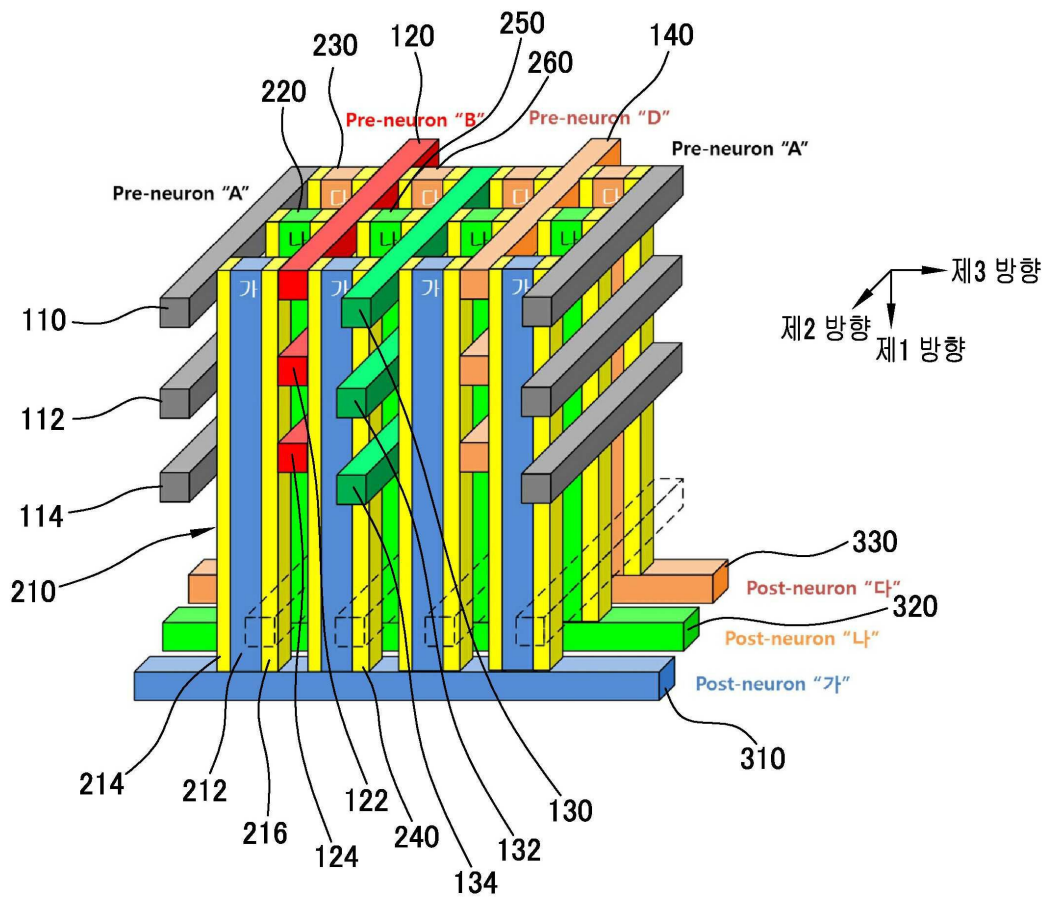
도면2



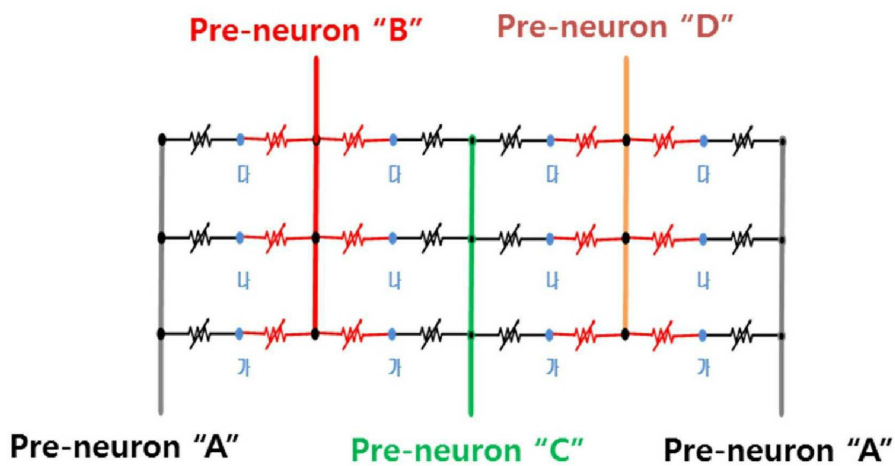
도면3



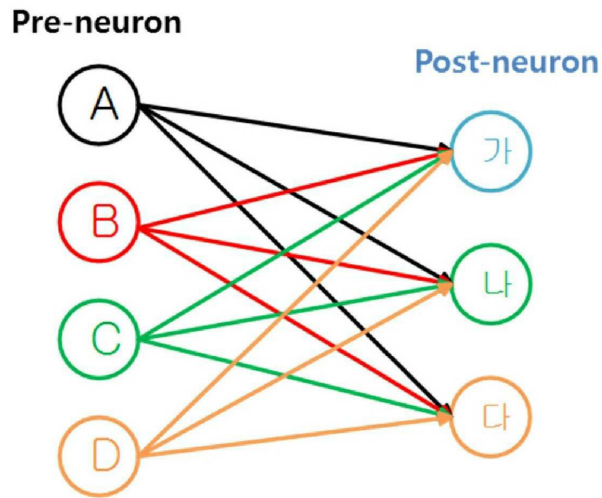
도면4



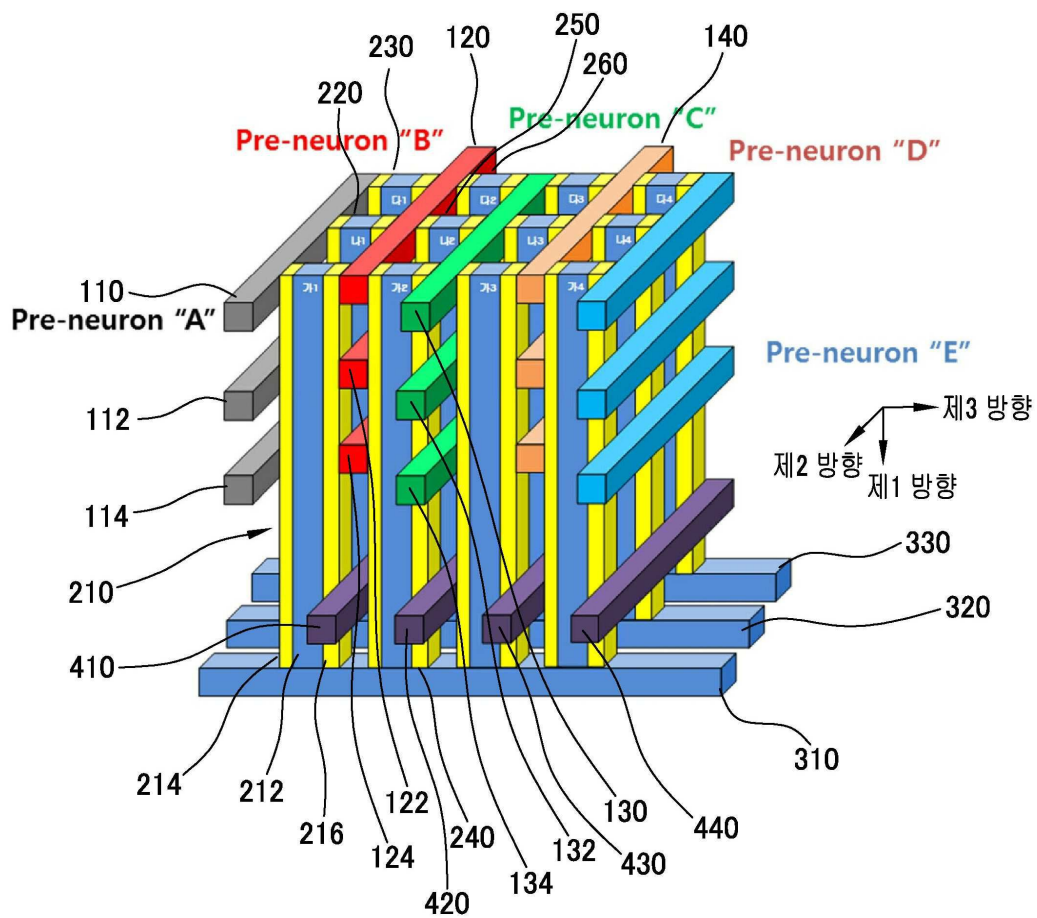
도면5



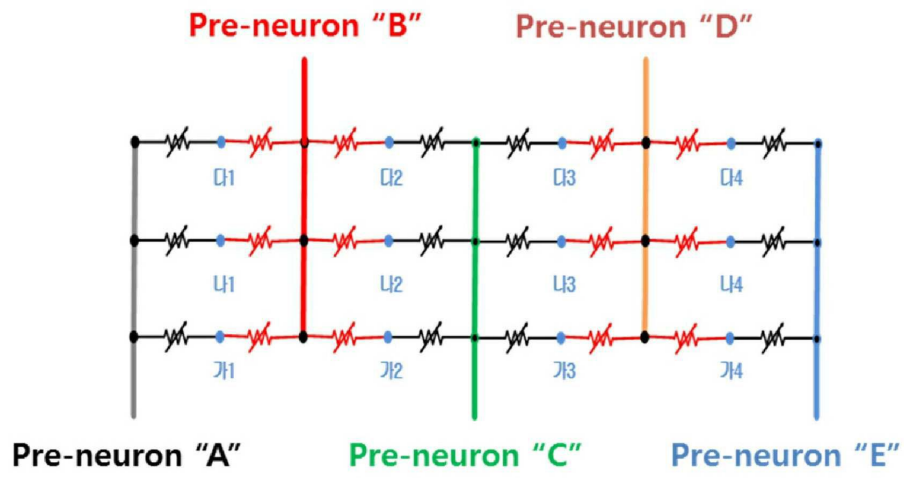
도면6



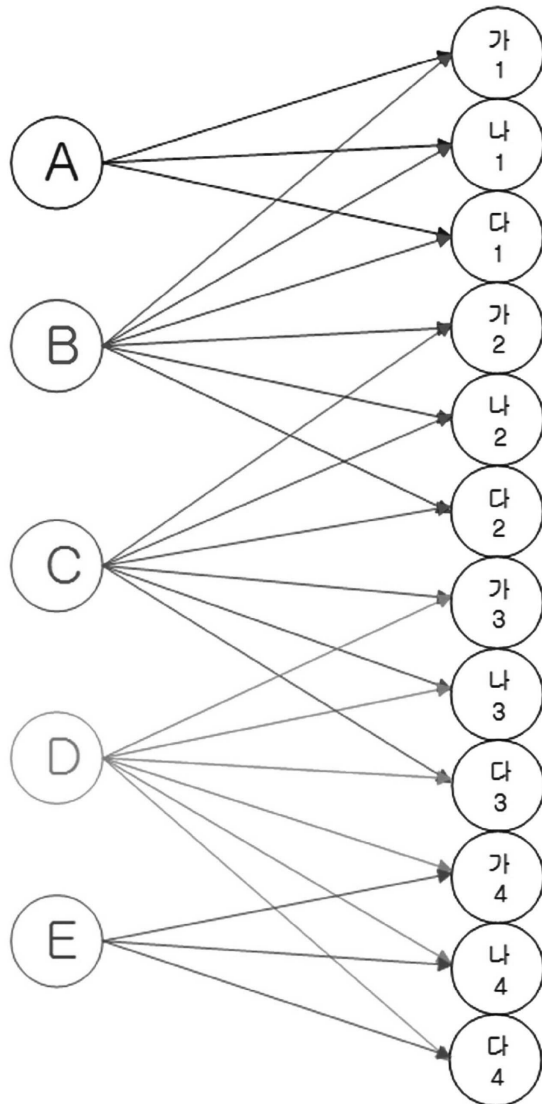
도면7



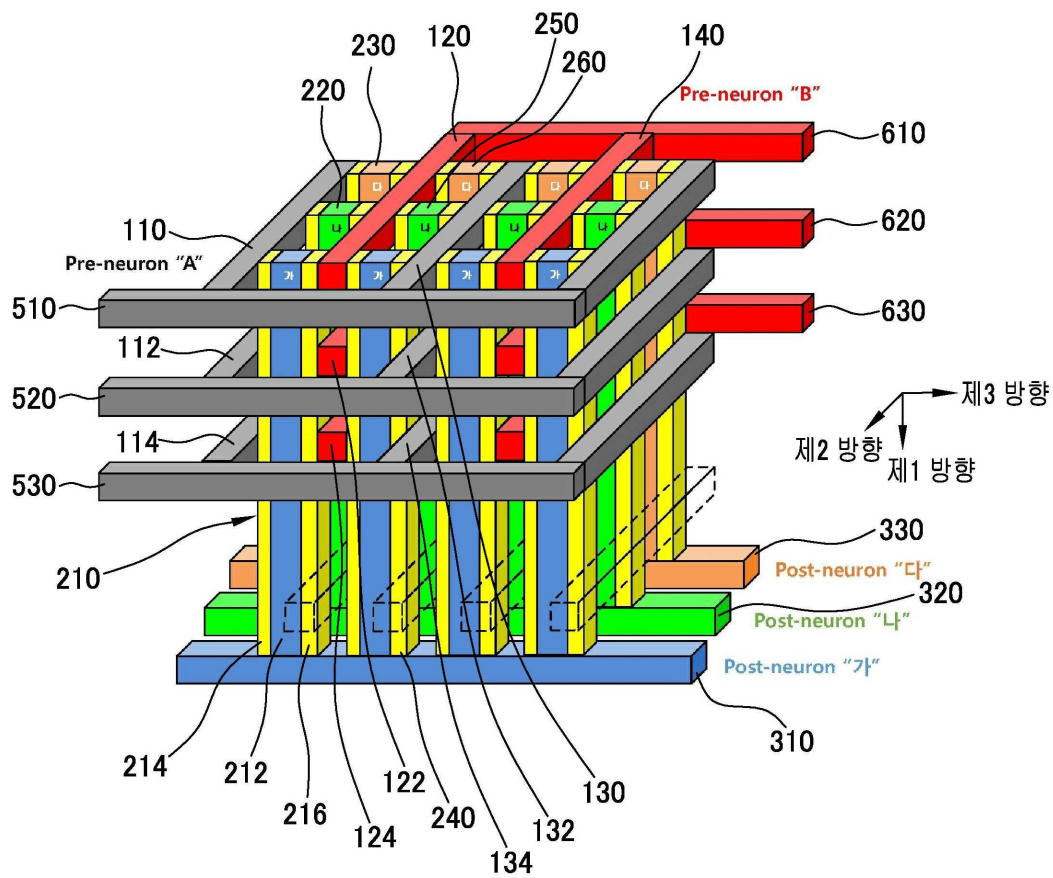
도면8



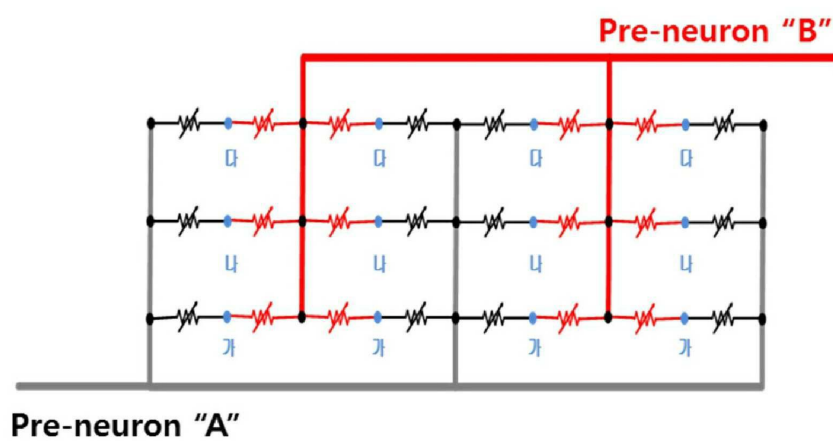
도면9



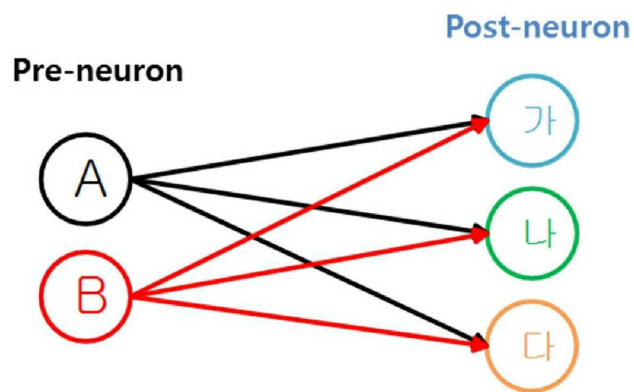
도면10



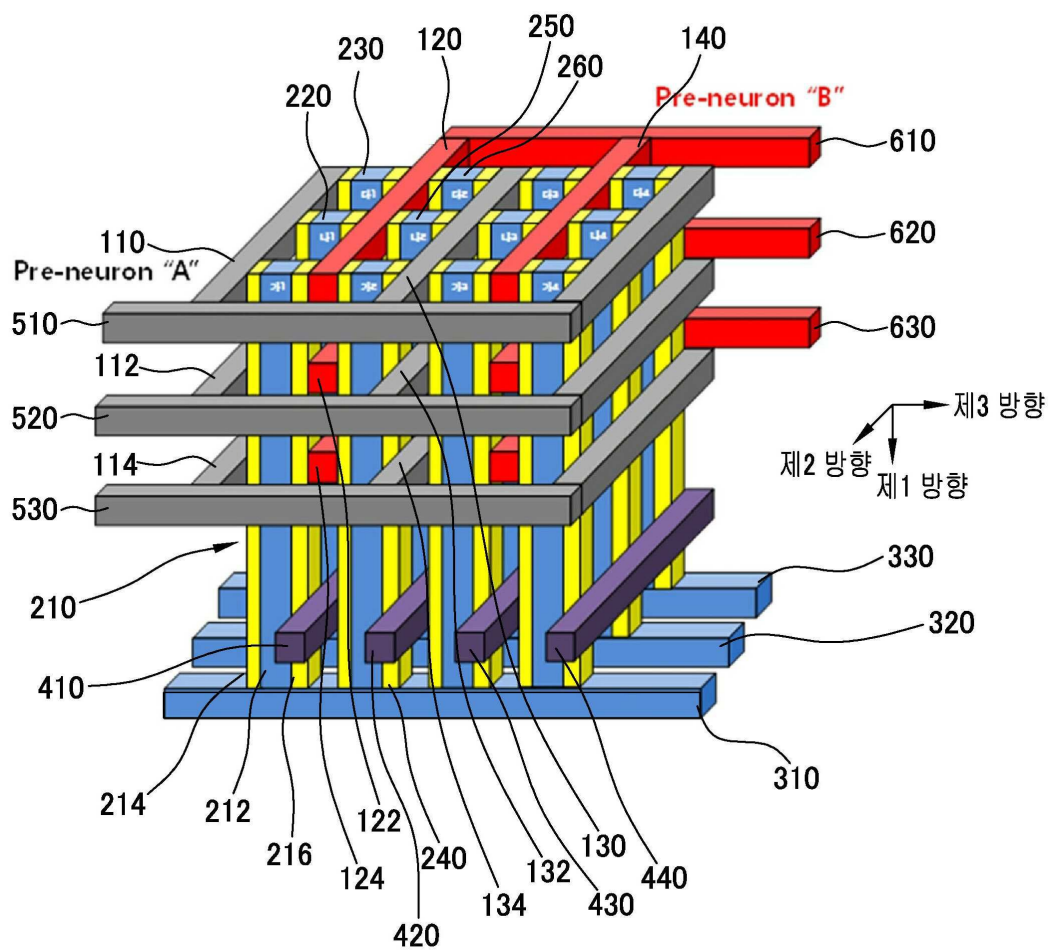
도면11



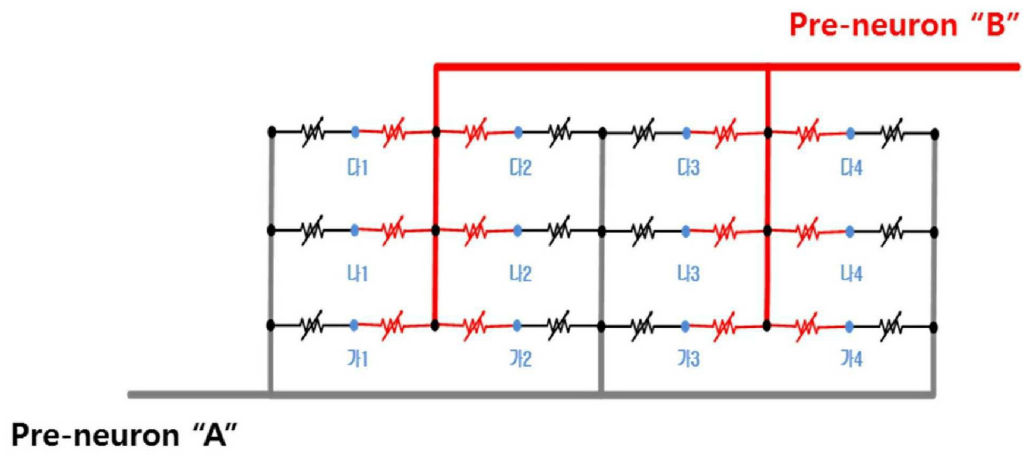
도면12



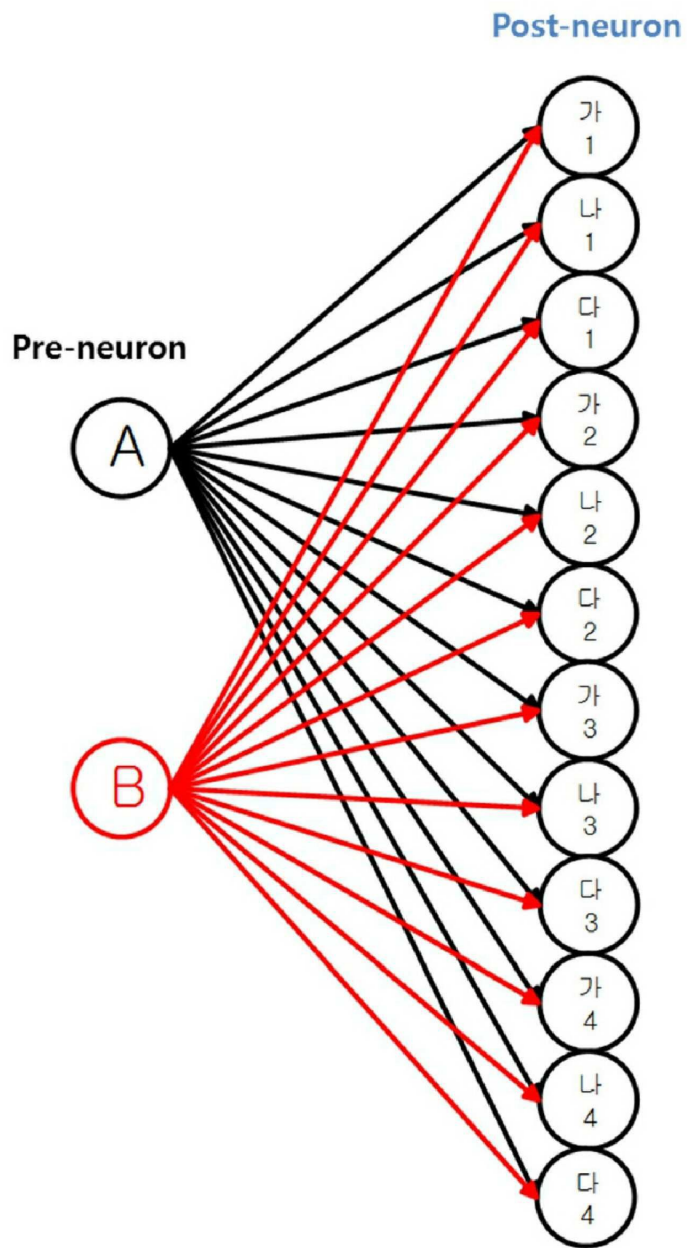
도면13



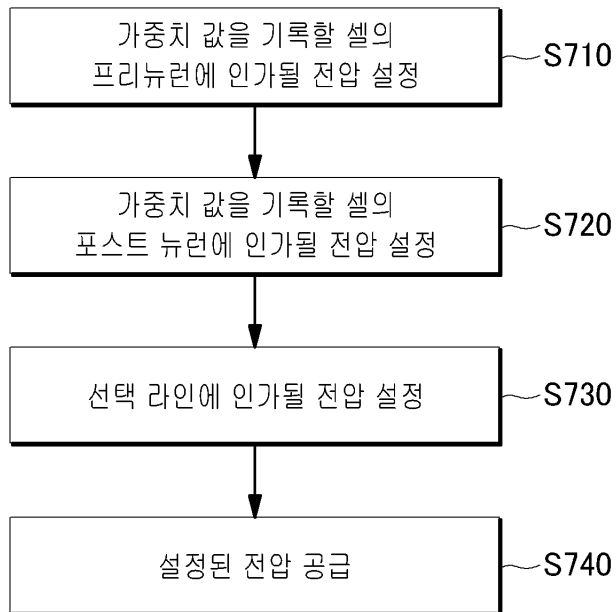
도면14



도면15



도면16



도면17

