

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年10月31日(31.10.2013)



(10) 国際公開番号
WO 2013/161146 A1

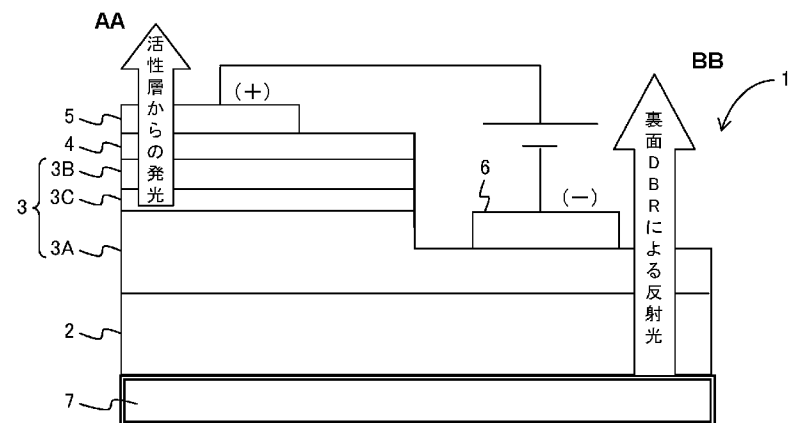
- (51) 国際特許分類:
H01L 33/46 (2010.01) H01L 21/314 (2006.01)
H01L 21/205 (2006.01) H01L 21/316 (2006.01)
H01L 21/304 (2006.01) H01L 31/0232 (2006.01)
H01L 21/3065 (2006.01) H01S 5/028 (2006.01)
H01L 21/312 (2006.01)
- (21) 国際出願番号: PCT/JP2013/000922
- (22) 国際出願日: 2013年2月20日(20.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-101453 2012年4月26日(26.04.2012) JP
- (71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 佐々木 博司 (SASAKI, Hiroshi); 〒5458522 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 Osaka (JP). 横田 浩 (YOKOTA, Hiroshi); 〒5458522 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 Osaka (JP).
- (74) 代理人: 山本 秀策, 外 (YAMAMOTO, Shusaku et al.); 〒5406015 大阪府大阪市中央区城見一丁目2番27号クリスタルタワー15階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



AA Light emission from active layer
BB Reflected light due to back surface DBR

(57) Abstract: [Problem] To efficiently minimize contamination of a film formation surface immediately prior to film formation, without the use of a specialized cleaning device during the formation preprocess. [Solution] The method has: an ion plasma cleaning step for ion plasma cleaning through ion plasma irradiation of the back surface of an insulating substrate (2); and a DBR deposition film formation step for forming a DBR deposition film (7) on the back surface (irradiated surface) of the insulating substrate (2) having undergone ion plasma irradiation. In so doing, the DBR deposition film (7) is formed on the back surface of the insulating substrate (2) after organic matter, moisture, and other contaminant substances have been eliminated from the back surface of the insulating substrate (2) by ion plasma cleaning.

(57) 要約: 【課題】形成前工程に専用の洗浄装置を用いることなく、膜形成直前の膜形成面の汚染を効率的に抑制する。【解決手段】絶縁基板2の裏面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、イオンプラズマ

照射をした絶縁基板2の裏面(照射面)に対してDBR蒸着膜7を形成するDBR蒸着膜形成工程とを有している。このように、イオンプラズマクリーニングにより絶縁基板2の裏面上の有機物、水分、その他の汚染物質をその裏面から除去した後、DBR蒸着膜7が絶縁基板2の裏面上に形成される。

WO 2013/161146 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、分布ブラッグ反射器（Distributed Bragg Reflector）などの反射膜を有する発光装置の製造方法や、受光領域上およびレンズ上に反射防止膜を有する受光装置の製造方法などの半導体装置の製造方法に関する。

背景技術

[0002] 従来の発光装置として、例えば発光ダイオードチップ（LEDチップ）におけるサファイア基板のような透明基板の裏面に金属反射器または分布ブラッグ反射器を形成する技術が研究されている。

[0003] 図11は、特許文献1に開示されている従来の分布ブラッグ反射器を持つ発光ダイオードチップを示す縦断面図である。

[0004] 図11に示すように、従来の発光ダイオードチップ100は、基板101と、その表面上に設けられたバッファ層102と、その上に設けられた発光構造体103と、この発光構造体103上に設けられた透明電極104と、透明電極104の一部上に設けられたp-電極パッド105と、発光構造体103の第1導電型半導体層103Aを途中で露出させた面の一部上に設けられたn-電極パッド106と、基板101の裏面側に設けられた光反射用の分布ブラッグ反射器107と、この分布ブラッグ反射器107上に設けられた反射金属層108と、反射金属層108上に設けられた保護層109とを有している。

[0005] 基板101は透明基板であり、サファイア基板またはSiC基板である。発光ダイオードチップ100の面積が相対的に大きいほど反射効果が増加する。

[0006] 発光構造体103は、窒化ガリウム系列の化合物半導体物質、即ち、（Al、In、Ga）Nで構成されており、第1導電型半導体層103Aと、こ

れとは反対導電型の第2導電型半導体層103Bと、これらの間に配置された活性層103Cとを有している。

[0007] 活性層103Cは、求められる波長の光、例えば、紫外線または青色光を出射するように組成元素および組成比が決められている。活性層103Cは、単一量子井戸構造または多重量子井戸構造に形成されていてもよい。

[0008] 発光構造体103は、MOCVD (metal-organic chemical vapor deposition) またはMBE (molecular beam epitaxy) 技術を用いて形成してもよく、フォトリソグラフィおよびエッチング工程を用いて、n-電極パッド106を形成するために、第1導電型半導体層103Aの一部領域が露出するようにパターニングされていてもよい。

[0009] 透明電極層104は、第2導電型半導体層103B上に、例えばITOまたはNi/Auで形成されてもよい。透明電極層104は、第2導電型半導体層103Bに比べて比抵抗が低いため、電流を分散させる役割を有する。

[0010] 一方、基板101の下部、即ち、その裏面には分布ブラッグ反射器107が配設されている。分布ブラッグ反射器107は、第1分布ブラッグ反射器107Aとその下の第2分布ブラッグ反射器107Bとを有している。

[0011] 図12は、図11の発光ダイオードチップの分布ブラッグ反射器107の詳細を示す縦断面図である。

[0012] 図12に示すように、図11の発光ダイオードチップ100の第1分布ブラッグ反射器107Aは、第1材料層111aと第2材料層111bとの対が複数、繰り返して形成されている。また、第2分布ブラッグ反射器107Bは、第2材料層111bの下に、第3材料層112aと第4材料層112bとの対が複数、繰り返して形成されている。

[0013] 第1材料層111aと第2材料層111bとの複数個の対は、青色波長領域の光に比べて赤色波長領域の光、例えば550nmまたは630nmの光に対する反射率を相対的に高くしている。また、第2分布ブラッグ反射器107Bは赤色または緑色波長領域の光に比べて青色波長領域の光、例えば4

60 nmの光に対する反射率を相対的に高くしている。この際、第1分布ブラッグ反射器107A内の材料層111a、111bの光学的膜厚は、第2分布ブラッグ反射器107B内の材料層112a、112bの光学的膜厚よりも厚いが、これに限定されず、その反対としてもよい。

[0014] 第1材料層111aは、第3材料層112aと同一の材料、即ち同一の屈折率を有してもよく、第2材料層111bは、第4材料層112bと同一の材料、即ち同一の屈折率を有してもよい。例えば、第1材料層11aおよび第3材料層112aはTiO₂ (n:約2.5)で形成されていてもよく、第2材料層111bおよび第4材料層112bはSiO₂ (n:約1.5)で形成されていてもよい。

[0015] また、第1材料層111aの光学的膜厚(屈折率×厚さ)は、第2材料層111bの光学的膜厚と実質的に整数倍の関係を有し、好ましくは、これらの光学的膜厚は実質的に同一としてもよい。また、第3材料層112aの光学的膜厚は、第4材料層112bの光学的膜厚と実質的に整数倍の関係を有し、好ましくは、これらの光学的膜厚は実質的に同一としてもよい。

[0016] また、第1材料層111aの光学的膜厚を第3材料層112aの光学的膜厚より厚くし、第2材料層111bの光学的膜厚を第4材料層112bの光学的膜厚よりも厚くしてもよい。第1～第4材料層111a、111b、112a、112bの光学的膜厚は、各材料層の屈折率および/または実際の厚さを調節して制御することができる。

[0017] 以上のように、従来の発光ダイオードチップ100は、その基板101の裏面に分布ブラッグ反射器107を有し、その基板101の表面側の発光構造体103から基板101側に出射される光を分布ブラッグ反射器107で表面側に反射するようになっている。この分布ブラッグ反射器107は、図13に示すように低屈折率膜と高屈折率膜とが交互に順次成膜されて多層に構成されている。分布ブラッグ反射器107は、青色、緑色および赤色の波長光に対して90パーセント以上の反射率を有している。さらに、分布ブラッグ反射器107上には反射金属層108が設けられている。

先行技術文献

特許文献

[0018] 特許文献1：特開2011-166146号公報

発明の概要

発明が解決しようとする課題

[0019] 特許文献1に開示されている上記従来の分布ブラッグ反射器107を持つ発光ダイオードチップ100は、基板101と分布ブラッグ反射器107の蒸着膜との界面の光の吸収を抑制する必要がある裏面DBR蒸着膜形成工程において、その基板101と分布ブラッグ反射器107の界面における光吸収を抑制するには、蒸着膜形成直前の基板101の裏面汚染を抑制することが必要である。

[0020] しかしながら、基板101の裏面汚染を抑制するためには、蒸着前工程（裏面研磨、SD加工（ステルスダイシング（登録商標））、チップ分割、基板転写等）で付着した有機物、水分、その他の汚染物質をその基板101の裏面から除去する必要があり、蒸着前工程に専用の洗浄装置が必要になってしまうという問題を有していた。

[0021] 本発明は、上記従来の問題を解決するもので、膜形成前工程に専用の洗浄装置を用いることなく、膜形成直前の膜形成面の汚染を効率的に抑制することができる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0022] 本発明の半導体装置の製造方法は、素子表面、素子裏面、素子一部側面または光入射面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、該素子表面、該素子裏面、該素子一部側面または該光入射面に膜形成を行う膜形成工程とを有するものであり、そのことにより上記目的が達成される。

[0023] また、好ましくは、本発明の半導体装置の製造方法における膜形成工程は、前記素子表面、前記素子裏面または前記素子一部側面に反射膜を形成する

かまたは／および、前記光入射面に反射防止膜を形成する。

[0024] さらに、好ましくは、本発明の半導体装置の製造方法における反射膜はD B R蒸着膜であり、該D B R蒸着膜または前記反射防止膜の形成前に前記イオンプラズマ照射を膜形成前処理クリーニングとして用いる。

[0025] さらに、好ましくは、本発明の半導体装置の製造方法における発光素子の表面、裏面、一部側面および受光素子の光入射面のいずれかにイオンプラズマ照射をした後に、該イオンプラズマ照射をした照射面に対して前記D B R蒸着膜または前記反射防止膜を形成する。

[0026] さらに、好ましくは、本発明の半導体装置の製造方法における膜形成装置の同一チャンバ内で前記イオンプラズマクリーニング工程を実施する。

[0027] さらに、好ましくは、本発明の半導体装置の製造方法における膜形成装置のチャンバ内部に搭載したプラズマ源により、元素ガスをイオンプラズマ化し、照射対象面にプラズマ照射することにより該照射対象面をクリーニングした後に該チャンバ内で前記照射面に前記D B R蒸着膜または前記反射防止膜を形成する。

[0028] さらに、好ましくは、本発明の半導体装置の製造方法における元素ガスとして、H₂ガスまたはO₂ガスを用いるかまたは／および、A rガス、H eガスまたはN₂ガスを用いて前記プラズマ化を行う。

[0029] さらに、好ましくは、本発明の半導体装置の製造方法におけるO₂ガスのガス流量を15～85 s c c mとして前記イオンプラズマクリーニングを行う。

[0030] さらに、好ましくは、本発明の半導体装置の製造方法におけるA rガスのガス流量を10～85 s c c mとして前記イオンプラズマクリーニングを行う。

[0031] さらに、好ましくは、本発明の半導体装置の製造方法におけるD B R蒸着膜は低屈折率膜と高屈折率膜の対を複数対用いる。

[0032] さらに、好ましくは、本発明の半導体装置の製造方法において、前記低屈折率膜の材料としてS i O₂またはS i Oを用い、前記高屈折率膜の材料とし

て TiO_2 , Ti_3O_5 , Ti_2O_3 , TiO , ZrO_2 , $TiO_2ZrO_2Nb_2O_5$, Al_2O_3 のいずれかを用いる。

[0033] さらに、好ましくは、本発明の半導体装置の製造方法における高屈折率膜の TiO_2 と前記低屈折率膜の SiO_2 との対を繰り返し成膜して多層の反射膜を形成する。

[0034] さらに、好ましくは、本発明の半導体装置の製造方法における多層の反射膜は 30 層～50 層の範囲内の層数を有する。

[0035] さらに、好ましくは、本発明の半導体装置の製造方法における反射膜は、光波長 370～720 nm までの範囲で、垂直方向への反射率が 90 パーセント以上である。

[0036] さらに、好ましくは、本発明の半導体装置の製造方法における膜形成工程は、前記素子表面、前記素子裏面または前記素子一部側面に高屈折率膜の TiO_2 と、低屈折率膜の SiO_2 との対を繰り返し成膜して複数対の反射膜を形成する。

[0037] さらに、好ましくは、本発明の半導体装置の製造方法において、前記膜形成工程は、前記光入射面として受光素子における受光領域の上面または、該受光領域に入射光を集光させるためのレンズの表面に反射防止膜を形成する。

[0038] 上記構成により、以下、本発明の作用を説明する。

[0039] 本発明においては、素子表面、素子裏面（基板裏面）、素子一部側面または光入射面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、素子表面、素子裏面、素子一部側面または光入射面に膜形成を行う膜形成工程とを有する。

[0040] これによって、膜形成工程の前にイオンプラズマクリーニング工程を実施するので、膜形成工程の前に別途専用の洗浄装置を用いることなく、膜形成直前の膜形成面の汚染を効率的に抑制することが可能となる。

発明の効果

[0041] 以上により、本発明によれば、膜形成工程の前にイオンプラズマクリーニ

ング工程を実施するため、膜形成前工程に別途専用の洗浄装置を用いることなく、膜形成直前の膜形成面の汚染を効率的に抑制することができる。

図面の簡単な説明

[0042] [図1]本発明の実施形態1における分布ブラッグ反射器を持つフェースアップ型発光ダイオードチップを示す縦断面図である。

[図2]イオンプラズマクリーニング後の図1のDBR蒸着膜形成の低屈折率膜と高屈折率膜との成膜順を示す図である。

[図3]容量結合プラズマ源CCPを簡単に示す模式図である。

[図4]電子サイクロトロン共鳴(ECR)プラズマ源を簡単に示す模式図である。

[図5]ヘリコン波励起プラズマ源HWPを簡単に示す模式図である。

[図6]誘導結合プラズマ源ICPを簡単に示す模式図である。

[図7]表面波プラズマ源SWPを簡単に示す模式図である。

[図8]本発明の実施形態2における分布ブラッグ反射器を持つフェースダウン型発光ダイオードチップを示す縦断面図である。

[図9]本発明の実施形態3における分布ブラッグ反射器を持つ半導体レーザチップを示す縦断面図である。

[図10]図9の活性層の平面視4側面の2種類のDBR蒸着膜を4角形の各辺として示す横断面図である。

[図11]特許文献1に開示されている従来の分布ブラッグ反射器を持つ発光ダイオードチップを示す縦断面図である。

[図12]図11の発光ダイオードチップの分布ブラッグ反射器の詳細を示す縦断面図である。

[図13]図11の発光ダイオードチップの分布ブラッグ反射器における低屈折率膜と高屈折率膜との成膜順を示す図である。

符号の説明

[0043] 1 フェースアップ型発光ダイオードチップ(フェースアップ型LEDチップ)

- 2, 12, 22 絶縁基板
- 3A、13A、23 N型クラッド層
- 3B、13B、25 P型クラッド層
- 3C、13C、24 活性層
- 4 透明電極
- 5 p電極
- 6 n電極
- 7 分布ブラッグ反射器（DBR蒸着膜）
- 11 フェースダウン型発光ダイオードチップ（フリップチップ型LEDチップ）
- 21 半導体レーザチップ
- 26 上部P電極
- 27 下部N電極
- 28, 29 DBR蒸着膜

発明を実施するための形態

[0044] 以下に、本発明の発光装置や受光装置などの半導体装置の製造方法の実施形態1～3について図面を参照しながら詳細に説明する。なお、各図における構成部材のそれぞれの厚みや長さなどは図面作成上の観点から、図示する構成に限定されるものではない。

[0045] （実施形態1）

図1は、本発明の実施形態1における分布ブラッグ反射器を持つフェースアップ型発光ダイオードチップを示す縦断面図である。

[0046] 図1において、本実施形態1の光半導体素子（発光素子）としてのフェースアップ型発光ダイオードチップ1（フェースアップ型LEDチップ1）は、サファイア基板またはSiC基板などの透明基板である絶縁基板2と、その表面上に設けられたN型クラッド層3Aと、その上に設けられた活性層3Cと、その上に設けられたP型クラッド層3Bと、このP型クラッド層3B上に設けられ、例えばITO膜などで形成された透明電極4と、透明電極4

の一部上に設けられた p 電極 5 と、N 型クラッド層 3 A を厚さ方向途中まで除去して露出させた面の一部上に設けられた n 電極 6 と、基板 2 の裏面側に設けられた光反射用の分布ブラッグ反射器 7 とを有している。この分布ブラッグ反射器 7（以下 DBR 蒸着膜 7 という）上に更に反射金属層を設けてもよい。

[0047] フェースアップ型 LED チップ 1 では、活性層 3 C で発光した光を素子の上部に向けて光出力する必要があるため、素子の下部側に漏れた光を基板裏面に形成した DBR 蒸着膜 1 7 によって素子の上部側に全反射し、素子の上部に向けて光出力させるものである。

[0048] これらの N 型クラッド層 3 A と P 型クラッド層 3 B との間に活性層 3 C が設けられた発光構造体 3 を構成している。発光構造体 3 は、窒化ガリウム系列の化合物半導体物質で構成されており、活性層 3 C は、求められる波長の光、例えば、紫外線または青色光を出射するように組成元素および組成比が決められている。活性層 3 C は、単一量子井戸構造または多重量子井戸構造に形成されている。

[0049] 発光構造体 3 は、MOCVD または MBE 技術を用いて形成してもよく、フォトリソグラフィおよびエッチング工程を用いて、n-電極 6 を形成するために、N 型クラッド層 3 A の一部領域が露出するようにパターニングされている。

[0050] 蒸着膜形成装置により、基板 2 の裏面をイオンプラズマクリーニングして有機物、水分、その他の汚染物質をその裏面から除去した後に、DBR 蒸着膜 7 が絶縁基板 2 の裏面上に配設されている。即ち、図 2 に示すように、DBR 蒸着膜 7 の形成前に絶縁基板 2 の裏面にイオンプラズマ照射を蒸着前処理クリーニングとして行う。イオンプラズマクリーニングした絶縁基板 2 の裏面上に DBR 蒸着膜 7 として高屈折率膜と低屈折率膜の対を複数対順次形成している。

[0051] 上記構成により、以下、その動作について説明する。

[0052] 本実施形態 1 の発光装置としてのフェースアップ型 LED チップ 1 の製造

方法は、絶縁基板 2 の表面上に N 型クラッド層 3 A を形成する N 型クラッド層形成工程と、その N 型クラッド層 3 A 上に活性層 3 C を形成する活性層形成工程と、その活性層 3 C 上に P 型クラッド層 3 B を形成する P 型クラッド層形成工程と、P 型クラッド層 3 B 上に透明電極 4 を形成する透明電極形成工程と、透明電極 4 の一部上に p 電極 5 を形成する p 電極形成工程と、N 型クラッド層 3 A を厚さ方向途中までエッチング除去して露出させた面の一部上に n 電極 6 を形成する n 電極形成工程と、絶縁基板 2 の裏面をイオンプラズマクリーニングするイオンプラズマクリーニング工程と、絶縁基板 2 の裏面に光反射用の DBR 蒸着膜 7 を形成する DBR 蒸着膜形成工程とを有している。

[0053] イオンプラズマクリーニング工程は、蒸着膜形成装置の処理条件を工夫し、高屈折率膜と低屈折率膜の対を複数対成膜する DBR 蒸着膜形成工程の直前に DBR 蒸着膜 7 の緻密性向上のために用いているイオンアシストガンを用いたイオンプラズマクリーニング処理を導入する。

[0054] 蒸着膜形成装置において、DBR 蒸着膜 7 の緻密性向上のために用いているイオンアシストガンを蒸着処理直前の前処理として、絶縁基板 2 の裏面にイオンプラズマクリーニング処理として転用する。このため、専用の洗浄装置の導入や蒸着装置の改造は不要であり、しかも、同一チャンバ内の真空中で即ち「*in situ*」で次の DBR 蒸着膜形成工程の DBR 蒸着膜 7 の形成に進むことができる。

[0055] したがって、下地面である絶縁基板 2 の裏面の清浄度を保ったまま直ぐに分布ブラッグ反射膜 7 の膜形成が可能であり、絶縁基板 2 の裏面と DBR 蒸着膜 7 との界面制御の安定化に繋がる。

[0056] 絶縁基板 2 の裏面に形成する DBR 蒸着膜処理条件としては 低屈折率膜と高屈折率膜の誘電体材料を交互に用いる。その形成順序は高屈折率膜から低屈折率膜の順に形成してもよいし、その逆でも構わない。

[0057] DBR 蒸着膜 7 を構成する低屈折率膜と高屈折率膜の誘電体材料は、具体的には例えば TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 TiO_2Z

$r\text{O}_2\text{Nb}_2\text{O}_5$ 、 CeO_2 、 ZnS 、 Al_2O_3 、 SiN 、 Nb_2O_5 、 Ta_2O_5 、シロキサン重合体、 SiO 、 SiO_2 、 MgF_2 のいずれかが含まれていてもよい。他の材料が同様に適切である可能性もあり得る。

[0058] 要するに、低屈折率膜の材料として SiO_2 および SiO のいずれかを用い、高屈折率膜の材料として TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 $\text{TiO}_2\text{ZrO}_2\text{Nb}_2\text{O}_5$ 、 Al_2O_3 のいずれかを用いる。

[0059] DBR蒸着膜7の下部に金属層(AI, Ag)を用いないため、R、G、B可視光領域の反射率を高くするには総層数は30層以上必要である。高屈折率膜の TiO_2 と、低屈折率膜の SiO_2 との対を繰り返して成膜して多層の反射膜を形成する場合、多層の反射膜は30~50層とする。この反射膜は、光波長370~720nmまでの範囲で、垂直方向への反射率が90パーセント以上を有する。

[0060] 以上により、本実施形態1によれば、絶縁基板2の裏面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、イオンプラズマ照射をした絶縁基板2の裏面(照射面)に対してDBR蒸着膜7を形成するDBR蒸着膜形成工程とを有している。

[0061] このように、イオンプラズマクリーニングにより絶縁基板2の裏面上の有機物、水分、その他の汚染物質をその裏面から除去した後に、DBR蒸着膜7が絶縁基板2の裏面上に配設されるため、絶縁基板2の裏面とDBR蒸着膜7との界面の光吸収が抑制されると共に、DBR蒸着膜7の反射特性を向上することができる。このように、本手法を用いることにより、LEDデバイスの発光層(活性層3C)からの出力光を効率良く素子下部のDBR蒸着膜7で反射することが可能となり、結果的にLED素子の光学的損失を低減して、LED素子の明るさおよび/または発光効率を高めることができる。

[0062] イオンプラズマクリーニング処理を用いた基板裏面のDBR蒸着膜をLEDデバイスに適用した結果、その実際の光出力において0.9から1.4パーセントの向上効果を確認することができた。当技術を適用するのは、金属層(AI, Ag等)単層における反射膜ではなく、誘電体材料を用いた多層

積層膜であるため、総厚みが金属単層の場合に比べ10倍以上となり、膜応力は単層の場合よりも大きく、下地基板（絶縁基板2）との密着性も低くなることが懸念されるが、イオンプラズマクリーニング処理を多層積層膜に用いることにより、下地基板との密着性を向上することが可能となる。

- [0063] 蒸着装置処理室内部に搭載するプラズマ源により、不活性ガス（Ar等）をイオンプラズマ化し、これを対象基板としての絶縁基板2の裏面に照射することにより、基板裏面の洗浄（水分や有機物の分解、昇華）を施した上で直ぐに真空中で「*in situ*」でDBR蒸着膜7の形成に進むことができる。
- [0064] 要するに、蒸着装置処理室内部（蒸着膜形成装置のチャンバ内部）に搭載するプラズマ源により、元素ガスをイオンプラズマ化し、照射対象面（例えば基板裏面）にプラズマ照射して照射対象面に洗浄処理を施してチャンバ内の真空中で照射対象面にDBR蒸着膜7を形成する。この場合に元素ガスとして、H₂ガスまたはO₂ガスを用いるかまたは／および、Arガス、HeガスまたはN₂ガスを用いてプラズマ化を行う。
- [0065] 例えばO₂ガスのガス流量を15～85 sccmとしてイオンプラズマクリーニングを行う。O₂ガスは原子半径が小さい。O₂ガス流量が15 sccmよりも小さいと、絶縁基板2にプラズマが到達せず有機物除去や水分除去効果が薄れてしまう。O₂ガス流量が85 sccmを超えると、絶縁基板2の裏面の酸化が進んで反射率に悪影響する。
- [0066] また、Arガスのガス流量を10～85 sccmとしてイオンプラズマクリーニングを行う。Arガスは原子半径が大きい。Arガス流量が10 sccmよりも小さいと、絶縁基板2の裏面にプラズマが到達せず有機物除去効果や水分除去効果が薄れてしまう。Arガス流量が85 sccmを超えると、Arイオンが絶縁基板2の裏面にぶつかって表面を削ってしまい反射率に悪影響する。
- [0067] DBR蒸着膜の緻密性向上のために用いているイオンアシストガンを蒸着直前の前処理として絶縁基板2の裏面へのイオンプラズマクリーニング処理

に転用するため、装置ハード面での改造が必要なく、コストもかけずに、安定した低汚染成膜が可能となる。

[0068] 本実施形態1のイオンプラズマクリーニング処理を絶縁基板2の裏面のDBR蒸着膜7に適用する場合は対象がサファイア基板であり、サファイア基板はプラズマダメージが少ないため、より高密度のプラズマ源(ICP等)を応用することが可能である。

[0069] なお、上記実施形態1のイオンプラズマクリーニング処理では特に詳細には説明しなかったが、イオンプラズマクリーニングのプラズマ源としては、図3の容量結合プラズマ源CCP(放電圧力10~100Pa、プラズマ密度 $\sim 10^{10} \text{ cm}^{-3}$)、図4の電子サイクロトロン共鳴(ECR)プラズマ源(放電圧力0.05~0.5Pa、プラズマ密度 $\sim 10^{12} \text{ cm}^{-3}$)、図5のヘリコン波励起プラズマ源HWP(放電圧力0.05~1Pa、プラズマ密度 $10^{12} \sim 10^{13} \text{ cm}^{-3}$)、図6の誘導結合プラズマ源ICP(放電圧力0.05~1Pa、プラズマ密度 $\sim 10^{12} \text{ cm}^{-3}$)、図7の表面波プラズマ源SWP(Surface Wave Plasma; 放電圧力1~100Pa、プラズマ密度 $\sim 10^{12} \text{ cm}^{-3}$)などがある。プラズマ源としては、現状のイオンアシスト型蒸着装置で実用化されているプラズマ源と、主にドライエッチング装置で実用化されているプラズマ源とがある。ガス種としてはAr、Heと、 H_2 、 O_2 、 N_2 である。

[0070] イオンアシスト型蒸着装置で実用化されているプラズマ源としては現在のDBR蒸着装置に用いているエンドホール型イオンガン(フィラメントカソード)以外に(HCES=)ホローカソードエレクトロンソースを用いたエンドホール型イオンガンDCソースを用いたグリッドタイプイオンソース、RFソースを用いたグリッドタイプイオンソースが既存のDBR蒸着装置においては実用化されている。

[0071] ドライエッチング装置で実用化されているプラズマ源において、低エネルギー・大電流のイオンアシスト法による低温かつ低ダメージ化を実現するため、上記CCP、ECR、HWP、ICP、SWP等のプラズマ源もドライ

エッチング技術を中心に既に実用化されており、今回の特許請求であるイオンプラズマクリーニングのプラズマ源の請求範囲として考えられるプラズマ源として含めても構わない。

[0072] (実施形態2)

上記実施形態1では、絶縁体基板2の裏面への反射面の形成をDBR蒸着膜により形成する場合について説明したが、本実施形態2では、素子表面の反射面の形成をDBR蒸着膜により形成する場合について説明する。

[0073] 図8は、本発明の実施形態2における分布ブラッグ反射器を持つフェースダウン型発光ダイオードチップを示す縦断面図である。

[0074] 図8において、本実施形態2の光半導体素子(発光素子)としてのフェースダウン型発光ダイオードチップ11(フリップチップ型LEDチップ11)は、サファイア基板またはSiC基板などの透明基板である絶縁基板12と、その表面上に設けられたN型クラッド層13Aと、その上に設けられた活性層13Cと、その上に設けられたP型クラッド層13Bと、このP型クラッド層13B上に設けられ、例えばITO膜などで形成された透明電極14と、透明電極14の一部上に設けられたp電極15と、N型クラッド層13Aを厚さ方向途中まで除去して露出させた面の一部上に設けられたn電極16と、N型クラッド層13Aの一部露出面上のn電極16以外の領域、透明電極14の一部上のp電極15以外の領域および、N型クラッド層13Aの露出側面から活性層13C、P型クラッド層13Bおよび透明電極14の側面を覆うように設けられた光反射用の分布ブラッグ反射器17(以下、DBR蒸着膜17という)とを有している。

[0075] フリップチップ型LEDチップ11では、活性層13Cで発光した光を素子の下部に向けて光出力する必要があるため、素子の上部側に漏れた光を基板上面に形成したDBR蒸着膜17によって素子の下部側に全反射し、素子の下部に向けて光出力させるものである。

[0076] これらのN型クラッド層3A、P型クラッド層3Bおよび活性層3Cにより発光構造体13が構成されている。発光構造体13は、窒化ガリウム系列

の化合物半導体物質で構成されており、活性層 13C は、求められる波長の光、例えば、紫外線または青色光を出射するように組成元素および組成比が決められている。活性層 13C は、単一量子井戸構造または多重量子井戸構造に形成されている。

[0077] 発光構造体 13 は、MOCVD または MBE 技術を用いて形成してもよく、フォトリソグラフィおよびエッチング工程を用いて、n 電極 16 を形成するために、N 型クラッド層 13A の一部領域が露出するようにパターニングされている。

[0078] 蒸着膜形成装置により、N 型クラッド層 13A の露出面上の n 電極 16 以外の領域、透明電極 14 上の p 電極 15 以外の領域および、N 型クラッド層 13A の露出側面から活性層 13C、P 型クラッド層 13B および透明電極 14 の一連の側面をイオンプラズマクリーニングして有機物、水分、その他の汚染物質をその裏面から除去した後に、その上に DBR 蒸着膜 17 が配設されている。DBR 蒸着膜 17 は高屈折率膜と低屈折率膜の対を複数対形成する。

[0079] 上記構成により、以下、その動作について説明する。

[0080] 本実施形態 2 の発光装置としてのフリップチップ型 LED チップ 11 の製造方法は、絶縁基板 12 の表面上に N 型クラッド層 13A を形成する N 型クラッド層形成工程と、その N 型クラッド層 13A 上に活性層 13C を形成する活性層形成工程と、その活性層 13C 上に P 型クラッド層 13B を形成する P 型クラッド層形成工程と、P 型クラッド層 13B 上に透明電極 14 を形成する透明電極形成工程と、透明電極 14 の一部上に p 電極 15 を形成する p 電極形成工程と、N 型クラッド層 13A を厚さ方向途中までエッチング除去して露出させた面の一部上に n 電極 16 を形成する n 電極形成工程と、N 型クラッド層 13A の露出面上の n 電極 16 以外の領域、透明電極 14 上の p 電極 15 以外の領域および、N 型クラッド層 13A の露出側面から活性層 13C、P 型クラッド層 13B および透明電極 14 の一連の側面をイオンプラズマクリーニングするイオンプラズマクリーニング工程と、その N 型クラ

ッド層 13 A の露出面上の n 電極 16 以外の領域上、透明電極 14 上の p 電極 15 以外の領域上および、N 型クラッド層 13 A の露出側面から活性層 13 C、P 型クラッド層 13 B および透明電極 14 の一連の側面上に光反射用の DBR 蒸着膜 17 を形成する DBR 蒸着膜形成工程とを有している。

[0081] イオンプラズマクリーニング工程は、蒸着膜形成装置の処理条件を工夫し、高屈折率膜と低屈折率膜の対を複数対成膜する DBR 蒸着膜形成工程の直前に DBR 蒸着膜 17 の緻密性向上のために用いているイオンアシストガンを用いたイオンプラズマクリーニング処理を導入する。

[0082] 蒸着膜形成装置において、DBR 蒸着膜 17 の緻密性向上のために用いているイオンアシストガンを蒸着処理直前の前処理として、素子表面のイオンプラズマクリーニング処理として転用する。このため、専用の洗浄装置の導入や蒸着装置の改造は不要であり、しかも、同一チャンバ内の真空中で即ち「*in situ*」で次の DBR 蒸着膜形成工程の DBR 蒸着膜 17 の形成に進むことができる。

[0083] したがって、下地面である素子表面の清浄度を保ったまま直ぐに DBR 蒸着膜 17 の膜形成が可能であり、素子表面と DBR 蒸着膜 17 との界面制御の安定化に繋がる。この下地面である素子表面とは、その N 型クラッド層 13 A の露出面上の n 電極 16 以外の領域上、透明電極 14 上の p 電極 15 以外の領域上および、N 型クラッド層 13 A の露出側面から活性層 13 C、P 型クラッド層 13 B および透明電極 14 の一連の側面上である。

[0084] その素子表面に形成する DBR 蒸着膜形成条件としては 低屈折率膜と高屈折率膜の誘電体材料を交互に用いる。その形成順序は高屈折率膜から低屈折率膜の順に形成してもよいし、その逆でも構わない。

[0085] DBR 蒸着膜 17 を構成する低屈折率膜と高屈折率膜の誘電体材料は、具体的には例えば TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 TiO_2 、 $ZrO_2Nb_2O_5$ 、 CeO_2 、 ZnS 、 Al_2O_3 、 SiN 、 Nb_2O_5 、 Ta_2O_5 、シロキサン重合体、 SiO 、 SiO_2 、 MgF_2 のいずれかが含まれていてもよい。他の材料が同様に適切である可能性もあり得る。

- [0086] 要するに、低屈折率膜の材料として SiO_2 および SiO のいずれかを用い、高屈折率膜の材料として TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 $\text{TiO}_2\text{ZrO}_2\text{Nb}_2\text{O}_5$ 、 Al_2O_3 のいずれかを用いる。
- [0087] DBR蒸着膜17の上部に金属層(AI, Ag)を用いないため、R、G、B可視光領域の反射率を高くするには総層数は30層以上必要である。高屈折率膜の TiO_2 と、低屈折率膜の SiO_2 との対を繰り返して成膜して多層の反射膜を形成する場合、多層の反射膜は30~50層とする。この反射膜は、光波長370~720nmまでの範囲で、垂直方向への反射率が90パーセント以上を有する。
- [0088] 以上により、本実施形態2によれば、フリップチップ型LEDチップ11において、イオンプラズマクリーニングにより素子表面上の有機物、水分、その他の汚染物質をその素子表面から除去した後に、DBR蒸着膜17が素子表面上に配設されるため、素子表面の下地膜とDBR蒸着膜17との界面の光吸収が抑制されると共に、DBR蒸着膜17の反射特性を向上させることができる。このように、本手法を用いることにより、LEDデバイスの発光層(活性層13C)からの出力光を効率良くDBR蒸着膜17で反射することが可能となり、結果的にLED素子の光学的損失を低減して、LED素子の明るさおよび/または発光効率を高めることができる。これによって、素子表面のDBR蒸着膜17によって素子の下部側に全反射して、素子の下部に向けて光出力させるものである。
- [0089] イオンプラズマクリーニング処理を用いた基板裏面のDBR蒸着膜17をLEDデバイスに適用した結果、その実際の光出力において0.9から1.4パーセントの向上効果を確認することができた。当技術を適用するのは、金属層(AI, Ag等)単層における反射膜ではなく、誘電体材料を用いた多層積層膜であるため、総厚みが金属単層の場合に比べ10倍以上となり、膜応力は単層の場合よりも大きく、素子表面の下地膜との密着性も低くなることが懸念されているが、イオンプラズマクリーニング処理を多層積層膜に用いることにより、素子表面の下地膜との密着性を向上させることが可能と

なる。

[0090] 蒸着装置処理室内部に搭載するプラズマ源により、不活性ガス（Ar等）をイオンプラズマ化し、これを素子表面の下地膜に照射することにより、素子表面の下地膜の洗浄（水分や有機物の分解、昇華）を施した上で直ぐに真空中で「*in situ*」でDBR蒸着膜17の形成に進むことができる。

[0091] DBR蒸着膜の緻密性向上のために用いているイオンアシストガンを蒸着直前の前処理として素子表面の下地膜へのイオンプラズマクリーニング処理に転用するため、装置ハード面での改造が必要なく、コストもかけずに、安定した低汚染成膜が可能となる。

[0092] 本実施形態2のイオンプラズマクリーニング処理をフリップチップ型LED用途の素子表面のDBR蒸着膜17に適用する場合は、下地膜のGaNやITOのダメージを考慮して、より低密度のプラズマ源（RF等）を適用する必要がある。

[0093] （実施形態3）

上記実施形態1、2では、LED素子裏面またはLED素子表面にDBR蒸着膜を形成する前にそのLED素子裏面またはLED素子表面にイオンプラズマクリーニングを行う場合について説明したが、本実施形態3では、半導体レーザ素子における活性層側面の反射面にDBR蒸着膜を形成する前にその反射面にイオンプラズマクリーニングを行う場合について説明する。

[0094] 図9は、本発明の実施形態3における分布ブラッグ反射器を持つ半導体レーザチップを示す縦断面図である。

[0095] 図9において、本実施形態3の光半導体素子（発光素子）としての半導体レーザチップ21は、ダブルヘテロ構造であり、N型基板22と、その表面上に設けられたN型クラッド層23と、その上に設けられた活性層24と、その上に設けられたP型クラッド層25と、このP型クラッド層25上に設けられ上部P電極26と、N型基板22の裏面上に設けられた下部N電極27と、活性層24の3側面を覆うように設けられた全反射面を構成するDBR蒸着膜28と、活性層24の残る1側面を覆うように設けられた半反射面

を構成するDBR蒸着膜29とを有している。

[0096] 半導体レーザチップ21では、へき開によって作られた活性層24の側面の片側が半反射する鏡（ハーフミラー）で構成され、これに対向するもう片側が全反射する鏡面にする必要が有るため、2種類のDBR蒸着膜28、29を活性層側面に形成することになる。その何れのDBR蒸着膜28、29においても本手法のイオンプラズマクリーニングを適用する。

[0097] 蒸着膜形成装置により、図10に示すように、活性層24の平面視4角形の隣接3辺に対応した3側面を覆うように全反射面を構成するDBR蒸着膜28を形成する。また、図10に示すように、活性層24の平面視4角形の1辺に対応した残る1側面を覆うように半反射面を構成するDBR蒸着膜29を形成する。これらのDBR蒸着膜28およびDBR蒸着膜29を形成する直前に各側面に対してイオンプラズマクリーニングをして各側面上の有機物、水分、その他の汚染物質をその側面から除去する。要するに、反射膜を形成する各側面にイオンプラズマクリーニングをした後に、クリーニングした各側面上にDBR蒸着膜28、29を成膜する。DBR蒸着膜28、29も高屈折率膜と低屈折率膜の対を複数対形成する。

[0098] 上記構成により、以下、その動作について説明する。

[0099] 本実施形態3の発光装置としての半導体レーザチップ21の製造方法は、N型基板22の表面上にN型クラッド層23を形成するN型クラッド層形成工程と、そのN型クラッド層23上に活性層24を形成する活性層形成工程と、その活性層24上にP型クラッド層25を形成するP型クラッド層形成工程と、P型クラッド層25上に上部P電極26を形成する上部P電極形成工程と、N型基板22の裏面上に下部N電極27を形成する下部N電極形成工程と、活性層24の4側面をイオンプラズマクリーニングするイオンプラズマクリーニング工程と、その活性層24の4側面のうち、連続した3側面にDBR蒸着膜28を形成し、残る1側面にDBR蒸着膜29を形成するDBR蒸着膜形成工程とを有している。

[0100] イオンプラズマクリーニング工程は、蒸着膜形成装置（DBR蒸着膜形成

装置)の処理条件を工夫し、高屈折率膜と低屈折率膜の対を複数対成膜するDBR蒸着膜形成工程の直前に、DBR蒸着膜28、29の緻密性向上のために用いているイオンアシストガンを用いたイオンプラズマクリーニング処理を導入する。

[0101] 蒸着膜形成装置において、DBR蒸着膜28、29の緻密性向上のために用いているイオンアシストガンを蒸着処理直前の前処理として、活性層24の4側面のイオンプラズマクリーニング処理として転用する。このため、専用の洗浄装置の導入や蒸着装置の改造は不要であり、しかも、同一チャンバ内の真空中で即ち「insitu」で次のDBR蒸着膜形成工程のDBR蒸着膜28、29の形成に進むことができる。

[0102] したがって、下地面である素子側面(活性層24の4側面)の清浄度を保ったまま直ぐにDBR蒸着膜28、29の膜形成が可能であり、素子側面(活性層24の4側面)とDBR蒸着膜28、29との界面制御の安定化に繋がる。この下地面である素子表面とは、そのN型クラッド層13Aの露出面上のn電極16以外の領域上、透明電極14上のp電極15以外の領域上および、N型クラッド層13Aの露出側面から活性層13C、P型クラッド層13Bおよび透明電極14の一連の側面上である。

[0103] その素子表面に形成するDBR蒸着膜形成条件としては低屈折率膜と高屈折率膜の誘電体材料を交互に用いる。その形成順序は高屈折率膜から低屈折率膜の順に形成してもよいし、その逆でも構わない。

[0104] DBR蒸着膜28、29を構成する低屈折率膜と高屈折率膜の誘電体材料は、具体的には例えば TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 $TiO_2ZrO_2Nb_2O_5$ 、 CeO_2 、 ZnS 、 Al_2O_3 、 SiN 、 Nb_2O_5 、 Ta_2O_5 、シロキサン重合体、 SiO 、 SiO_2 、 MgF_2 のいずれかが含まれていてもよい。他の材料が同様に適切である可能性もあり得る。

[0105] 要するに、低屈折率膜の材料として SiO_2 および SiO のいずれかを用い、高屈折率膜の材料として TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 $TiO_2ZrO_2Nb_2O_5$ 、 Al_2O_3 のいずれかを用いる。

- [0106] DBR蒸着膜28, 29の上部に金属層(A1, Ag)を用いないため、R、G、B可視光領域の反射率を高くするには総層数は30層以上必要である。高屈折率膜のTiO₂と、前記低屈折率膜のSiO₂との対を繰り返して成膜して多層の反射膜を形成する場合、多層の反射膜は30~50層とする。この反射膜は、光波長370~720nmまでの範囲で、垂直方向への反射率が90パーセント以上を有する。
- [0107] 以上により、本実施形態3によれば、半導体レーザチップ21において、イオンプラズマクリーニングにより素子側面(活性層24の4側面)上の有機物、水分、その他の汚染物質をその素子側面から除去した後に、DBR蒸着膜28, 29が素子側面上に配設されるため、素子側面の下地膜(活性層24)とDBR蒸着膜28, 29との界面の光吸収が抑制されると共に、DBR蒸着膜28, 29の反射特性を向上させることができる。このように、本手法を用いることにより、レーザデバイスの発光層(活性層24)からの出力光を効率良くDBR蒸着膜28, 29で反射することが可能となり、結果的にレーザ素子の光学的損失を低減して、レーザ素子の明るさおよび/または発光効率を高めることができる。これによって、素子表面のDBR蒸着膜28, 29によってレーザ素子の活性層24内部で全反射して、レーザ素子のDBR蒸着膜29側からレーザ光を光出力させることができる。
- [0108] イオンプラズマクリーニング処理を用いた基板側面のDBR蒸着膜28, 29をレーザデバイスに適用した結果、その実際の光出力において0.9から1.4パーセントの向上効果を確認することができた。当技術を適用するのは、金属層(A1, Ag等)単層における反射膜ではなく、誘電体材料を用いた多層積層膜であるため、総厚みが金属単層の場合に比べ10倍以上となり、膜応力は単層の場合よりも大きく、素子側面の下地膜(活性層24)との密着性も低くなることが懸念されているが、イオンプラズマクリーニング処理を多層積層膜に用いることにより、素子側面の下地膜(活性層24)との密着性を向上させることが可能となる。
- [0109] 蒸着装置処理室内部に搭載するプラズマ源により、不活性ガス(Ar等)

をイオンプラズマ化し、これを素子側面の下地膜（活性層 24）に照射することにより、素子側面の下地膜（活性層 24）の洗浄（水分や有機物の分解、昇華）を施した上で直ぐに真空中で「*in situ*」で DBR 蒸着膜 28, 29 の形成に進むことができる。

[0110] DBR 蒸着膜 28, 29 の緻密性向上のために用いているイオンアシストガンを蒸着直前の前処理として素子側面の下地膜（活性層 24）へのイオンプラズマクリーニング処理に転用するため、装置ハード面での改造が必要なく、コストもかけずに、安定した低汚染成膜が可能となる。

[0111] 本実施形態 3 のイオンプラズマクリーニング処理を半導体レーザチップ 21 の用途の素子側面の DBR 蒸着膜 28, 29 に適用する場合は、下地膜（活性層 24）の GaN のダメージを考慮して、より低密度のプラズマ源（RF 等）を適用する必要がある。

[0112] 蒸着膜形成装置における前処理条件を制御することにより、基板／蒸着層界面、GaN または ITO／蒸着層界面および活性層／蒸着層界面の光の吸収を抑制し、高反射率を実現することができる。前処理条件としては「*in situ*」でのイオンプラズマ（Ar 等の不活性ガス使用）を採用するが、プラズマ化の手法（RF、ICP、他）については限定せず、前述したように、フェースアップ LED チップ 1 における素子裏面蒸着や、フリップチップ LED チップ 11 における素子表面蒸着、半導体レーザチップ 21 の側面蒸着などについても適用することができる。

[0113] なお、本実施形態 1～3 では、膜形成工程として、発光素子表面、発光素子裏面（絶縁基板 2 の裏面）または発光素子の一部側面（活性層 24 の側面）に反射膜として DBR 蒸着膜 7 または 17 または 28, 29 を形成する場合について説明したが、これに限らず、受光素子の光入射面、即ち受光領域の上面および／またはマイクロレンズ（レンズ）の上面に反射防止膜を形成する場合についても、イオンプラズマクリーニングにより受光素子の光入射面として受光領域の上面および／またはマイクロレンズ（レンズ）の上面の汚染物質を除去した後に、そこに反射防止膜を形成するという本発明を適用

できて、膜形成前工程に別途専用の洗浄装置を用いることなく、膜形成直前の膜形成面の汚染を効率的に抑制する本発明の目的を達成することができる。

[0114] 即ち、半導体装置としての受光素子の製造方法は、光入射面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、光入射面として受光素子における受光領域の上面または／および、受光領域に入射光を集光させるためのレンズの表面に反射防止膜を形成する反射防止膜形成工程とを有している。この場合も、反射防止膜の形成前にイオンプラズマ照射を蒸着前処理クリーニングとして用いている。要するに、光入射面として受光素子における受光領域の上面または／および、受光領域に入射光を集光させるためのレンズの表面にイオンプラズマ照射をした後に、イオンプラズマ照射をした照射面に対して反射防止膜を形成する。

[0115] 以上のように、本発明の好ましい実施形態 1～3 を用いて本発明を例示してきたが、本発明は、この実施形態 1～3 に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態 1～3 の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

産業上の利用可能性

[0116] 本発明は、分布ブラッグ反射器 (D i s t r i b u t e d B r a g g R e f l e c t o r) などの反射器を有する発光装置およびその製造方法の分野において、膜形成工程の前にイオンプラズマクリーニング工程を実施するため、蒸着前工程に別途専用の洗浄装置を用いることなく、蒸着膜形成直前の基板の裏面汚染を効果的に抑制することができる。

請求の範囲

- [請求項1] 素子表面、素子裏面、素子一部側面または光入射面をイオンプラズマ照射によりイオンプラズマクリーニングするイオンプラズマクリーニング工程と、該素子表面、該素子裏面、該素子一部側面または該光入射面に膜形成を行う膜形成工程とを有する半導体装置の製造方法。
- [請求項2] 前記膜形成工程は、前記素子表面、前記素子裏面または前記素子一部側面に反射膜を形成するかまたは／および、前記光入射面に反射防止膜を形成する請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記反射膜はD B R蒸着膜であり、該D B R蒸着膜または前記反射防止膜の形成前に前記イオンプラズマ照射を膜形成前処理クリーニングとして用いる請求項2に記載の半導体装置の製造方法。
- [請求項4] 発光素子の表面、裏面、一部側面および受光素子の光入射面のいずれかにイオンプラズマ照射をした後に、該イオンプラズマ照射をした照射面に対して前記D B R蒸着膜または前記反射防止膜を形成する請求項3に記載の半導体装置の製造方法。
- [請求項5] 膜形成装置の同一チャンバ内で前記イオンプラズマクリーニング工程を実施する請求項4に記載の半導体装置の製造方法。
- [請求項6] 前記膜形成装置のチャンバ内部に搭載したプラズマ源により、元素ガスをイオンプラズマ化し、照射対象面にプラズマ照射することにより該照射対象面をクリーニングした後に該チャンバ内で前記照射面に前記D B R蒸着膜または前記反射防止膜を形成する請求項5に記載の半導体装置の製造方法。
- [請求項7] 前記元素ガスとして、 H_2 ガスまたは O_2 ガスを用いるかまたは／および、Arガス、Heガスまたは N_2 ガスを用いて前記プラズマ化を行う請求項6に記載の半導体装置の製造方法。
- [請求項8] 前記 O_2 ガスのガス流量を15～85 s c c mとして前記イオンプラズマクリーニングを行う請求項7に記載の半導体装置の製造方法。
- [請求項9] 前記Arガスのガス流量を10～85 s c c mとして前記イオンプ

ラズマクリーニングを行う請求項7に記載の半導体装置の製造方法。

[請求項10] 前記DBR蒸着膜は低屈折率膜と高屈折率膜の対を複数対用いる請求項3または4に記載の半導体装置の製造方法。

[請求項11] 前記低屈折率膜の材料として SiO_2 または SiO を用い、前記高屈折率膜の材料として TiO_2 、 Ti_3O_5 、 Ti_2O_3 、 TiO 、 ZrO_2 、 $\text{TiO}_2\text{ZrO}_2\text{Nb}_2\text{O}_5$ 、 Al_2O_3 のいずれかを用いる請求項10に記載の半導体装置の製造方法。

[請求項12] 前記高屈折率膜の TiO_2 と前記低屈折率膜の SiO_2 との対を繰り返し成膜して多層の反射膜を形成する請求項10に記載の半導体装置の製造方法。

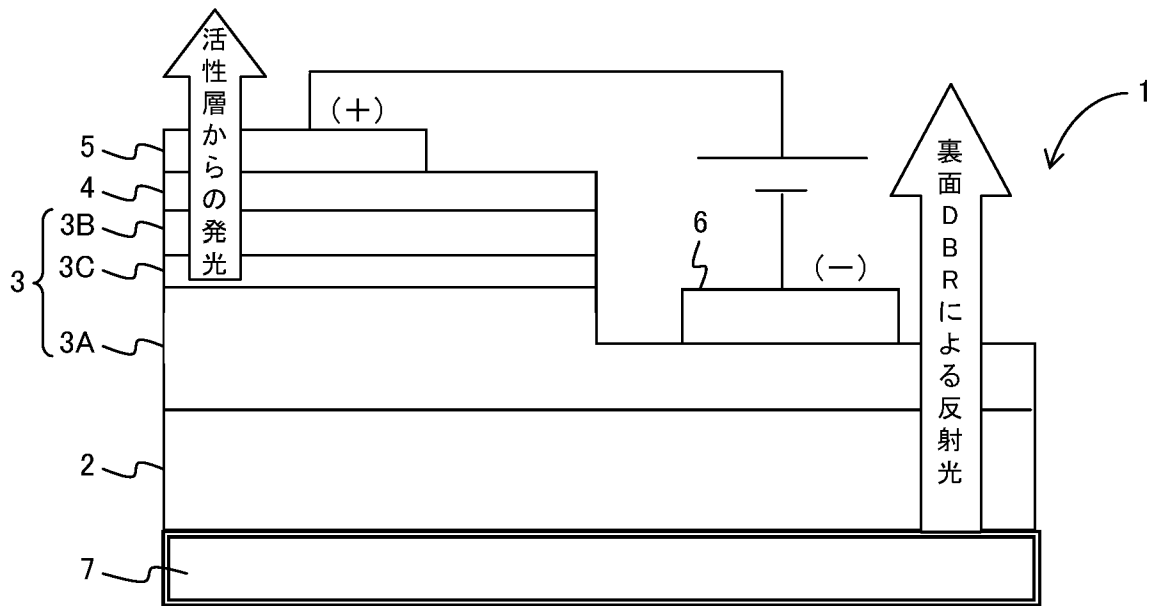
[請求項13] 前記多層の反射膜は30層～50層の範囲内の層数を有する請求項12に記載の半導体装置の製造方法。

[請求項14] 前記反射膜は、光波長370～720nmまでの範囲で、垂直方向への反射率が90パーセント以上である請求項12に記載の半導体装置の製造方法。

[請求項15] 前記膜形成工程は、前記素子表面、前記素子裏面または前記素子一部側面に高屈折率膜の TiO_2 と、低屈折率膜の SiO_2 との対を繰り返し成膜して複数対の反射膜を形成する請求項1に記載の半導体装置の製造方法。

[請求項16] 前記膜形成工程は、前記光入射面として受光素子における受光領域の上面または、該受光領域に入射光を集光させるためのレンズの表面に反射防止膜を形成する請求項1に記載の半導体装置の製造方法。

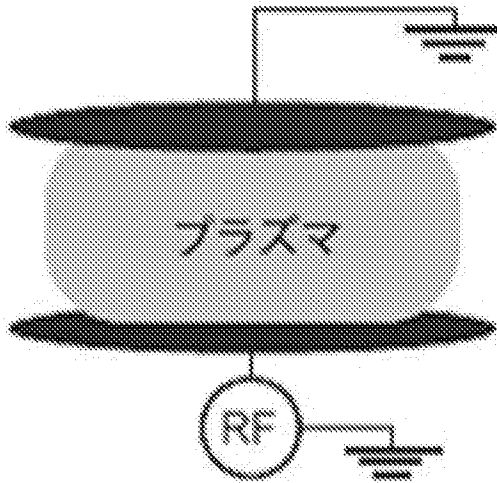
[図1]



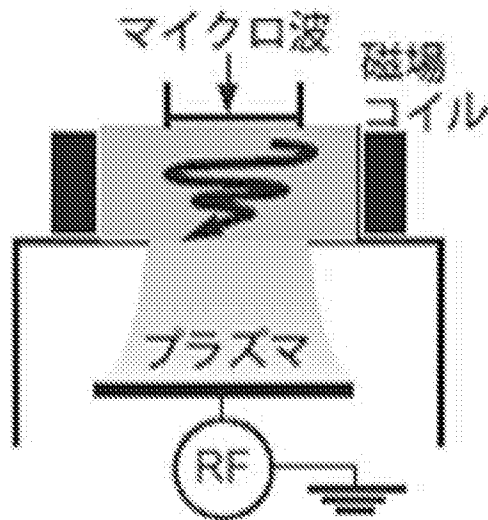
[図2]

成膜順序	膜種
成膜直前処理	イオンプラズマク リーニング
1	低屈折率膜
2	高屈折率膜
3	低屈折率膜
4	高屈折率膜
5	低屈折率膜
6	高屈折率膜
7	低屈折率膜
8	高屈折率膜
9	低屈折率膜
23	低屈折率膜
24	高屈折率膜
25	低屈折率膜
26	高屈折率膜
27	低屈折率膜
28	高屈折率膜
29	低屈折率膜
30	高屈折率膜

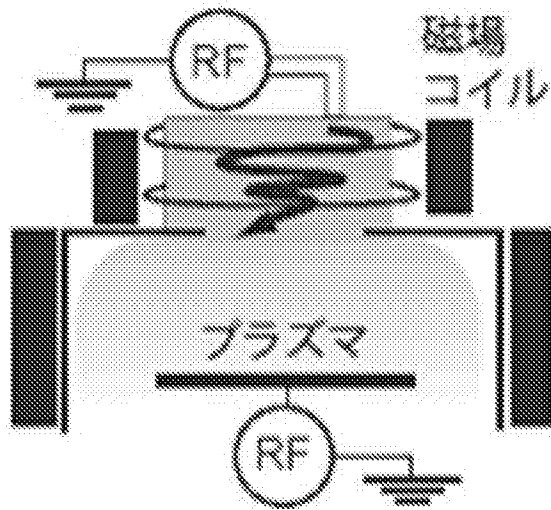
[図3]



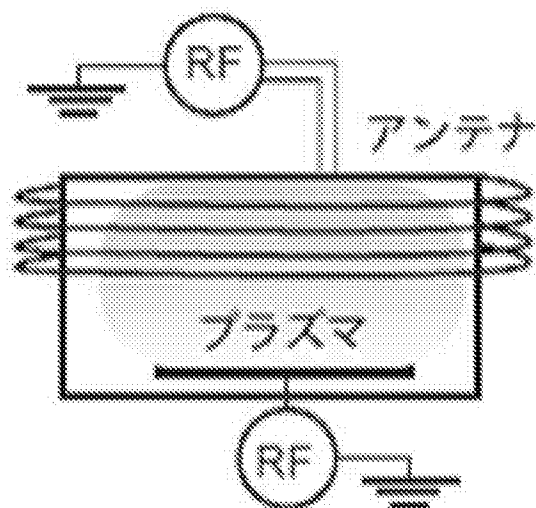
[図4]



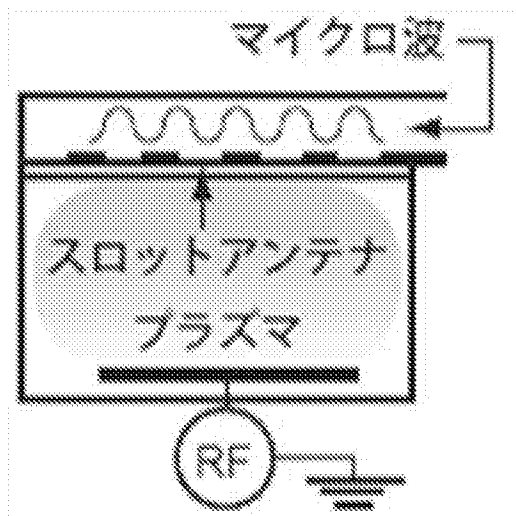
[図5]



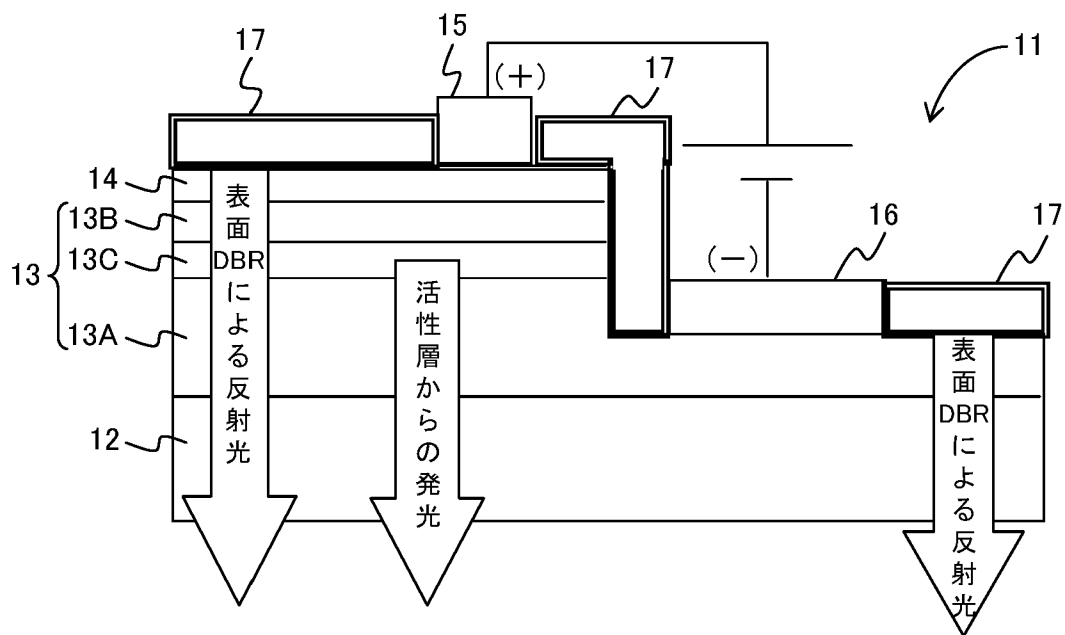
[図6]



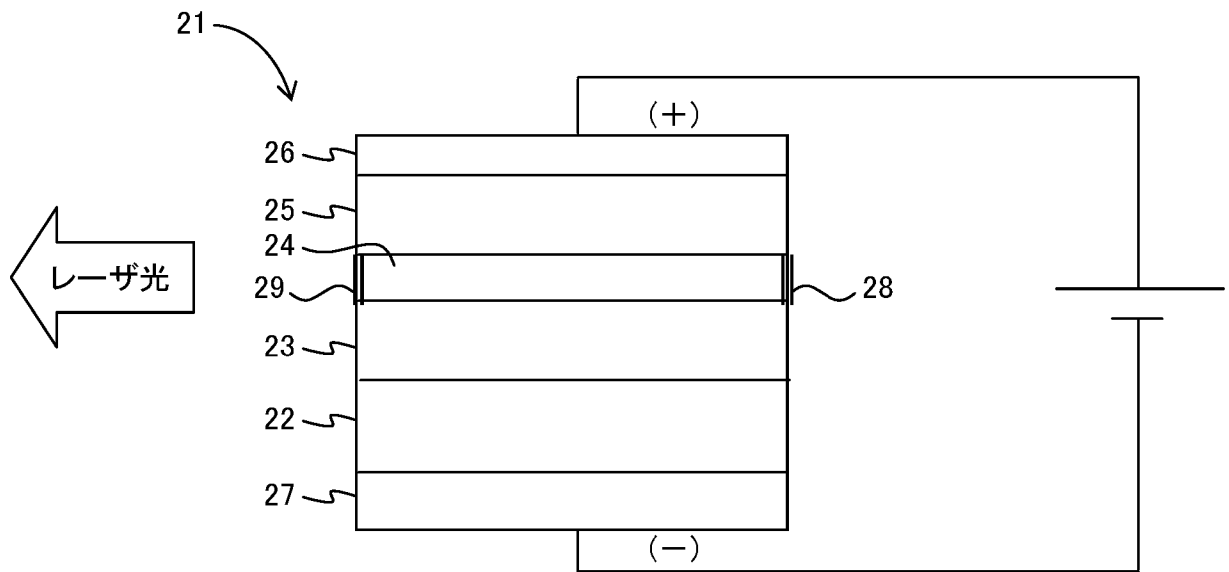
[図7]



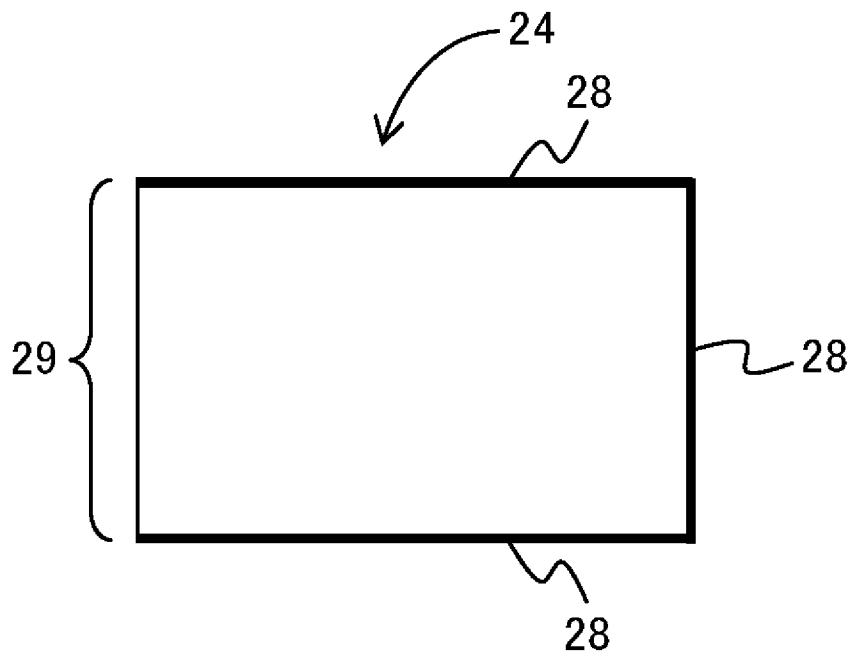
[図8]



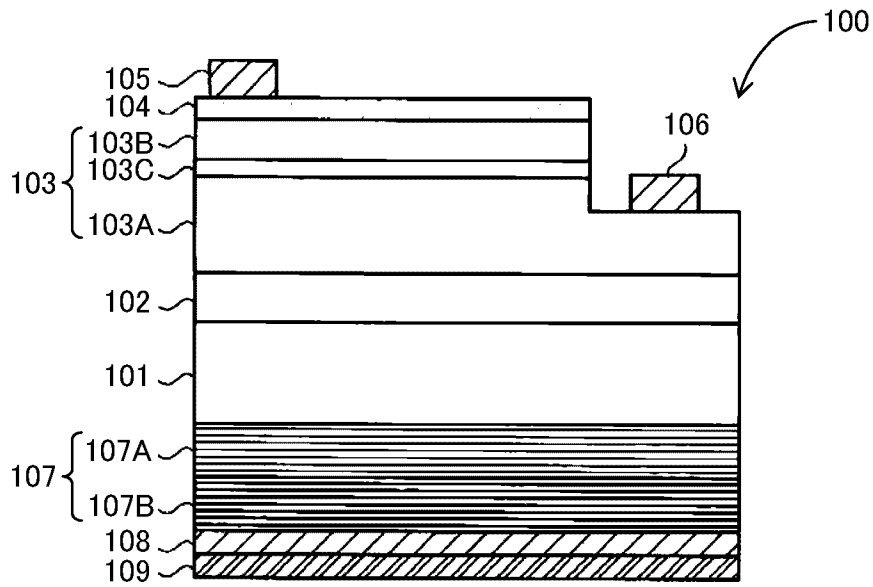
[図9]



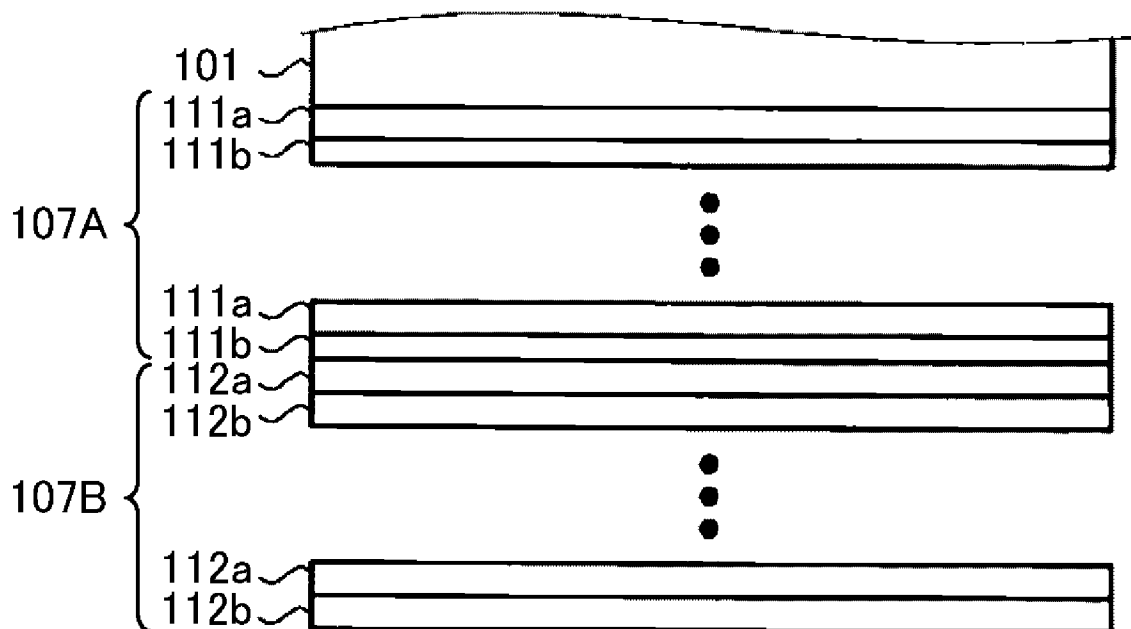
[図10]



[図11]



[図12]



[図13]

成膜順序	膜種
1	低屈折率膜
2	高屈折率膜
3	低屈折率膜
4	高屈折率膜
5	低屈折率膜
6	高屈折率膜
7	低屈折率膜
8	高屈折率膜
9	低屈折率膜

23	低屈折率膜
24	高屈折率膜
25	低屈折率膜
26	高屈折率膜
27	低屈折率膜
28	高屈折率膜
29	低屈折率膜
30	高屈折率膜

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/000922

A. CLASSIFICATION OF SUBJECT MATTER H01L33/46(2010.01) i, H01L21/205(2006.01) i, H01L21/304(2006.01) i, H01L21/3065(2006.01) i, H01L21/312(2006.01) i, H01L21/314(2006.01) i, H01L21/316(2006.01) i, H01L31/0232(2006.01) i, H01S5/028(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L33/00-33/64, H01S5/00-5/50, H01L21/205, H01L21/304, H01L21/3065, H01L21/312, H01L21/314, H01L21/316, H01L31/00-31/02, H01L31/0232, H01L31/0248, H01L31/0264, H01L31/04-31/042, H01L31/052, H01L31/06,		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-164969 A (Matsushita Electronics Corp.), 16 June 2000 (16.06.2000), paragraphs [0013] to [0033]; fig. 1, 2, 4 (Family: none)	1-7, 9, 10, 13, 14 8, 11, 12, 15
X Y	JP 2010-56242 A (Shimadzu Corp.), 11 March 2010 (11.03.2010), paragraphs [0029] to [0061]; fig. 1 to 5 (Family: none)	1-7, 9, 16 8
Y	JP 2008-300562 A (Sumitomo Electric Industries, Ltd.), 11 December 2008 (11.12.2008), paragraphs [0041], [0050] & US 2008/0296584 A1 & EP 2006887 A2 & CN 101315967 A & KR 10-2009-0004462 A	8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 March, 2013 (27.03.13)		Date of mailing of the international search report 09 April, 2013 (09.04.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/000922

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-165711 A (Sharp Corp.), 28 June 2007 (28.06.2007), paragraphs [0020], [0034] (Family: none)	11, 12, 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/000922

Continuation of B. FIELDS SEARCHED

Minimum documentation searched (International Patent Classification (IPC))

H01L31/08-31/10, H01L31/107-31/108, H01L31/111

Minimum documentation searched (classification system followed by
classification symbols)

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L33/46(2010.01)i, H01L21/205(2006.01)i, H01L21/304(2006.01)i, H01L21/3065(2006.01)i, H01L21/312(2006.01)i, H01L21/314(2006.01)i, H01L21/316(2006.01)i, H01L31/0232(2006.01)i, H01S5/028(2006.01)i</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L33/00-33/64, H01S5/00-5/50, H01L21/205, H01L21/304, H01L21/3065, H01L21/312, H01L21/314, H01L21/316, H01L31/00-31/02, H01L31/0232, H01L31/0248, H01L31/0264, H01L31/04-31/042, H01L31/052, H01L31/06, H01L31/08-31/10, H01L31/107-31/108, H01L31/111</p>																	
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2013年																
日本国実用新案登録公報	1996-2013年																
日本国登録実用新案公報	1994-2013年																
<p>国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)</p>																	
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2000-164969 A (松下電子工業株式会社) 2000.06.16, 【0013】 - 【0033】、図1、図2、図4 (ファミリーなし)</td> <td>1-7, 9, 10, 13, 14</td> </tr> <tr> <td>Y</td> <td></td> <td>8, 11, 12, 15</td> </tr> <tr> <td>X</td> <td>JP 2010-56242 A (株式会社島津製作所) 2010.03.11, 【0029】 - 【0061】、図1-図5 (ファミリーなし)</td> <td>1-7, 9, 16</td> </tr> <tr> <td>Y</td> <td></td> <td>8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2000-164969 A (松下電子工業株式会社) 2000.06.16, 【0013】 - 【0033】、図1、図2、図4 (ファミリーなし)	1-7, 9, 10, 13, 14	Y		8, 11, 12, 15	X	JP 2010-56242 A (株式会社島津製作所) 2010.03.11, 【0029】 - 【0061】、図1-図5 (ファミリーなし)	1-7, 9, 16	Y		8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X	JP 2000-164969 A (松下電子工業株式会社) 2000.06.16, 【0013】 - 【0033】、図1、図2、図4 (ファミリーなし)	1-7, 9, 10, 13, 14															
Y		8, 11, 12, 15															
X	JP 2010-56242 A (株式会社島津製作所) 2010.03.11, 【0029】 - 【0061】、図1-図5 (ファミリーなし)	1-7, 9, 16															
Y		8															
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願						
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの																
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献																
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願																	
<p>国際調査を完了した日</p> <p>27.03.2013</p>	<p>国際調査報告の発送日</p> <p>09.04.2013</p>																
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁 (ISA/J P)</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p>芝沼 隆太</p> <p>電話番号 03-3581-1101 内線 3255</p>	<p>2K 4639</p>															

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-300562 A (住友電気工業株式会社) 2008.12.11, 【0041】、【0050】 & US 2008/0296584 A1 & EP 2006887 A2 & CN 101315967 A & KR 10-2009-0004462 A	8
Y	JP 2007-165711 A (シャープ株式会社) 2007.06.28, 【0020】、【0034】 (ファミリーなし)	11, 12, 15