

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5211468号
(P5211468)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 4 Z
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 B
HO 1 L 29/417 (2006.01)	HO 1 L 21/28 3 0 1 B
HO 1 L 29/12 (2006.01)	HO 1 L 29/50 M
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 T
請求項の数 15 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2006-316807 (P2006-316807)	(73) 特許権者	000003997 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地
(22) 出願日	平成18年11月24日(2006.11.24)	(74) 代理人	100083806 弁理士 三好 秀和
(65) 公開番号	特開2008-130959 (P2008-130959A)	(74) 代理人	100075753 弁理士 和泉 良彦
(43) 公開日	平成20年6月5日(2008.6.5)	(72) 発明者	林 哲也 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社 内
審査請求日	平成21年10月27日(2009.10.27)	(72) 発明者	星 正勝 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社 内 最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基体と、
前記半導体基体と異なるバンドギャップを有する半導体材料から成り、前記半導体基体とヘテロ接合し、且つ前記半導体基体の表面の一部に設けられたヘテロ半導体領域と、
少なくとも前記ヘテロ半導体領域の側面及び前記ヘテロ半導体領域が形成されていない前記半導体基体の表面にまたがって形成されたゲート絶縁膜と、
前記ゲート絶縁膜に接して形成されたゲート電極と、
前記半導体基体及び前記ヘテロ半導体領域が前記ゲート絶縁膜に同時に接するヘテロ接合駆動端部から所定距離離れて、前記半導体基体および前記ゲート絶縁膜に接する第1の電界緩和領域と、
前記ヘテロ半導体領域とオーミック接続されたソース電極と、
前記半導体基体とオーミック接続されたドレイン電極とを有する半導体装置の製造方法において、
前記半導体基体上に前記ヘテロ半導体領域を形成する工程と、
所定形状にパターニングされた第1のマスク材を前記ヘテロ半導体領域上に形成する工程と、
前記第1のマスク材で覆われていない部分の前記半導体基体に前記第1の電界緩和領域を形成する工程と、
前記第1の電界緩和領域を形成後に前記第1のマスク材で覆われていない部分よりも広

く前記ヘテロ半導体領域を選択的に除去する工程と、
前記ゲート絶縁膜を形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の電界緩和領域を形成する際、前記第 1 のマスク材で覆われていない前記半導体基体に、イオン注入法を用いて所定の不純物を導入することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の電界緩和領域を形成する際、前記不純物を活性化する処理を行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

10

【請求項 4】

半導体基体と、
前記半導体基体と異なるバンドギャップを有する半導体材料から成り、前記半導体基体とヘテロ接合し、且つ前記半導体基体の表面の一部に設けられたヘテロ半導体領域と、
少なくとも前記ヘテロ半導体領域の側面及び前記ヘテロ半導体領域が形成されていない前記半導体基体の表面にまたがって形成されたゲート絶縁膜と、
前記ゲート絶縁膜に接して形成されたゲート電極と、
前記半導体基体及び前記ヘテロ半導体領域が前記ゲート絶縁膜に同時に接するヘテロ接合駆動端部から所定距離離れて、前記半導体基体および前記ゲート絶縁膜に接する第 1 の電界緩和領域と、

20

前記ヘテロ半導体領域とオーミック接続されたソース電極と、
前記半導体基体とオーミック接続されたドレイン電極と、
前記半導体基体および前記ヘテロ半導体領域に接し、前記ヘテロ接合駆動端部から所定距離離れて形成された第 2 の電界緩和領域とを有する半導体装置の製造方法において、
前記半導体基体上に前記ヘテロ半導体領域を形成する工程と、
所定形状にパターニングされた第 1 のマスク材を前記ヘテロ半導体領域上に形成する工程と、

前記第 1 のマスク材で覆われていない部分の前記半導体基体に前記第 1 の電界緩和領域及び前記第 2 の電界緩和領域を形成する工程と、

所定形状にパターニングされた第 2 のマスク材を前記第 1 のマスク材及び前記ヘテロ半導体領域の上に形成する工程と、

30

前記第 1 のマスク材及び前記第 2 のマスク材で覆われていない部分よりも広く前記ヘテロ半導体領域を選択的に除去する工程と、

前記ゲート絶縁膜を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

前記第 2 の電界緩和領域と接する前記ヘテロ半導体領域を覆い隠す第 2 のマスク材を前記ヘテロ半導体領域上に形成する工程と含み、

前記第 1 のマスク材と前記第 2 のマスク材を共用して、前記ヘテロ接合駆動端部を形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

40

【請求項 6】

前記第 2 のマスク材の材質が、前記第 1 のマスク材の材質と異なることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 の電界緩和領域と接しない前記ヘテロ半導体領域を、前記第 1 のマスク材とともに覆い隠す第 3 のマスク材を前記ヘテロ半導体領域上に形成する工程と、

前記第 2 の電界緩和領域と接する前記ヘテロ半導体領域を覆い隠す第 2 のマスク材を前記ヘテロ半導体領域上に形成する工程と含み、

前記第 1 のマスク材および前記第 3 のマスク材を共用して、前記第 2 の電界緩和領域を形成し、

50

前記第1のマスク材および前記第2のマスク材を共用して、前記ヘテロ接合駆動端部を形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項8】

前記第2のマスク材もしくは前記第3のマスク材のいずれか一方もしくは両方の材質が、前記第1のマスク材の材質と異なることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】

前記第2の電界緩和領域を形成する際、前記第1のマスク材で覆われていない前記半導体基体に、イオン注入法を用いて所定の不純物を導入することを特徴とする請求項4乃至8のいずれかに記載の半導体装置の製造方法。

10

【請求項10】

前記第2の電界緩和領域を形成する際、前記不純物を活性化するべく熱処理を行うことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】

前記ヘテロ接合駆動端部を形成する際、前記第1のマスク材で覆われていない前記ヘテロ半導体領域の少なくとも一部を等方的に除去する工程を有することを特徴とする請求項4乃至10のいずれかに記載の半導体装置の製造方法。

【請求項12】

前記等方的に除去する工程を犠牲酸化によっておこなうことを特徴とする請求項11に記載の半導体装置の製造方法。

20

【請求項13】

前記ヘテロ接合駆動端部を形成する際、前記第1のマスク材の少なくとも一部を等方的に除去した後、前記ヘテロ接合駆動端部を形成することを特徴とする前記請求項1乃至3のいずれかに記載の半導体装置の製造方法。

【請求項14】

前記半導体基体が炭化珪素、ダイヤモンドまたは窒化ガリウムからなることを特徴とする前記請求項1乃至13のいずれかに記載の半導体装置の製造方法。

【請求項15】

前記ヘテロ半導体領域が単結晶シリコン、多結晶シリコンまたはアモルファスシリコンからなることを特徴とする請求項1乃至14のいずれかに記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基体とヘテロ接合するヘテロ半導体領域を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

従来技術として、N+型炭化珪素基板上にN-型炭化珪素エピタキシャル領域が形成された半導体基体の一主面に、N-型多結晶シリコン領域が接するように形成された半導体装置がある（特許文献1参照）。当該半導体装置において、N-型炭化珪素エピタキシャル領域とN-型多結晶シリコン領域とはヘテロ接合している。また、N-型炭化珪素エピタキシャル領域とN-型多結晶シリコン領域とのヘテロ接合部に隣接して、ゲート絶縁膜を介してゲート電極が形成されている。N-型多結晶シリコン領域は、層間絶縁膜に形成したソースコンタクトホールを介してソース電極に接続され、N+型炭化珪素基板の裏面にはドレイン電極が形成されている。

40

【0003】

上記のような構成の半導体装置は、ソース電極を接地し、ドレイン電極に所定の正の電位を印加した状態で、ゲート電極の電位を制御することで、スイッチとして機能する。つまり、ゲート電極を接地した状態では、N-型多結晶シリコン領域とN-型炭化珪素エピタキシャル領域とのヘテロ接合には逆バイアスが印加され、ドレイン電極とソース電極と

50

の間に電流は流れない。しかし、ゲート電極に所定の正電圧が印加された状態では、N - 型多結晶シリコン領域とN - 型炭化珪素エピタキシャル領域とのヘテロ接合界面にゲート電界が作用する。これから、ゲート酸化膜界面のヘテロ接合面がなすエネルギー障壁 E_c の厚さが薄くなるため、ドレイン電極とソース電極との間に電流が流れる。上記の半導体装置においては、電流の遮断・導通の制御チャンネルとしてヘテロ接合部を用いるため、チャンネル長がヘテロ障壁の厚み程度で機能することから、低抵抗の導通特性が得られる。このとき、ゲート絶縁膜を介してゲート電極が接するN - 型多結晶シリコン領域とN - 型炭化珪素エピタキシャル領域とのヘテロ接合界面に印加するゲート電界およびドレイン電界が高いほど、より低抵抗の導通が得られる。

【特許文献1】特開2003-318398号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記の半導体装置では、N - 型多結晶シリコン領域とN - 型炭化珪素エピタキシャル領域とのヘテロ接合部では、遮断状態において、ヘテロ障壁の高さに応じた漏れ電流が発生する。そのため、上記の半導体装置の構成では、遮断時における漏れ電流を低減するのに限界があった。

【0005】

本発明は、こうした問題に鑑みてなされたものであり、漏れ電流を低減できる半導体装置の製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

上記目的達成のため、本発明に係る半導体装置の製造方法では、半導体基体と異なるバンドギャップを有する半導体材料から成り、半導体基体とヘテロ接合すし、且つ半導体基体の表面の一部に設けられたヘテロ半導体領域と、少なくともヘテロ半導体領域の側面及びヘテロ半導体領域が形成されていない半導体基体の表面にまたがって形成されたゲート絶縁膜と、ゲート絶縁膜に接して形成されたゲート電極と、半導体基体及びヘテロ半導体領域がゲート絶縁膜に同時に接するヘテロ接合駆動端部から所定距離離れて、半導体基体およびゲート絶縁膜に接する第1の電界緩和領域とを備えた半導体装置の製造方法において、半導体基体上にヘテロ半導体領域を形成する工程と、所定形状にパターンニングされた第1のマスク材をヘテロ半導体領域上に形成する工程と、第1のマスク材で覆われていない部分の半導体基体に第1の電界緩和領域を形成する工程と、第1の電界緩和領域を形成後に第1のマスク材で覆われていない部分よりも広くヘテロ半導体領域を選択的に除去する工程と、ゲート絶縁膜を形成する工程とを含むことを特徴としている。

30

【発明の効果】

【0007】

本発明により、ゲート電界が及ぶヘテロ接合駆動端部から所定距離に離れた所定部分に、漏れ電流を低減する第1の電界緩和領域をセルフアライメントで形成することにより、オン抵抗に優れ、かつ漏れ電流を低減できる。また、本発明の半導体装置の単位セルを複数有する構造とした場合、導通時の電流経路や遮断時の電界分布など、セルフアライメント形成により均一になるため、高い信頼性を得ることもできる。

40

【発明を実施するための最良の形態】

【0008】

以下に、本発明の第1乃至第8の実施形態に係る半導体装置の製造方法について、図1乃至図16を参照して説明する。

【0009】

(第1の実施形態)

第1の実施形態に係る半導体装置の製造方法により製造された半導体装置について図1を参照して説明する。図1は、本発明の第1の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図である。図1に示す第1の実施形態に係る半

50

導体装置では、電界効果トランジスタの単位セルを2つ対向して並べた構造を備えている。なお、実際には、上記電界効果トランジスタの単位セルが複数並列に配置接続されて1つのトランジスタを形成している。

【0010】

図1に示す半導体装置は、半導体基体である基板領域1およびドリフト領域2を備えている。基板領域1は、炭化珪素のポリタイプが4HタイプのN+型（高濃度）の炭化珪素から形成されている。基板領域1の表面上に、N-型（低濃度）の炭化珪素からなるドリフト領域2が形成されている。

【0011】

図1に示す半導体装置は、更に、電界効果トランジスタの各セルに対応して、ドリフト領域2と基板領域1との接合面の対向面、すなわち、ドリフト領域2の表面の所定領域に形成されたヘテロ半導体領域である第1のヘテロ半導体領域3と、ドリフト領域2と第1のヘテロ半導体領域3とのヘテロ接合部に接するように、ドリフト領域2の表面、第1のヘテロ半導体領域3の表面および側面に形成されたゲート絶縁膜4と、ゲート絶縁膜4に接して形成されたゲート電極5と、第1のヘテロ半導体領域3とドリフト領域2との接合面に対向する第1のヘテロ半導体領域3の表面と直接オーミック接続されたソース電極6と、基板領域1の裏面でオーミック接続されたドレイン電極7と、ソース電極5とゲート電極6を絶縁する層間絶縁膜8とを備えている。更に、第1のヘテロ半導体領域3とドリフト領域2とのヘテロ接合部の内、ゲート絶縁膜4と接する部分であるヘテロ接合駆動端部から所定距離離れ、かつ、ゲート絶縁膜4に接するドリフト領域2中に、第1の電界緩和領域であるP型のゲート電極下電界緩和領域9を備えている。ここで、第1の実施形態の第1のヘテロ半導体領域3は、ドリフト領域2と異なるバンドギャップ幅を有する半導体材料であるN型の多結晶シリコンを材料とし、ドリフト領域2とヘテロ接合している。そのため、ドリフト領域2と第1のヘテロ半導体領域3とのヘテロ接合界面にはエネルギー障壁 E_c が存在している。また、ゲート絶縁膜4は、シリコン酸化膜から形成される。

【0012】

次に、第1の実施形態に係る半導体装置の製造方法について図2乃至図3を参照して説明する。図2乃至図3は、図1に示す半導体装置の第1の製造方法を示す断面図である。まず、図2(1)に示すように、N+型の基板領域1上にN-型のドリフト領域2をエピタキシャル成長させて、N型の炭化珪素半導体基体を形成する。次に、N型の炭化珪素半導体基体上に、例えばLP-CVD法で多結晶シリコン層を形成する。次に、多結晶シリコン層に、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N型の第1のヘテロ半導体領域3が形成される。次に、図2(2)に示すように、第1のヘテロ半導体領域3上に、例えばCVD酸化膜をフォトリソグラフィによって、所定形状に開口した第1のマスク材10を形成する。次に、図2(3)に示すように、第1のマスク材10で覆われていない部分において、第1のヘテロ半導体領域3を介してドリフト領域2中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第1の不純物導入領域11を形成する。

【0013】

次に、図2(4)に示すように、さらに引き続き、第1のマスク材10で覆われていない部分において、第1のヘテロ半導体領域3を、例えば反応性イオンエッチング（ドライエッチング）によりエッチングする。次に、図3(5)に示すように、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。次に、図3(6)に示すように、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の一部を所定の厚さ酸化すると同時に、第1の不純物導入領域11を活性化してゲート電極下電界緩和領域9を形成する。次に、例えばフッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。このように、共に第1のマスク材10を用いて、第1のヘテロ半導体領域3並びにゲート電極下電界緩和領域9を形成することで、全ての単位セルにおいて、それぞ

10

20

30

40

50

れ均一に所定距離離れるように形成する。

【 0 0 1 4 】

最後に、図 3 (7) に示すように、第 1 のヘテロ半導体領域 3 並びに露出したドリフト領域 2 上に、例えば LP - CVD 法によってシリコン酸化膜からなるゲート絶縁膜 4 および、例えば LP - CVD 法によって形成された多結晶シリコン層を堆積する。そして、多結晶シリコン層に、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N 型のゲート電極 5 が形成される。そして、所定のマスク材で、ゲート電極 5 をパターンングし、ゲート絶縁膜 4 およびゲート電極 5 上に、例えば CVD 法によって層間絶縁膜 8 を形成する。そして、ドリフト領域 2 と基板領域 1 との接合面の対向面、すなわち、基板領域 1 の裏面側に、例えば、チタン (Ti)、ニッケル (Ni) からなるドレイン電極 7 を形成する。順不同で、層間絶縁膜 8、ゲート絶縁膜 4 および第 1 のヘテロ半導体領域 3 に接するように、例えばチタン (Ti)、アルミニウム (Al) からなるソース電極 6 を形成し、図 1 に示した本発明の第 1 の実施形態による半導体装置を完成させる。

10

【 0 0 1 5 】

以上のように、第 1 の実施形態に係る半導体装置では、ゲート電界が及ぶヘテロ接合駆動端部から所定距離に離れた所定部分に、漏れ電流を低減するゲート電極下電界緩和領域 9 をセルフアライメントで形成しているため、オン抵抗に優れ、かつ漏れ電流を低減できる。また、第 1 の製造方法では、ヘテロ接合駆動端部とゲート電極下電界緩和領域 9 とが、共に第 1 のマスク材 10 を用いて、かつ、厚み制御が容易な熱酸化法を用いて形成されるため、セルフアライメントで最適の距離に離して形成することができる。また、第 1 の実施形態に係る半導体装置の単位セルを複数有するデバイス構造とした場合も、ヘテロ接合駆動端部とゲート電極下電界緩和領域 9 との距離が全てのセルにおいて均一になるように形成することができ、高い信頼性を得ることができる。

20

【 0 0 1 6 】

次に、第 1 の実施形態に係る半導体装置の動作について説明する。第 1 の実施形態に係る半導体装置では、ソース電極 6 を接地し、ドレイン電極 7 に正電位を印加して使用する。まず、ゲート電極 5 を例えば接地電位もしくは負電位とした場合、遮断状態を保持する。すなわち、第 1 のヘテロ半導体領域 3 とドリフト領域 2 とのヘテロ接合界面には、伝導電子に対するエネルギー障壁 E_c が形成されているためである。上記遮断状態時、ヘテロ接合界面ではエネルギー障壁 E_c の高さ並びにドレイン電界の大きさに応じて漏れ電流が生じる。第 1 の実施形態においては、ゲート電極下電界緩和領域 9 がヘテロ接合駆動端部よりも深い位置に形成されており、ゲート電極下電界緩和領域 9 とドリフト領域 2 の接合部にも逆バイアスが印加されるため、上記ゲート電極下電界緩和領域 9 とドリフト領域 2 の接合部から主にドリフト領域 2 側に空乏層が広がる。上記ゲート電極下電界緩和領域 9 から伸びた空乏層によって、ヘテロ接合駆動端部周辺のドレイン電界を緩和することができるため、上記漏れ電流を低減することができる。また、ゲート電極下電界緩和領域 9 の深さが深いほど、より高い漏れ電流低減効果を取得することができる。

30

【 0 0 1 7 】

次に、遮断状態から導通状態へと転じるべく、ゲート電極 5 に正電位を印加した場合、ゲート絶縁膜 4 を介して、第 1 のヘテロ半導体領域 3 のヘテロ接合駆動端部並びにドリフト領域 2 の表層部にゲート電界が及び、上記ヘテロ接合駆動端部並びに上記表層部に、電子の蓄積層が形成される。すると、第 1 のヘテロ半導体領域 3 並びにドリフト領域 2 の表層部においては自由電子が存在可能なポテンシャルとなり、ドリフト領域 2 側に伸びていたエネルギー障壁 E_c が急峻になり、エネルギー障壁 E_c の厚みが小さくなる。その結果、電子電流が導通する。また、第 1 の実施形態では、遮断状態時に漏れ電流をより低減するために、ゲート電極下電界緩和領域 9 を形成しているが、導通状態においては、電流の導通特性を妨げないようにする必要がある。すなわち、ゲート電界が及ぶヘテロ接合駆動端部とゲート電極下電界緩和領域 9 が近すぎると導通時に所望の導通特性が得られず、遠すぎると遮断時の漏れ電流低減効果が低下するためである。そこで、第 1 の実施形態に係る半導体装置の製造方法を用いることで、遮断時の漏れ電流を大きく低減し、かつ、

40

50

導通時の高い導通特性が得られる所定の位置に、ゲート電極下電界緩和領域 9 をセルフアライメントで、かつ、位置制御が容易に形成することができる。また、第 1 の実施形態に係る半導体装置の単位セルを複数有するデバイス構造とした場合も、ヘテロ接合駆動端部とゲート電極下電界緩和領域 9 との距離が全てのセルにおいて均一になるため、導通時の電流経路や遮断時の電界分布などが均一となることから、導通時、遮断時の面内バラつきが生じにくくなり、信頼性を含め、単位セルを複数有するデバイス素子自体の基本性能が向上する。

【0018】

次に、導通状態から遮断状態に移行すべく、再びゲート電極 5 を接地電位とすると、第 1 のヘテロ半導体領域 3 並びにドリフト領域 2 のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁 E_c 中のトンネリングが止まる。そして、第 1 のヘテロ半導体領域 3 からドリフト領域 2 への伝導電子の流れが止まり、さらにドリフト領域 2 中にあった伝導電子は基板領域 1 に流れ枯渇すると、ドリフト領域 2 側にはヘテロ接合部から空乏層が広がり遮断状態となる。また、ゲート電極下電界緩和領域 9 から伸びた空乏層によって、ヘテロ接合駆動端部周辺に広がっていたドレイン電界を緩和し、低い漏れ電流で遮断状態を維持する。

【0019】

また、第 1 の実施形態においては、従来構造と同様に、例えばソース電極 6 を接地し、ドレイン電極 7 に負電位が印加された逆方向導通（還流動作）も可能である。上記の場合、ソース電極 6 並びにゲート電極 5 を接地電位とし、ドレイン電極 7 に所定の負電位が印加されると、伝導電子に対するエネルギー障壁 E_c は消滅し、ドリフト領域 2 側から第 1 のヘテロ半導体領域 3 側に伝導電子が流れ、逆導通状態となる。上記逆導通状態時、正孔の注入はなく伝導電子のみで導通するため、逆導通状態から遮断状態に移行する際の逆回復電流による損失も小さい。なお、上述したゲート電極 5 を接地にせず制御電極として使用する場合も可能である。

【0020】

（第 2 の実施形態）

次に、第 2 の実施形態に係る半導体装置の製造方法について、第 1 の実施形態に係る半導体装置の製造方法と異なる点を中心に図 4 を参照して説明する。また、第 2 の実施形態に係る半導体装置の製造方法により製造された半導体装置は、第 1 の実施形態に係る半導体装置と全く同じ構造を有している。図 4 は、本発明の第 2 の実施形態に係る半導体装置の製造方法を示す断面図である。第 2 の実施形態に係る半導体装置の製造方法では、第 1 の実施形態と異なり、第 1 のマスク材 10 で覆われていない第 1 のヘテロ半導体領域 3 の一部分をエッチングする工程を第 1 の不純物導入領域 11 を形成する工程より先に実施する場合を示している。具体的には、図 2 (2) に示した工程の後、図 4 (1) に示すように、第 1 のマスク材 10 で覆われていない部分において、第 1 のヘテロ半導体領域 3 を、例えば反応性イオンエッチング（ドライエッチング）によりエッチングする。次に、図 4 (2) では、第 1 のマスク材 10 で覆われていない部分において、ドリフト領域 2 中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第 1 の不純物導入領域 11 を形成する。最後に、第 1 の実施形態と同様に、図 3 (5) ~ 図 3 (7) の工程を実施し、図 1 に示した半導体装置と同じ構造の半導体装置を完成させる。これにより、第 1 のヘテロ半導体領域 3 と第 1 の不純物導入領域 11 の製造順序を逆にしても容易に製造することができる。また、第 1 の実施形態と同様の効果も取得できる。

【0021】

（第 3 の実施形態）

次に、第 3 の実施形態に係る半導体装置の製造方法について、第 1 の実施形態に係る半導体装置の製造方法と異なる点を中心に図 5 を参照して説明する。また、第 3 の実施形態に係る半導体装置の製造方法により製造された半導体装置は、第 1 の実施形態に係る半導体装置と全く同じ構造を有している。図 5 は、本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。第 3 の実施形態に係る半導体装置の製造方法では、第 1

10

20

30

40

50

および第2の実施形態と異なり、第1のマスク材10で覆われていない第1のヘテロ半導体領域3の一部分をエッチングする工程で、第1のヘテロ半導体領域3を所定厚み残す場合を示している。具体的には、図2(3)に示した工程の後、図5(1)に示すように、第1のマスク材10で覆われていない部分において、第1のヘテロ半導体領域3を所定厚み残すように、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、図5(2)では、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去した後に、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の表面を酸化する。特に、図5(1)の工程で残したエッチング残し部分(底部)とエッチングサイド部が所定厚み酸化されるようにする。同時に、第1の不純物導入領域11を活性化し、ゲート電極下電界緩和領域9も形成する。次に、フッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。最後に、第1の実施形態と同様に、図3(7)の工程を実施し、図1に示した半導体装置と同じ構造の半導体装置を完成させる。これにより、第1のヘテロ半導体領域3の端部とゲート電極下電界緩和領域9が所定距離離れるように形成することができる。また、第1の実施形態と同様の効果も取得できる。更に、エッチング選択比の高いドライエッチとダメージ除去が可能な熱酸化とを組み合わせ、第1のヘテロ半導体領域3を所定厚み残してドライエッチングした後、上記の厚みを酸化することで、ドライエッチング時に生じるプラズマダメージがヘテロ接合駆動端部やドリフト領域2表面に生じなくなり、微細加工が可能となる。これにより、導通動作時において、ダメージによるゲート電界の終端が起こらず、高い導通特性を得ることができる。

【0022】

(第4の実施形態)

次に、第4の実施形態に係る半導体装置の製造方法について、第1の実施形態に係る半導体装置の製造方法と異なる点を中心に図6を参照して説明する。また、第4の実施形態に係る半導体装置の製造方法により製造された半導体装置は、第1の実施形態に係る半導体装置と全く同じ構造を有している。図6は、本発明の第4の実施形態に係る半導体装置の製造方法を示す断面図である。第4の実施形態では、第1乃至第3の実施形態と異なり、第1のマスク材10の開口部を広げた後、ヘテロ接合駆動端部を形成する場合を示している。具体的には、図2(3)に示した工程の後、図6(1)に示すように、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10を所定厚みだけ等方的にウエットエッチングして開口部を広げる。次に、図6(2)では、第1のマスク材10で覆われていない第1のヘテロ半導体領域3の一部分を、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、図6(3)では、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。次に、図6(4)では、所定の熱処理によって、第1の不純物導入領域11を活性化し、ゲート電極下電界緩和領域9を形成する。最後に、第1の実施形態と同様に、図3(7)の工程を実施し、図1に示した半導体装置と同じ構造の半導体装置を完成させる。これにより、第1乃至第3の実施形態で示した第1のヘテロ半導体領域3の犠牲酸化を用いずとも、容易にヘテロ接合駆動端部とゲート電極下電界緩和領域9が所定距離離れるように形成することができる。また、第1の実施形態と同様の効果も取得できる。

【0023】

(第5の実施形態)

次に、第5の実施形態に係る半導体装置の製造方法について、第1の実施形態と異なる点を中心に図7乃至図9を参照して説明する。また、第5の実施形態に係る半導体装置の製造方法により製造された半導体装置について、第1の実施形態に係る半導体装置と同様の構造には同じ番号を付し、説明を省略する。

【0024】

まず、第5の実施形態に係る半導体装置の製造方法により製造された半導体装置について図7を参照して説明する。図7は、本発明の第5の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図である。図7に示すように、第5の実

施形態に係る半導体装置の構造は、第1の実施形態の半導体装置の構造と基本的には同じである。第5の実施形態の半導体装置が、第1の実施形態と異なる点は、ヘテロ接合駆動端部から所定距離はなれ、かつ第1のヘテロ半導体領域3に接するように、ドリフト領域2中に第2の電界緩和領域であるソース領域下電界緩和領域12が形成されている点だけである。これにより、第1の実施形態と同様に、ゲート電界が及ぶヘテロ接合駆動端部から所定距離に離れた所定部分に、漏れ電流を低減するゲート電極下電界緩和領域9をセルフアライメントで形成しているため、オン抵抗に優れ、かつ漏れ電流を低減できる。また、ソース領域下電界緩和領域12の形成によって、第1のヘテロ半導体領域3とドリフト領域2とが接するヘテロ接合面の面積が小さくなるため、遮断状態時に上記ヘテロ接合面で生じる漏れ電流を、第1の実施形態に係る半導体装置よりも低減することができる。

10

【0025】

次に、第5の実施形態に係る半導体装置の製造方法について、図8および図9を参照して説明する。図8乃至図9は、図7に示す半導体装置の製造方法を示す断面図である。まず、図8(1)においては、第1の実施形態の図2(1)に示した工程の後、第1のヘテロ半導体領域3上に、例えばCVD酸化膜をフォトリソグラフィによって所定形状に開口した第1のマスク材10を形成する。次に、図8(2)に示すように、第1のマスク材10で覆われていない部分において、第1のヘテロ半導体領域3を介してドリフト領域2中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第1の不純物導入領域11並びに第2の不純物導入領域13を形成する。次に、図8(3)に示すように、第1のマスク材10で覆われていない部分の内、所定部分、すなわち、第2の不純物導入領域13(ソース領域下電界緩和領域12)と接する第1のヘテロ半導体領域3の部分の部分を覆うように、例えばレジストマスクからなる第2のマスク材14を形成する。第5の実施形態では、第2のマスク材14を第1のマスク材10と異なる材料を用いて形成しているため、容易にパターニングすることができる。しかしながら、第2のマスク材14と第1のマスク材10を同一の材料を用いて形成する場合にも、厚みや熱処理などの履歴を変えることで、図8(3)の構造を形成することも可能である。

20

【0026】

次に、図8(4)に示すように、第1のマスク材10および第2のマスク材14のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、図9(5)に示すように、例えば硫酸と過酸化水素水の混合溶液で第2のマスク材14を除去した後、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。次に、図9(6)に示すように、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の一部を所定の厚さ酸化すると同時に、第1の不純物導入領域11並びに第2の不純物導入領域13を活性化し、ゲート電極下電界緩和領域9並びにソース領域下電界緩和領域12を形成する。第5の実施形態では、ゲート電極下電界緩和領域9の深さとソース領域下電界緩和領域12の深さは同じにしている。次に、フッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。最後に、図9(7)に示すように、第1のヘテロ半導体領域3並びに露出したドリフト領域2上に、例えばLP-CVD法によってシリコン酸化膜からなるゲート絶縁膜4および、例えばLP-CVD法によって形成された多結晶シリコン層を堆積する。そして、多結晶シリコン層に、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N型のゲート電極5が形成される。そして、所定のマスク材で、ゲート電極5をパターニングし、ゲート絶縁膜4およびゲート電極5上に例えばCVD法によって層間絶縁膜8を形成する。そして、基板領域1の裏面側に、例えば、チタン(Ti)、ニッケル(Ni)からなるドレイン電極7を形成する。順不同で、層間絶縁膜8、ゲート絶縁膜4および第1のヘテロ半導体領域3に接するように、例えばチタン(Ti)、アルミニウム(Al)からなるソース電極6を形成し、図7に示した本発明の第5の実施形態による半導体装置を完成させる。

30

40

【0027】

50

以上のように、第5の実施形態に係る半導体装置の製造方法では、ヘテロ接合駆動端部、ゲート電極下電界緩和領域9並びにソース領域下電界緩和領域12が、共に第1のマスク材10を用いて、かつ、厚み制御が容易な熱酸化法を用いて形成されるため、セルフアライメントで最適の距離に離して形成することができる。そのため、第5の実施形態に係る半導体装置の単位セルを複数有するデバイス構造とした場合も、ヘテロ接合駆動端部とゲート電極下電界緩和領域9並びにソース領域下電界緩和領域12との距離が全てのセルにおいて均一になるように形成することができる。よって、導通時の電流経路や遮断時の電界分布などが均一となることから、導通時、遮断時の面内バラつきが生じにくくなり、信頼性を含め、上記単位セルを複数有するデバイス素子自体の基本性能が向上する。

【0028】

(第6の実施形態)

次に、第6の実施形態に係る半導体装置の製造方法について、第5の実施形態に係る半導体装置の製造方法と異なる点を中心に図10乃至図11を参照して説明する。また、第6の実施形態に係る半導体装置の製造方法により製造された半導体装置について、第5の実施形態に係る半導体装置と同様の構造には同じ番号を付し、説明を省略する。

【0029】

まず、第6の実施形態に係る半導体装置の製造方法により製造された半導体装置について図10を参照して説明する。図10は、本発明の第6の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図である。図10に示すように、第6の実施形態に係る半導体装置の構造は、第5の実施形態の半導体装置の構造と基本的には同じである。第6の実施形態の半導体装置が、第5の実施形態と異なる点は、ゲート電極下電界緩和領域9の深さを、ソース領域下電界緩和領域12の深さより深くしている点だけである。これにより、第5の実施形態と同様の効果を取得できる。更に、ゲート電極下電界緩和領域9とソース領域下電界緩和領域12の深さを違えることで、導通時の駆動性能と遮断時の漏れ電流低減との両立を容易に設計することが可能になる。

【0030】

次に、第6の実施形態に係る半導体装置の製造方法について、図11を参照して説明する。図11は、図10に示す半導体装置の製造方法を示す断面図である。まず、図11(1)において、第5の実施形態の図8(3)に示した工程の後、第1のマスク材10並びに第2のマスク材14で覆われていない部分において、第1のヘテロ半導体領域3を介して第1の不純物導入領域11より深い領域で、かつドリフト領域2中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第3の不純物導入領域15を追加して形成する。次に、図11(2)に示すように、第1のマスク材10および第2のマスク材14のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、例えば硫酸と過酸化水素水の混合溶液で第2のマスク材14を除去した後、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。

【0031】

次に、図11(3)に示すように、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の一部を所定の厚さ酸化すると同時に、第1の不純物導入領域11、第3の不純物導入領域15並びに第2の不純物導入領域13を活性化し、ゲート電極下電界緩和領域9並びにソース領域下電界緩和領域12を形成する。第6の実施形態では、第3の不純物導入領域15を形成しているため、ゲート電極下電界緩和領域9の深さは、ソース領域下電界緩和領域12の深さより深くなる。次に、フッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。最後に、第5の実施形態と同様に、図9(7)の工程を実施し、図10に示した本発明の第6の実施形態による半導体装置を完成させる。上記のようにすることで、第1のヘテロ半導体領域3の端部とゲート電極下電界緩和領域9並びにソース領域下電界緩和領域12が所定距離離れ、かつゲート電極下電界緩和領域9がソース領域下電界緩和領域1

10

20

30

40

50

2より深くなるように形成することができる。

【0032】

(第7の実施形態)

次に、第7の実施形態に係る半導体装置の製造方法について、第5の実施形態と異なる点を中心に図12乃至図14を参照して説明する。また、第7の実施形態に係る半導体装置の製造方法により製造された半導体装置について、第5の実施形態に係る半導体装置と同様の構造には同じ番号を付し、説明を省略する。

【0033】

まず、第7の実施形態に係る半導体装置の製造方法により製造された半導体装置について図12を参照して説明する。図12は、本発明の第7の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図である。図12に示すように、第7の実施形態に係る半導体装置の構造は、第5の実施形態の半導体装置の構造と基本的には同じである。第7の実施形態の半導体装置が、第5の実施形態と異なる点は、ゲート電極下電界緩和領域9が形成されていない点だけである。これにより、ゲート電極5下にゲート電極下電界緩和領域9が形成されていないため、ゲート電極5の幅をより小さく形成することができる。よって、半導体装置の集積化が可能となる。

10

【0034】

次に、第7の実施形態に係る半導体装置の製造方法について、図13および図14を参照して説明する。図13乃至図14は、図12に示す半導体装置の製造方法を示す断面図である。まず、図13(1)においては、第5の実施形態の図8(1)に示した工程の後、第1のヘテロ半導体領域3上に、第1のマスク材10で覆われていない部分の内、所定部分、すなわち、ソース領域下電界緩和領域12と接しない第1のヘテロ半導体領域3の部分を、第1のマスク材10とともに覆うように、例えばレジストマスクからなる第3のマスク材16を形成する。第7の実施形態では、第3のマスク材16は第1のマスク材10と異なる材料を用いて形成しているため、容易にパターニングすることができる。しかしながら、第3のマスク材16と第1のマスク材10を同一の材料を用いて形成する場合にも、厚みや熱処理などの履歴を変えることによって、図13(1)の構造を形成することも可能である。次に、図13(2)に示すように、第1のマスク材10および第3のマスク材16のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を通してドリフト領域2中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第2の不純物導入領域13を形成する。次に、図13(3)に示すように、第3のマスク材16を例えば硫酸と過酸化水素水の混合溶液で除去する。次に、第1のマスク材10で覆われていない部分の内、所定部分、すなわち、第2の不純物導入領域13(ソース領域下電界緩和領域12)と接する第1のヘテロ半導体領域3の部分を覆うように、例えばレジストマスクからなる第2のマスク材14を形成する。第2のマスク材14は第1のマスク材10と異なる材料を用いることで、容易にパターニングすることができる。しかしながら、第2のマスク材14と第1のマスク材10を同一の材料を用いて形成する場合にも、厚みや熱処理などの履歴を変えることによって、図13(3)の構造を形成することも可能である。

20

30

【0035】

次に、図13(4)に示すように、第1のマスク材10および第2のマスク材14のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、図14(5)に示すように、例えば硫酸と過酸化水素水の混合溶液で第2のマスク材14を除去した後、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。次に、図14(6)に示すように、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の一部を所定の厚さ酸化すると同時に、第2の不純物導入領域13を活性化し、ソース領域下電界緩和領域12を形成する。次に、フッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。

40

50

【 0 0 3 6 】

最後に、図 1 4 (7) に示すように、第 1 のヘテロ半導体領域 3 並びに剥き出しになったドリフト領域 2 上に、例えば LP - CVD 法によってシリコン酸化膜からなるゲート絶縁膜 4 および、例えば LP - CVD 法によって形成された多結晶シリコン層を堆積する。そして、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N 型のゲート電極 5 が形成される。そして、所定のマスク材で、ゲート電極 5 をパターンニングし、ゲート絶縁膜 4 およびゲート電極 5 上に例えば CVD 法によって層間絶縁膜 8 を形成する。そして、基板領域 1 の裏面側に、例えば、チタン (Ti)、ニッケル (Ni) からなるドレイン電極 7 を形成する。順不同で、層間絶縁膜 8、ゲート絶縁膜 4 および第 1 のヘテロ半導体領域 3 に接するように、例えばチタン (Ti)、アルミニウム (Al) からなるソース電極 6 を形成し、図 1 2 に示した本発明の第 7 の実施形態による半導体装置を完成させる。

10

【 0 0 3 7 】

以上のように、第 7 の実施形態に係る半導体装置の製造方法では、第 5 および第 6 の実施形態と同様に、ヘテロ接合駆動端部とソース領域下電界緩和領域 1 2 とが、共に第 1 のマスク材 1 0 を用いて、かつ、厚み制御が容易な熱酸化法を用いて形成されるため、セルフアライメントで最適の距離に離して形成することができる。そのため、第 7 の実施形態に係る半導体装置の単位セルを複数有するデバイス構造とした場合も、ヘテロ接合駆動端部とソース領域下電界緩和領域 1 2 との距離が全てのセルにおいて均一になるように形成することができる。よって、導通時の電流経路や遮断時の電界分布などが均一となることから、導通時、遮断時の面内バラつきが生じにくくなり、信頼性を含め、上記単位セルを複数有するデバイス素子自体の基本性能が向上する。

20

【 0 0 3 8 】

(第 8 の実施形態)

次に、第 8 の実施形態に係る半導体装置の製造方法について、第 5 の実施形態と異なる点を中心に図 1 5 乃至図 1 6 を参照して説明する。また、第 8 の実施形態に係る半導体装置の製造方法により製造された半導体装置について、第 5 の実施形態に係る半導体装置と同様の構造には同じ番号を付し、説明を省略する。

【 0 0 3 9 】

まず、第 8 の実施形態に係る半導体装置の製造方法により製造された半導体装置について図 1 5 を参照して説明する。図 1 5 は、本発明の第 8 の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図である。図 1 5 に示すように、第 8 の実施形態に係る半導体装置の構造は、第 5 の実施形態の半導体装置の構造と基本的には同じである。第 8 の実施形態の半導体装置が、第 5 の実施形態と異なる点は、ゲート電極下電界緩和領域 9 の深さをソース領域下電界緩和領域 1 2 の深さよりも浅くしている点だけである。これにより、第 5 の実施形態と同様の効果を取得することができる。

30

【 0 0 4 0 】

次に、第 8 の実施形態に係る半導体装置の製造方法について、図 1 6 を参照して説明する。図 1 6 は、図 1 5 に示す半導体装置の製造方法を示す断面図である。まず、図 1 6 (1) においては、第 5 の実施形態の図 8 (1) に示した工程の後、第 1 のヘテロ半導体領域 3 上に、第 1 のマスク材 1 0 で覆われていない部分の内、所定部分、すなわち、ソース領域下電界緩和領域 1 2 と接しない第 1 のヘテロ半導体領域 3 の部分を、第 1 のマスク材 1 0 とともに覆うように、例えばレジストマスクからなる第 3 のマスク材 1 6 を形成する。第 8 の実施形態では、第 3 のマスク材 1 6 は第 1 のマスク材 1 0 と異なる材料を用いて形成しているので、容易にパターンニングすることができる。しかしながら、第 3 のマスク材 1 6 と第 1 のマスク材 1 0 を同一の材料を用いて形成する場合にも、厚みや熱処理などの履歴を変えることによって、図 1 6 (1) の構造を形成することも可能である。次に、第 1 のマスク材 1 0 および第 3 のマスク材 1 6 のどちらにも覆われていない第 1 のヘテロ半導体領域 3 の剥き出し部分を通してドリフト領域 2 中に、例えばイオン注入法を用いて、例えばボロンもしくはアルミなどを不純物導入し、第 2 の不純物導入領域 1 3 を形成す

40

50

る。次に、図16(2)に示すように、第3のマスク材16を例えば硫酸と過酸化水素水の混合溶液で除去する。次に、第1のマスク材10で覆われていない部分の内、所定部分、すなわち、第2の不純物導入領域13(ソース領域下電界緩和領域12)と接する第1のヘテロ半導体領域3の部分を覆うように、例えばレジストマスクから成る第2のマスク材14を形成する。第2のマスク材14は第1のマスク材10と異なる材料を用いることで、容易にパターニングすることができる。しかしながら、第2のマスク材14と第1のマスク材10を同一の材料を用いて形成する場合にも、厚みや熱処理などの履歴を変えることによって、図16(2)の構造を形成することも可能である。

【0041】

次に、第1のマスク材10および第2のマスク材14のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を通して、例えばイオン注入法を用いてドリフト領域2中に、例えばボロンもしくはアルミなどを不純物導入し、第1の不純物導入領域11を形成する。なお、第8の実施形態では、第1の不純物導入領域11よりも深い領域に第3の不純物導入領域13を形成している。次に、図16(3)に示すように、第1のマスク材10および第2のマスク材14のどちらにも覆われていない第1のヘテロ半導体領域3の剥き出し部分を、例えば反応性イオンエッチング(ドライエッチング)によりエッチングする。次に、例えば硫酸と過酸化水素水の混合溶液で第2のマスク材14を除去した後、例えばフッ化アンモニウムとフッ酸との混合溶液で第1のマスク材10をウエットエッチングして除去する。次に、例えばドライO₂酸化によって、第1のヘテロ半導体領域3の一部を所定の厚さ酸化すると同時に、第1の不純物導入領域11と第2の不純物導入領域13を活性化し、ゲート電極下電界緩和領域9とソース領域下電界緩和領域12を形成する。次に、フッ化アンモニウムとフッ酸との混合溶液で、第1のヘテロ半導体領域3の酸化された部分をウエットエッチングして等方的に除去する。

【0042】

最後に、第5の実施形態と同様に、図9(7)の工程を実施し、図15に示した本発明の第8の実施形態による半導体装置を完成させる。これにより、第8の実施形態に係る半導体装置の製造方法では、ソース領域下電界緩和領域12よりも浅いゲート電極下電界緩和領域9をセルフアライメントで形成することもできる。また、第5の実施形態と同様の効果も取得できる。

【0043】

なお、以上に述べた実施形態は、本発明の実施の一例であり、本発明の範囲はこれらに限定されるものでなく、特許請求の範囲に記載した範囲内で、他の様々な実施形態に適用可能である。例えば、第1乃至第8の実施形態に係る半導体装置においては、本発明の特徴をわかりやすく説明するために、基本的な構造を具備したトランジスタ構造で説明したが、特にこれに限定されるものでなく、少なくとも、ヘテロ接合駆動端部と、ソース領域下電界緩和領域12もしくはゲート電極下電界緩和領域9のいずれか一方もしくは両方とが、所定距離離れるように、第1のマスク材10を用いてセルフアライメントで形成する本発明と同様の製造方法により製造される半導体装置であれば、当該半導体装置にどのような構造が付加されていても良い。また、どのように変形されていても良い。

【0044】

具体的には、図17乃至図19に示す第1の実施形態に係る半導体装置、第5の実施形態に係る半導体装置および第7の実施形態に係る半導体装置を利用した半導体装置でも良い。ここで、図17乃至図19は、各実施形態に係る半導体装置のドリフト領域2に形成された溝に接するように、ゲート絶縁膜4を介してゲート電極5が形成された半導体装置を示している。これから、図17乃至図19に示す半導体装置は、各実施形態に係る半導体装置と同様の効果を取得できる。また、図17乃至図19に示す半導体装置は、第4の実施形態で説明したように、第1のマスク材10を等方性のエッチングによって開口部を広げた後に、第1のヘテロ半導体領域3とドリフト領域2の表層部をドライエッチングすることによって、容易に製造することもできる。

【0045】

更に、図20乃至図22に示す第1の実施形態に係る半導体装置、第5の実施形態に係る半導体装置および第7の実施形態に係る半導体装置を利用した半導体装置でも良い。ここで、図20乃至図22は、各実施形態に係る半導体装置のドリフト領域2に形成された溝とヘテロ接合駆動端部が所定距離離れており、溝ならびにヘテロ接合駆動端部に接するように、ゲート絶縁膜4を介してゲート電極5が形成された半導体装置を示している。これから、図20乃至図22に示す半導体装置は、各実施形態に係る半導体装置と同様の効果を取得できる。また、図20乃至図22に示す半導体装置は、例えば図3(5)の工程において、第1のヘテロ半導体領域3だけでなくドリフト領域2の表層部をドライエッチングして、ドライエッチング後、犠牲酸化によって第1のヘテロ半導体領域3の端部が後退することで、容易に製造することができる。

10

【0046】

更に、図23乃至図25に示す第1の実施形態に係る半導体装置、第5の実施形態に係る半導体装置および第7の実施形態に係る半導体装置を利用した半導体装置でも良い。ここで、図23乃至図25は、各実施形態に係る半導体装置の第1のヘテロ半導体領域3中に不純物の導電型および不純物濃度のいずれか一方もしくは両方が異なる領域から形成され、ソース電極6とオーミックコンタクトする、例えばN+型の第2のヘテロ半導体領域17を有する半導体装置を示している。これから、図23乃至図25に示す半導体装置は、各実施形態に係る半導体装置と同様の効果を取得できる。なお、図23乃至図25に示す半導体装置においては、第2のヘテロ半導体領域17を、第1のヘテロ半導体領域3が形成された時点で、所定の不純物を導入して形成しても良い。また、ゲート電極5をパターンニングした後に不純物を導入して形成しても良い。これから、第2のヘテロ半導体領域17を容易に形成することができる。更に、図23乃至図25に示す半導体装置では、所定深さで所定位置に第2のヘテロ半導体領域17を形成しているが、第2のヘテロ半導体領域17を層状に形成しても良い。また、ライン状などローカルに形成しても良い。

20

【0047】

更に、図26乃至図28に示す第1の実施形態に係る半導体装置、第5の実施形態に係る半導体装置および第7の実施形態に係る半導体装置を利用した半導体装置でも良い。ここで、図26乃至図28は、各実施形態に係る半導体装置のヘテロ接合駆動端部に接するように、ドリフト領域2中に例えばN+型の導通領域18が形成された半導体装置を示している。これより、導通時、より低い抵抗で電流を流すことができる。また、導通領域18は第1のヘテロ半導体領域3の端部を犠牲酸化によって後退させた後に形成することができる。これから、容易に製造することができる。

30

【0048】

また、全ての実施形態の半導体装置、すなわち、第1乃至第8の実施形態に係る半導体装置および図17乃至図28に示した各実施形態を利用した半導体装置では、第1のヘテロ半導体領域3の側壁は全て垂直形状としているが、特にこれに限定されるものでなく、傾斜を持っていても良い。更に、全ての実施形態の半導体装置において、炭化珪素からなる半導体基体を有する半導体装置について説明したが、特にこれに限定されるものでなく、半導体基体の基板材料は窒化ガリウム、ダイヤモンドなどその他の半導体材料でもかまわない。また、全ての実施形態の半導体装置において、炭化珪素のポリタイプが4Hタイプの炭化珪素から形成された基板領域1について説明したが、特にこれに限定されるものでなく、6H、3C等その他のポリタイプで形成された基板領域を用いることもできる。また、全ての実施形態の半導体装置を、ドレイン電極7とソース電極6とをドリフト領域2を挟んで対向するように配置し、電流を縦方向に流す所謂縦型構造のトランジスタで説明してきたが、特にこれに限定されるものでなく、例えばドレイン電極7とソース電極6とを同一主面上に配置し、電流を横方向に流す所謂横型構造のトランジスタであってもかまわない。

40

【0049】

また、全ての実施形態の半導体装置において、第1のヘテロ半導体領域3の材料として多結晶シリコンを用いているが、特にこれに限定されるものでなく、炭化珪素とヘテロ接

50

合を形成する材料であれば、例えば単結晶シリコン、アモルファスシリコン等その他のシリコン材料、ゲルマニウムやシリコンゲルマン等その他の半導体材料または6H、3C等炭化珪素の他のポリタイプなど、どの材料でもかまわない。また、全ての実施形態の半導体装置では、N型の炭化珪素からなるドリフト領域2とN型の多結晶シリコンを材料とする第1のヘテロ半導体領域3とからなるヘテロ接合部を有する半導体装置について説明しているが、特にこれに限定されるものでなく、それぞれN型の炭化珪素とP型の多結晶シリコン、P型の炭化珪素とP型の多結晶シリコン、P型の炭化珪素とN型の多結晶シリコンの如何なる組み合わせでも良い。更に、全ての実施形態の半導体装置では、基板領域1とゲート電極5の導電型もN型としているが、特にこれに限定されるものでなく、P型としても良い。

10

【0050】

また、全ての実施形態の半導体装置では、第1のマスク材10の材料としてCVD酸化膜を用いているが、特にこれに限定されるものでなく、フォトレジスト膜やSiN膜など別の材料を用いても良い。

【0051】

また、全ての実施形態の半導体装置の層間絶縁膜8の材料として、例えばシリコン酸化膜やSiN膜など少なくとも絶縁性を有する材料ならばどの材料でも使用可能である。

【0052】

また、全ての実施形態の半導体装置のゲート電極5の材料として、多結晶シリコンを用いているが、特にこれに限定されるものでなく、ゲート電極5として機能する導電性の高い材料であればどの材料でもかまわない。

20

【0053】

また、全ての実施形態の半導体装置のゲート絶縁膜4をシリコン酸化膜から形成しているが、特にこれに限定されるものでなく、SiNなど絶縁性を有していればどのような材料を用いてもかまわない。

【0054】

また、第1乃至第8の実施形態に係る半導体装置の製造方法では、N型の炭化珪素半導体基体上に、例えばLP-CVD法で多結晶シリコン層を形成した後、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N型の第1のヘテロ半導体領域3を形成しているが、特にこれに限定されるものでなく、電子ビーム蒸着法やスパッタ法などで多結晶シリコン層を堆積した後、レーザーアニールなどで再結晶化させて形成しても良い。また、例えば分子線エピタキシーなどでヘテロエピタキシャル成長させた単結晶シリコンで形成しても構わない。

30

【0055】

また、第1乃至第8の実施形態に係る半導体装置の製造方法において、第1の不純物導入領域11、第2の不純物導入領域13または第3の不純物導入領域15に用いられる不純物導入法として、イオン注入法を用いているが、特にこれに限定されるものでなく、少なくともドリフト領域2中に不純物導入できれば、イオン注入法以外にも固相拡散法など別の方法を用いても良い。同様に、第1乃至第8の実施形態に係る半導体装置の製造方法では、不純物ドーピングにイオン注入法を用いているが、特にこれに限定されるものでなく、固相拡散法や気相拡散法を用いても構わない。

40

【0056】

また、第1乃至第8の実施形態に係る半導体装置の製造方法では、第1のヘテロ半導体領域3をエッチングする際、ドライエッチングを用いているが、特にこれに限定されるものでなく、例えばウエットエッチング法や、熱酸化法によって酸化した後、例えばフッ化アンモニウムとフッ酸との混合溶液でウエットエッチングによる酸化膜除去を行う方法などを用いても良いし、それらを組み合わせた方法を用いても良い。

【0057】

また、第1乃至第8の実施形態に係る半導体装置の製造方法では、第1のヘテロ半導体領域3の酸化法として、ドライO₂酸化を用いているが、特にこれに限定されるものでな

50

く、ウエット酸化やH₂O酸化、プラズマ酸化などの酸化を用いても良い。

【0058】

また、第1乃至第8の実施形態に係る半導体装置の製造方法では、例えばLP-CVD法によって形成された多結晶シリコン層に、例えばイオン注入法でリンもしくはヒ素を不純物導入することで、N型のゲート電極5を形成しているが、特にこれに限定されるものでなく、電子ビーム蒸着法やスパッタ法などで多結晶シリコン層を堆積した後にレーザーアニールなどで再結晶化させて形成しても良い。同様に、例えば分子線エピタキシーなどでヘテロエピタキシャル成長させた単結晶シリコンで形成しても構わない。

【0059】

また、第1乃至第8の実施形態に係る半導体装置の製造方法では、ゲート絶縁膜4をLP-CVD法で形成しているが、特にこれに限定されるものでなく、熱酸化法やプラズマCVD法などどのような方法を用いても構わない。

【0060】

また、第1乃至第3の実施形態に係る半導体装置の製造方法では、第1のヘテロ半導体領域3の所定部の酸化と、第1の不純物導入領域11の活性化を同時に行う製造方法を示したが、特にこれに限定されるものでなく、それぞれ別々の工程としても良い。同様に、第5、第6および第8の実施形態に係る半導体装置の製造方法では、第1のヘテロ半導体領域3の所定部の酸化と、第1の不純物導入領域11並びに第2の不純物導入領域13の活性化を同時に行う製造方法を示したが、特にこれに限定されるものでなく、それぞれ別々の工程としても良い。同様に、第7の実施形態に係る半導体装置の製造方法では、第1のヘテロ半導体領域3の所定部の酸化と、第2の不純物導入領域13の活性化を同時に行う製造方法を示したが、特にこれに限定されるものでなく、それぞれ別々の工程としても良い。

【0061】

また、第1乃至第6および第8の実施形態に係る半導体装置の製造方法では、ゲート電極下電界緩和領域9をP型として説明しているが、特にこれに限定されるものでなく、例えば不純物が活性化せずに抵抗が高くなる所謂高抵抗層としても良い。その場合、導入する不純物はボロンやアルミに限らず、バナジウムなど不活性層を形成する不純物なら何でも良いし、活性化のアニールも特に必要としない。同様に、第5乃至第8の実施形態に係る半導体装置では、ソース領域下電界緩和領域12を、例えば不純物が活性化せずに抵抗が高くなる所謂高抵抗層としても良い。その場合、導入する不純物はボロンやアルミに限らず、バナジウムなど不活性層を形成する不純物なら何でも良いし、活性化のアニールも特に必要としない。

【0062】

また、第1乃至第3および第5乃至第8の実施形態に係る半導体装置の製造方法では、第1のマスク材10を除去してから第1のヘテロ半導体領域3を熱酸化しているが、特にこれに限定されるものでなく、第1のマスク材10を有した状態で酸化してもよい。上記の場合、第1のマスク材10で覆われた第1のヘテロ半導体領域3の表面が酸化されにくくなるため、第1のヘテロ半導体領域3の膜厚を保持できるというメリットがある。

【0063】

また、本発明では、第3の実施形態と第4の実施形態を別個としているが、例えば、図6で用いた第1のマスク材10の開口部分を広げる工程の後、図5で用いた、第1のヘテロ半導体領域3の一部を残すエッチング方法を用いることも可能であり、それぞれを組み合わせることもできる。

【0064】

また、第5、第6および第8の実施形態に係る半導体装置の製造方法では、第5、第6および第8の実施形態に係る半導体装置を第1の実施形態に係る半導体装置の製造方法と同様の方法で製造する方法について説示したが、特にこれに限定されるものでなく、第3または第4の実施形態に係る半導体装置の製造方法を用いて製造することも可能である。上記の場合、第3または第4の実施形態に係る半導体装置の製造方法により得られる効果

10

20

30

40

50

と同様の効果を得ることができる。

【図面の簡単な説明】

【0065】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図

【図2】図1に示す半導体装置の製造方法を示す断面図

【図3】図2に続く製造方法を示す断面図

【図4】本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図

【図5】本発明の第3の実施形態に係る半導体装置の製造方法を示す断面図

【図6】本発明の第4の実施形態に係る半導体装置の製造方法を示す断面図

【図7】本発明の第5の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図

【図8】図7に示す半導体装置の製造方法を示す断面図

【図9】図8に続く製造方法を示す断面図

【図10】本発明の第6の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図

【図11】図10に示す半導体装置の製造方法を示す断面図

【図12】本発明の第7の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図

【図13】図12に示す半導体装置の製造方法を示す断面図

【図14】図13に続く製造方法を示す断面図

【図15】本発明の第8の実施形態に係る半導体装置の製造方法により製造された半導体装置の構成を示す断面図

【図16】図15に示す半導体装置の製造方法を示す断面図

【図17】本発明を利用した半導体装置の一例を示す断面図

【図18】本発明を利用した半導体装置の一例を示す断面図

【図19】本発明を利用した半導体装置の一例を示す断面図

【図20】本発明を利用した半導体装置の一例を示す断面図

【図21】本発明を利用した半導体装置の一例を示す断面図

【図22】本発明を利用した半導体装置の一例を示す断面図

【図23】本発明を利用した半導体装置の一例を示す断面図

【図24】本発明を利用した半導体装置の一例を示す断面図

【図25】本発明を利用した半導体装置の一例を示す断面図

【図26】本発明を利用した半導体装置の一例を示す断面図

【図27】本発明を利用した半導体装置の一例を示す断面図

【図28】本発明を利用した半導体装置の一例を示す断面図

【符号の説明】

【0066】

1 基板領域、2 ドリフト領域、3 第1のヘテロ半導体領域、

4 ゲート絶縁膜、5 ゲート電極、6 ソース電極、7 ドレイン電極、

8 層間絶縁膜、9 ゲート電極下電界緩和領域、10 第1のマスク材、

11 第1の不純物導入領域、12 ソース領域下電界緩和領域、

13 第2の不純物導入領域、14 第2のマスク材、

15 第3の不純物導入領域、16 第3のマスク材、

17 第2のヘテロ半導体領域、18 導通領域

10

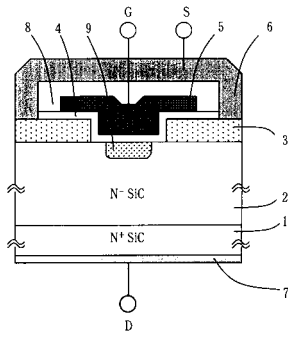
20

30

40

【図1】

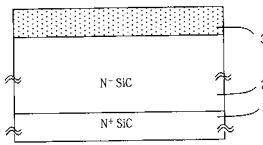
【図1】



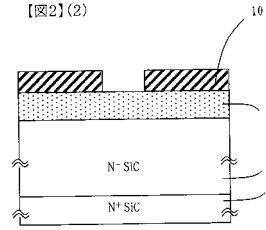
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域

【図2】

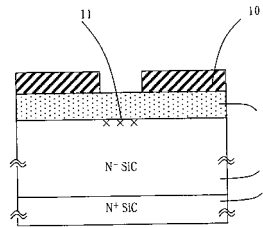
【図2】(1)



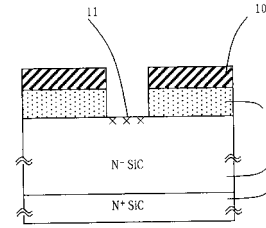
【図2】(2)



【図2】(3)



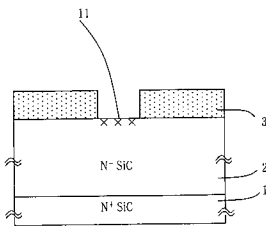
【図2】(4)



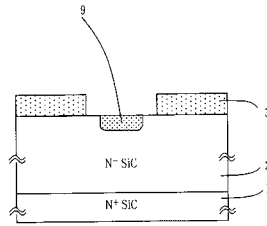
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域

【図3】

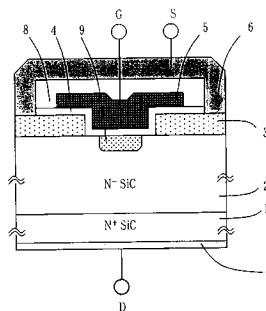
【図3】(5)



【図3】(6)



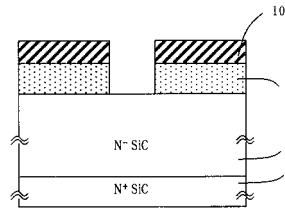
【図3】(7)



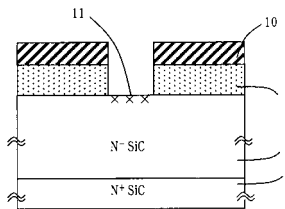
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 11 : 第1の不純物導入領域

【図4】

【図4】(1)



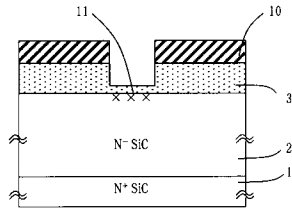
【図4】(2)



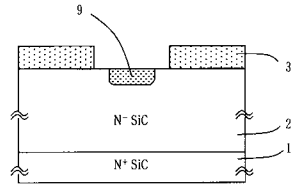
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域

【図5】

【図5】(1)



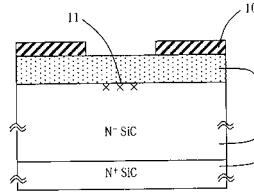
【図5】(2)



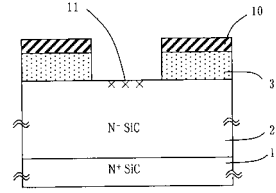
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 9 : ゲート電極下電界緩和領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域

【図6】

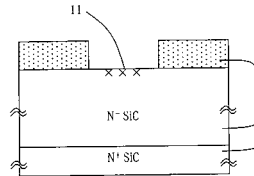
【図6】(1)



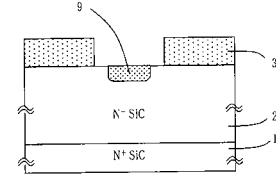
【図6】(2)



【図6】(3)



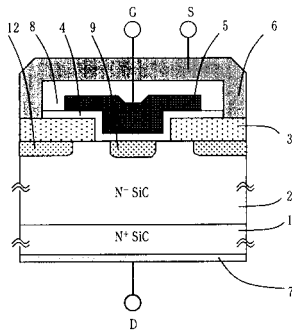
【図6】(4)



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 9 : ゲート電極下電界緩和領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域

【図7】

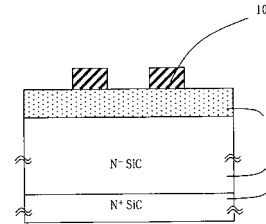
【図7】



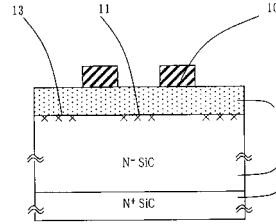
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域

【図8】

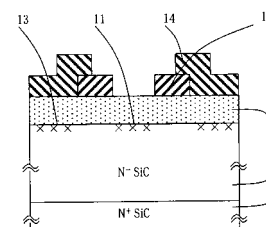
【図8】(1)



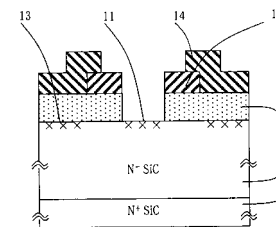
【図8】(2)



【図8】(3)



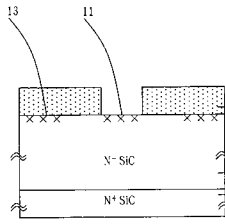
【図8】(4)



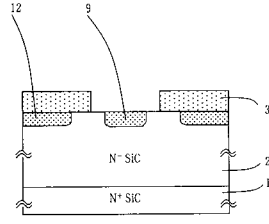
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域
- 13 : 第2の不純物導入領域
- 14 : 第2のマスク材

【図9】

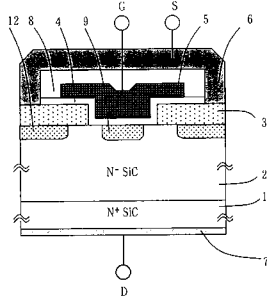
【図9】(5)



【図9】(6)



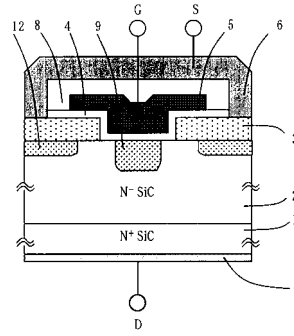
【図9】(7)



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 11 : 第1の不純物導入領域
- 12 : ソース領域下電界緩和領域
- 13 : 第2の不純物導入領域

【図10】

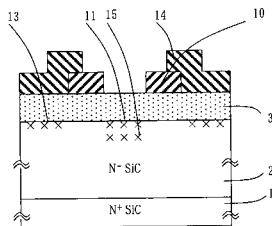
【図10】



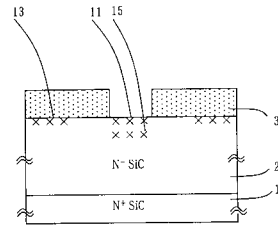
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域

【図11】

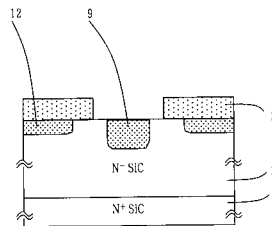
【図11】(1)



【図11】(2)



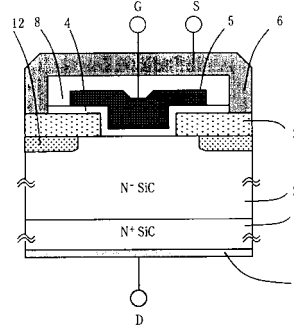
【図11】(3)



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 9 : ゲート電極下電界緩和領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域
- 12 : ソース領域下電界緩和領域
- 13 : 第2の不純物導入領域
- 14 : 第2のマスク材
- 15 : 第3の不純物導入領域

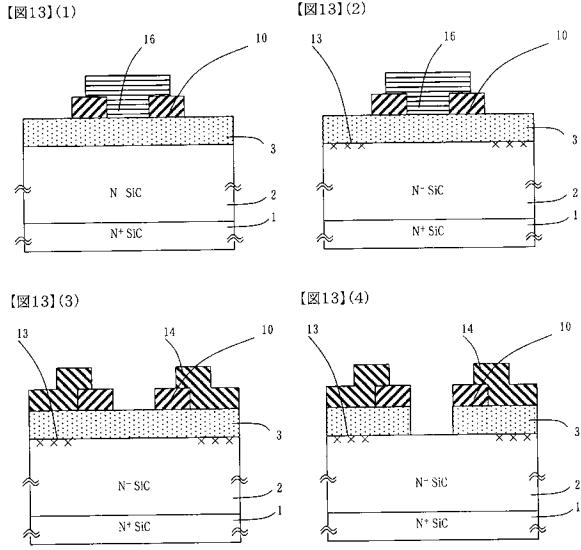
【図12】

【図12】



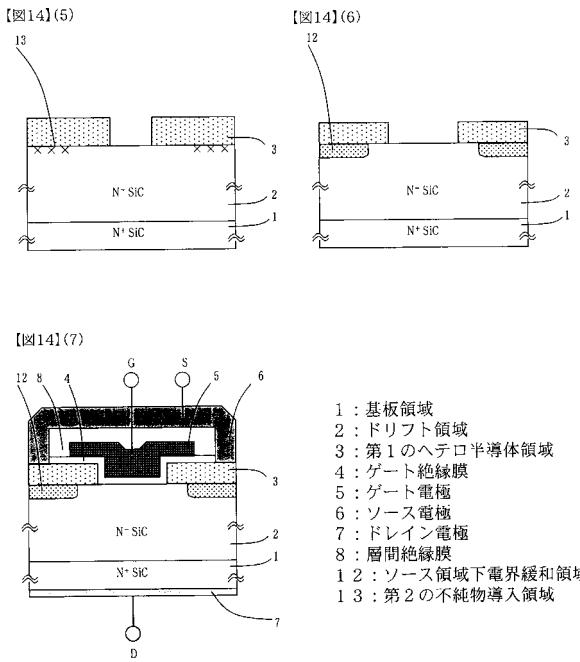
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域

【図13】



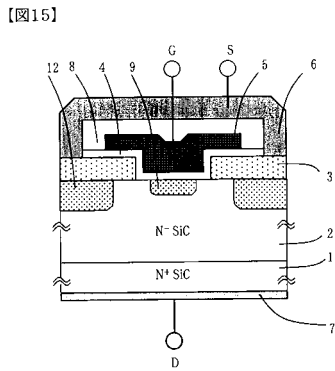
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 10 : 第1のマスク材
- 13 : 第2の不純物導入領域
- 14 : 第2のマスク材
- 16 : 第3のマスク材

【図14】



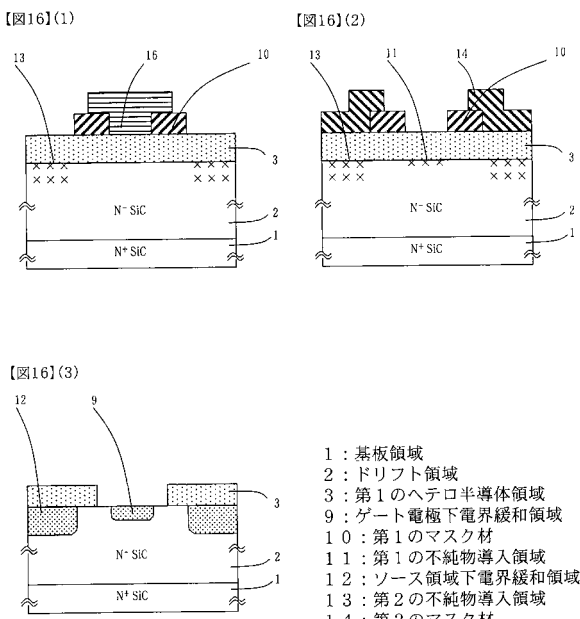
- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域
- 13 : 第2の不純物導入領域

【図15】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域

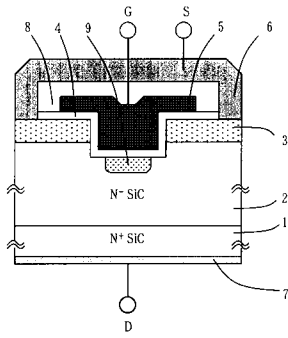
【図16】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 9 : ゲート電極下電界緩和領域
- 10 : 第1のマスク材
- 11 : 第1の不純物導入領域
- 12 : ソース領域下電界緩和領域
- 13 : 第2の不純物導入領域
- 14 : 第2のマスク材
- 16 : 第3のマスク材

【図17】

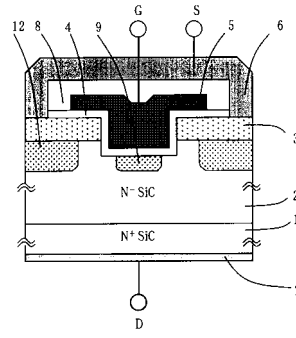
【図17】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域

【図18】

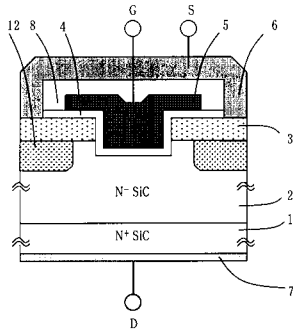
【図18】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域

【図19】

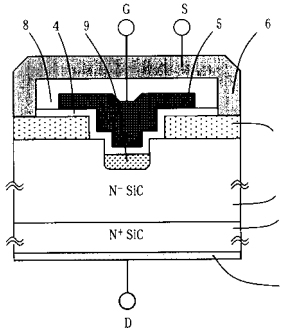
【図19】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域

【図20】

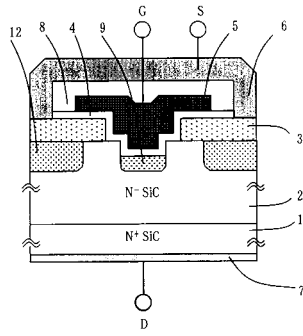
【図20】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域

【図 2 1】

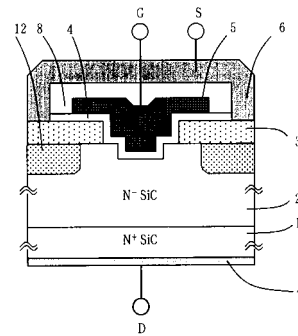
【図21】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域

【図 2 2】

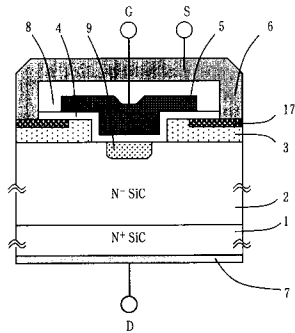
【図22】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域

【図 2 3】

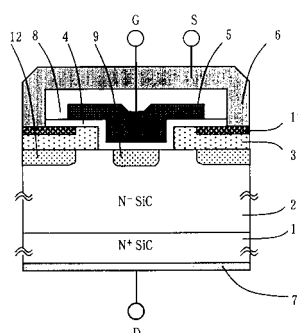
【図23】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 17 : 第2のヘテロ半導体領域

【図 2 4】

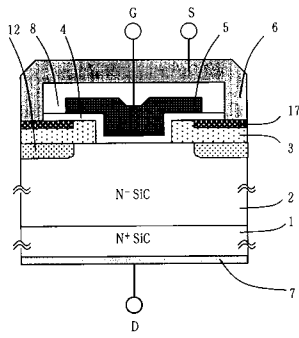
【図24】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域
- 17 : 第2のヘテロ半導体領域

【図25】

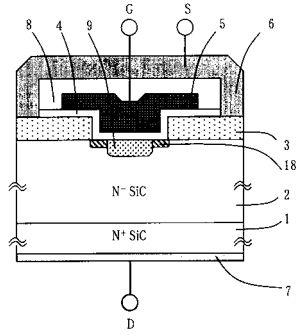
【図25】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域
- 17 : 第2のヘテロ半導体領域

【図26】

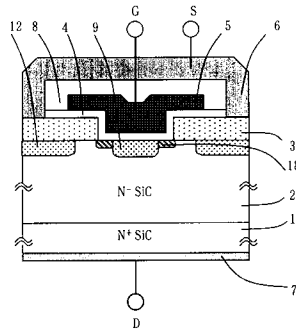
【図26】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 18 : 導通領域

【図27】

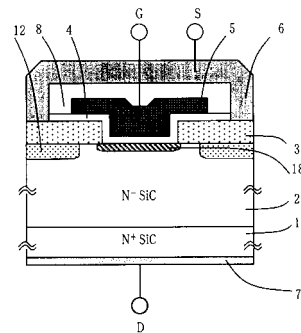
【図27】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 9 : ゲート電極下電界緩和領域
- 12 : ソース領域下電界緩和領域
- 18 : 導通領域

【図28】

【図28】



- 1 : 基板領域
- 2 : ドリフト領域
- 3 : 第1のヘテロ半導体領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : 層間絶縁膜
- 12 : ソース領域下電界緩和領域
- 18 : 導通領域

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 3 A
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/78 6 5 8 D

(72)発明者 田中 秀明
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

(72)発明者 山上 滋春
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

審査官 境 周一

(56)参考文献 特開2005-259796(JP,A)
特開2006-100360(JP,A)
特開2006-100365(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8