



Patent dodatkowy
do patentu nr _____

Zgłoszono 14.03.80 (P. 222742)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 06.10.80

Opis patentowy opublikowano: 31.07.1984

Int. Cl.⁸ H02H 7/20
G05F 1/58

CZYTELNIJA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Edward Krumplewski, Tadeusz Barczyszyn,
Wacław Mendak

Uprawniony z patentu: Zakłady Aparatury Elektrycznej „Mera-Refa”,
Świebodzice (Polska)

Układ nadnapięciowego zabezpieczenia wyjścia zasilacza

1

Przedmiotem wynalazku jest układ nadnapięciowego zabezpieczenia wyjścia zasilacza półprzewodnikowego.

Znany jest układ nadnapięciowego zabezpieczenia wyjścia zasilacza, w którym nadnapięciowy układ progowy bezzwłocznie steruje układ tyrystorowy zwierający wyjście zasilacza w przypadku wzrostu napięcia, przy czym przywrócenie stanu prawidłowej pracy wymaga ingerencji obsługi lub następuje samoczynnie po pewnej zwłoce czasowej.

Wadą znanego układu jest bezzwłoczne pobudzenie układu tyrystorowego zwierającego wyjście zasilacza, co w przypadku wystąpienia nawet krótkotrwałych przepięć prowadzi do zaniku napięcia wyjściowego zasilacza.

Istotą rozwiązania według wynalazku jest układ, w którym wyjście podstawowe nadnapięciowego układu progowego jest połączone z wejściem wzmacniacza redukującego, w którego obwód dodatniego sprzężenia zwrotnego włączony jest człon czasowy i którego wyjście jest połączone z wejściem sterującym układu zwierającego. Wyjście dodatkowe nadnapięciowego układu progowego jest połączone z końcówkami dwójników uzupełniającego i odniesienia oraz z wejściem wzmacniacza błędu. Druga końcówka dwójnika odniesienia jest połączona z masą układu zasilacza, do której przyłączone są również masa wzmacniacza błędu i masa układu zwierającego. Wejście układu zasilacza jest połączone z wejściem regulatora szeregowego i anodą diody pośredniczącej, której katoda jest

2

połączona z wejściem zasilającym wzmacniacza redukującego. Wyjście regulatora szeregowego jest połączone z drugą końcówką dwójnika uzupełniającego, wejściem nadnapięciowego układu progowego, wejściem zwierającym układu zwierającego i z wyjściem układu zasilacza, przy czym wejście sterujące regulatora szeregowego jest połączone z wyjściem wzmacniacza błędu.

Zaletą rozwiązania według wynalazku jest niewrażliwość układu na krótkotrwały wzrost napięcia wyjściowego przy jednoczesnym bezzwłocznym ograniczaniu wzrostu napięcia wyjściowego do poziomu określonego przez nadnapięciowy układ progowy.

Przedmiot wynalazku przedstawiono w przykładzie wykonania na rysunku, który przedstawia układ w schemacie blokowym. Wyjście podstawowe nadnapięciowego układu progowego U jest połączone z wejściem wzmacniacza redukującego P, w którego obwód dodatniego sprzężenia zwrotnego włączony jest człon czasowy T i którego wyjście jest połączone z wejściem sterującym układu zwierającego UZ. Wyjście dodatkowe nadnapięciowego układu progowego U jest połączone z końcówkami dwójników uzupełniającego D_k i odniesienia D_o oraz z wejściem wzmacniacza błędu W. Druga końcówka dwójnika odniesienia D_o jest połączona z masą układu zasilacza 2, do której przyłączone są również masa wzmacniacza błędu W i masa układu zwierającego UZ. Wejście układu zasilacza 1 jest połączone z wejściem regulatora szeregowego RS i anodą diody pośredniczącej D, której katoda

3

jest połączona z wejściem zasilającym wzmacniacza redukującego P. Wyjście regulatora szeregowego RS jest połączone z drugą końcówką dwójnika uzupełniającego Dk, wejściem nadnapięciowego układu progowego U, wejściem zwierającym układu zwierającego UZ i z wyjściem układu zasilacza 3, przy czym wejście sterujące regulatora szeregowego RS jest połączone z wyjściem wzmacniacza błędów W.

W przypadku wzrostu napięcia na wyjściu układu zasilacza 3 następuje pobudzenie nadnapięciowego układu progowego U, który poprzez wyjście podstawowe wysterowuje wzmacniacz redukujący P oraz przez wyjście dodatkowe pobudza wzmacniacz błędów W. Wzmacniacz błędów W powoduje przyblokowanie regulatora szeregowego RS. Jeżeli oddziaływanie na regulator szeregowy jest nieskuteczne to wówczas następuje zwieranie wyjścia układu zasilacza 3 przez układ zwierający UZ do poziomu określonego przez nadnapięciowy układ progowy U. Równocześnie z wysterowaniem wzmacniacza redukującego P zostaje pobudzony człon czasowy T. Jeżeli w okresie czasu odmierzanego przez człon czasowy T zakłócenie nie ustąpi, to wówczas następuje przerzutnikowe działanie wzmacniacza redukującego P i pełne wysterowanie układu zwierającego UZ, który poprzez wejście zwierające powoduje zwarcie wyjścia układu zasilacza 3. Dioda pośrednicząca D zapewnia zasilanie wzmacniacza redukującego P i układu zwierającego UZ w przypadku zaniku napięcia na wyjściu układu zasilacza 3.

Rozwiązanie układu według wynalazku znajduje zastosowanie w zasilaczach półprzewodnikowych prze-

4

naczonych do zasilania zabezpieczeń elektroenergetycznych.

Zastrzeżenie patentowe

Układ nadnapięciowego zabezpieczenia wyjścia zasilacza, wyposażony w nadnapięciowy układ progowy oraz układ zwierający, znamienny tym, że wyjście podstawowe nadnapięciowego układu progowego (U) jest połączone z wejściem wzmacniacza redukującego (P), w którego obwód dodatniego sprzężenia zwrotnego włączony jest człon czasowy (T) i którego wyjście jest połączone z wejściem sterującym układu zwierającego (UZ), jednocześnie wyjście dodatkowe nadnapięciowego układu progowego (U) jest połączone z końcówkami dwójników uzupełniającego (Dk) i odniesienia (Do) oraz z wejściem wzmacniacza błędów (W), przy czym druga końcówka dwójnika odniesienia (Do) jest połączona z masą układu zasilacza (2), do której przyłączona jest również masa wzmacniacza błędów (W) i masa układu zwierającego (UZ), natomiast wejście układu zasilacza (1) jest połączone z wejściem regulatora szeregowego (RS) i anodą diody pośredniczącej (D), której katoda jest połączona z wejściem zasilającym wzmacniacza redukującego (P), równocześnie wyjście regulatora szeregowego (RS) jest połączone z drugą końcówką dwójnika uzupełniającego (Dk), wejściem nadnapięciowego układu progowego (U), wejściem zwierającym układu zwierającego (UZ) i z wyjściem układu zasilacza (3), przy czym wejście sterujące regulatora szeregowego (RS) jest połączone z wyjściem wzmacniacza błędów (W)

