



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I888317 B

(45)公告日：中華民國 114 (2025) 年 06 月 21 日

(21)申請案號：113145856

(22)申請日：中華民國 112 (2023) 年 08 月 23 日

(51)Int. Cl. : **H10K50/00 (2023.01)****H10D30/00 (2025.01)****G09G3/30 (2006.01)**

(30)優先權：2022/12/26 南韓

10-2022-0184668

(71)申請人：南韓商 L G 顯示器股份有限公司 (南韓) LG DISPLAY CO., LTD. (KR)

南韓

(72)發明人：崔聖主 CHOI, SUNGJU (KR)；薛玗珠 SEUL, HYEONJOO (KR)；鄭進元 JUNG, JINWON (KR)；朴在潤 PARK, JAEYOON (KR)

(74)代理人：侯德銘

(56)參考文獻：

TW 201824224A

TW 202119380A

US 2020/0194699A1

審查人員：陳建銘

申請專利範圍項數：21 項 圖式數：19 共 59 頁

(54)名稱

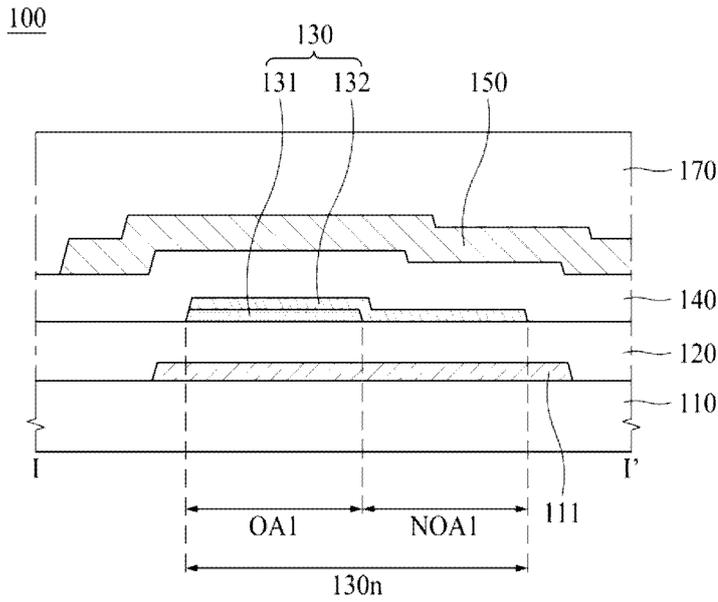
薄膜電晶體及包含該薄膜電晶體的顯示裝置

(57)摘要

本發明提供一種薄膜電晶體，包括：主動層；以及閘極電極，至少部分地與主動層重疊。此外，該主動層包含：第一主動層及位於第一主動層上的第二主動層；通道；第一連接部分，與通道的第一側接觸；及第二連接部分，與通道的第二側接觸。另外，該通道包含：第一重疊區域，在該第一重疊區域中，第一主動層與第二主動層基於平面圖彼此重疊；及第一非重疊區域，在該第一非重疊區域中，第一主動層與第二主動層基於平面圖彼此不重疊。並且，在主動層的通道中，第一主動層及第二主動層各自從第一連接部分延伸至第二連接部分。

A thin film transistor including an active layer; and a gate electrode at least partially overlapped with the active layer. Further, the active layer includes a first active layer and a second active layer on the first active layer; a channel; a first connection portion contacting a first side of the channel; and a second connection portion contacting a second side of the channel. In addition, the channel includes a first overlap area in which the first active layer and the second active layer overlap each other based on a plan view; and a first non-overlap area in which the first active layer and the second active layer do not overlap each other based on the plan view. Also, in the channel of the active layer, each of the first active layer and the second active layer extends from the first connection portion to the second connection portion.

指定代表圖：



【圖1B】

符號簡單說明：

100:薄膜電晶體

110:基板

111:遮光層

120:緩衝層

130:主動層

130n:通道部分、通道

131:第一主動層、第一氧化物半導體層

132:第二主動層、第二氧化物半導體層

140:閘極絕緣層

150:閘極電極

170:層間絕緣層

OA1:第一重疊區域

NOA1:第一非重疊區域



I888317

【發明摘要】

【中文發明名稱】

薄膜電晶體及包含該薄膜電晶體的顯示裝置

【英文發明名稱】

THIN FILM TRANSISTOR AND DISPLAY APPARATUS COMPRISING THE SAME

【中文】

本發明提供一種薄膜電晶體，包括：主動層；以及閘極電極，至少部分地與主動層重疊。此外，該主動層包含：第一主動層及位於第一主動層上的第二主動層；通道；第一連接部分，與通道的第一側接觸；及第二連接部分，與通道的第二側接觸。另外，該通道包含：第一重疊區域，在該第一重疊區域中，第一主動層與第二主動層基於平面圖彼此重疊；及第一非重疊區域，在該第一非重疊區域中，第一主動層與第二主動層基於平面圖彼此不重疊。並且，在主動層的通道中，第一主動層及第二主動層各自從第一連接部分延伸至第二連接部分。

【英文】

A thin film transistor including an active layer; and a gate electrode at least partially overlapped with the active layer. Further, the active layer includes a first active layer and a second active layer on the first active layer; a channel; a first connection portion contacting a first side of the channel; and a second connection portion contacting a second side of the channel. In addition, the channel includes a first overlap area in which the first active layer and the second active layer overlap each other based on a plan view; and a first non-overlap area in which the first active layer and the second active layer do not overlap each other based on the plan view. Also, in the channel of the active layer, each of the first active layer and the second active layer extends from the first connection portion to the second connection portion.

【指定代表圖】

圖1B

【代表圖之符號簡單說明】

100:薄膜電晶體

110:基板

111:遮光層

120:緩衝層

130:主動層

130n:通道部分、通道

131:第一主動層、第一氧化物半導體層

132:第二主動層、第二氧化物半導體層

140:閘極絕緣層

150:閘極電極

170:層間絕緣層

OA1:第一重疊區域

NOA1:第一非重疊區域

【發明說明書】

【中文發明名稱】

薄膜電晶體及包含該薄膜電晶體的顯示裝置

【英文發明名稱】

THIN FILM TRANSISTOR AND DISPLAY APPARATUS COMPRISING
THE SAME

【技術領域】

【0001】 本發明係關於一種薄膜電晶體及包含該薄膜電晶體的顯示裝置。

【先前技術】

【0002】 電晶體在電子裝置領域中被廣泛用於開關裝置或驅動裝置。具體來說，因為薄膜電晶體可以製造於玻璃基板或塑膠基板上，因此薄膜電晶體廣泛用於顯示裝置如液晶顯示裝置或有機發光裝置的開關裝置。

【0003】 例如，顯示裝置可以包含開關薄膜電晶體和驅動薄膜電晶體。一般來說，驅動薄膜電晶體較佳具有較大的 s 因子（或次臨界擺動）以表現灰階。然而，薄膜電晶體通常具有較小的 s 因子，以確保導通-關斷特性。當將薄膜電晶體應用於顯示裝置的驅動薄膜電晶體時，很難表現顯示裝置的灰階。

【0004】 因此，應用於顯示裝置的驅動薄膜電晶體的薄膜電晶體也需要具有較大的 s 因子，以易於顯示灰階。此外，儘管薄膜電晶體具有較大的 s 因子，薄膜電晶體也應在導通狀態時具有優異的電流特性。

【發明內容】

【0005】 本發明是針對上述問題而產生，並且本發明的目的是提供一種薄膜電晶體，其具有較大的 s 因子且在導通狀態下具有優異的電流特性。

【0006】 本發明的另一個目的是提供一種薄膜電晶體，其由於部分地堆疊兩種不同的氧化物半導體層以形成雙通道結構，因此在導通狀態下具有較大的電流值，同時具有較大的 s 因子。

【0007】 本發明的再另一個目的是提供一種薄膜電晶體，其設計為使閘極電極與主動層之間間隔不大於具有優異的導通電流特性所需的距離，因為不需要為了增加薄膜電晶體的 s 因子而增加閘極電極與主動層之間間隔。

【0008】 本發明的又另一個目的是提供一種顯示裝置，其包含具有大的 s 因子和大的導通電流特性的驅動薄膜電晶體，從而具有優異的灰階表現能力和優異的電流特性。

【0009】 除了本發明的上述目的之外，本發明所屬技術領域中具有通常知識者將從以下敘述中清楚地理解本發明的附加目的和特徵。

【0010】 根據本發明的一態樣，上述與其它目的可以藉由包含一種薄膜電晶體來完成，該薄膜電晶體具有：一主動層；以及一閘極電極，至少部分地與該主動層重疊。此外，該主動層包含：通道部分（例如：一個通道）；第一連接部分，與該通道部分的一側接觸；以及第二連接部分，與該通道部分的另一側接觸。該主動層包含第一主動層以及位於該第一主動層上的第二主動層。該通道部分包含：第一重疊區域，在該第一重疊區域中，該第一主動層與該第二主動層基於平面圖彼此重疊；以及第一非重疊區域，在該第一非重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此不重疊。另外，在該通道中，該第一主動層及該第二主動層各自從該第一連接部分延伸至該第二連接部分。在此情況下，該第二主動層的遷移率高於該第一主動層的遷移率。

【0011】 另外，該第一重疊區域可以從該第一連接部分延伸至該第二連接部分，並且，該第一非重疊區域可以從該第一連接部分延伸至該第二連接部分。該第二主動層在該通道中可以覆蓋該第一主動層的整個上表面，且該第二主動層可以設置在基於該平面圖的該通道部分的整個區域中。並且，該第一主動層不設置在該第一非重疊區域中。

【0012】 該主動層可以進一步包含位於該第二主動層上的第三主動層，並且，該第三主動層在該通道部分中從該第一連接部分延伸至該第二連接部分。該第三主動層的遷移率也可以小於該第二主動層的遷移率。並且，該第三主動層可以設置在該第一重疊區域和該第一非重疊區域中。然而，該第三主動層可以不設置在該第一非重疊區域中。

【0013】 此外，該通道部分可以進一步包含第二非重疊區域，在該第二非重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此不重疊，並且，

該第二非重疊區域可以與該第一非重疊區域間隔開，並從該第一連接部分延伸至該第二連接部分。該第一主動層可以不設置在該第二非重疊區域中。

【0014】 此外，該主動層可以進一步包含位於該第二主動層上的第三主動層，並且，該第三主動層在該通道部分中可以從該第一連接部分延伸至該第二連接部分。該第三主動層的遷移率也可以小於該第二主動層的遷移率，並且，該第三主動層可以設置在該第一重疊區域、該第一非重疊區域以及該第二非重疊區域中。此外，該第三主動層不設置在該第二非重疊區域中。

【0015】 另外，該通道部分可以進一步包含第二重疊區域，在該第二重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此重疊，並且，該第二非重疊區域可以與該第一非重疊區域間隔開，並可以從該第一連接部分延伸至該第二連接部分。

【0016】 該主動層可以進一步包含位於該第二主動層上的第三主動層，並且，該第三主動層可以在該通道部分中從該第一連接部分延伸至該第二連接部分。該第三主動層的遷移率也可以小於該第二主動層的遷移率，並且，該第三主動層設置在該第一重疊區域、該第一非重疊區域以及該第二重疊區域中。然而，該第三主動層可以不設置在該第一非重疊區域中。

【0017】 另外，該第一主動層可以包含以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO，InGaZnO）基氧化物半導體材料、氧化鎵鋅（GZO，GaZnO）基氧化物半導體材料、氧化銦鎵（IGO，InGaO）基氧化物半導體材料、或氧化鎵鋅錫（GZTO，GaZnSnO）基氧化物半導體材料，並且，當該第一主動層的該氧化物半導體材料包含鎵（Ga）和銦（In）時，鎵（Ga）基於莫耳數的濃度可以高於銦（In）基於莫耳數的濃度 [鎵濃度 > 銦濃度]。

【0018】 該第二主動層可以包含以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO，InGaZnO）基氧化物半導體材料、氧化銦鋅（IZO，InZnO）基氧化物半導體材料、氧化銦錫鋅（ITZO，InSnZnO）基氧化物半導體材料、氧化銦鎵鋅錫（IGZTO，InGaZnSnO）基氧化物半導體材料、氧化鐵銦鋅（FIZO，FeInZnO）基氧化物半導體材料、氧化鋅（ZnO）基氧化物半導體材料、氧化矽銦鋅（SIZO，SiInZnO）基氧化物半導體材料、或氮氧化鋅（ZnON，Zn-Oxynitride）基氧化物半導體材料，並且，當該第二主動層的該氧化物半導體材料包含鎵（Ga）

和銦 (In) 時，銦 (In) 基於莫耳數的濃度可以高於鎵 (Ga) 基於莫耳數的濃度 [鎵濃度 < 銦濃度]。

【0019】 根據本發明的另一個態樣，上述與其它目的可以藉由提供包括上述薄膜電晶體的顯示裝置來完成。

【圖式簡單說明】

【0020】 根據結合所附圖式的以下詳細描述，將更加清楚地理解本發明的上述和其他目的、特徵和優點，其中：

圖1A是顯示根據本發明一個實施例的薄膜電晶體的平面圖；圖1B是沿著圖1A的I-I'線所截取的剖面圖；圖1C是沿著圖1A的II-II'線所截取的剖面圖；以及圖1D是沿著圖1A的III-III'所截取的剖面圖；

圖2是顯示根據本發明另一個實施例的薄膜電晶體的剖面圖；

圖3A是顯示根據本發明再另一個實施例的薄膜電晶體的平面圖；以及圖3B是沿著圖3A的Ia-Ia'線所截取的剖面圖；

圖4A是顯示根據本發明再另一個實施例的薄膜電晶體400的平面圖；以及圖4B是沿著圖4A的Ib-Ib'線所截取的剖面圖；

圖5A是顯示根據本發明再另一個實施例的薄膜電晶體的平面圖；以及圖5B是沿著圖5A的IV-IV'線所截取的剖面圖；

圖6是顯示根據本發明又再另一個實施例的薄膜電晶體的剖面圖；

圖7A是顯示根據本發明又再另一個實施例的薄膜電晶體700的平面圖；以及圖7B是沿著圖7A的IVa-IVa'線所截取的剖面圖；

圖8A是顯示根據本發明又再另一個實施例的薄膜電晶體的平面圖；以及圖8B是沿著圖8A的V-V'線所截取的剖面圖；

圖9A是顯示根據本發明又再另一個實施例的薄膜電晶體900的平面圖；以及圖9B是沿著圖9A的Va-Va'線所截取的剖面圖；

圖10A是顯示根據本發明又再另一個實施例的薄膜電晶體1000的平面圖；以及圖10B是沿著圖10A的Vb-Vb'線所截取的剖面圖；

圖11A和圖11B是顯示施加到薄膜電晶體的閘極電壓的示意圖；

圖12A和圖12B是顯示施加到薄膜電晶體的閘極電壓的示意圖；

圖13A是顯示s因子與導通電流之間的關係的曲線圖；以及圖13B是顯示薄膜

電晶體的臨界電壓的示意圖；

圖14是顯示根據本發明另一個實施例的顯示裝置的示意圖；

圖15是顯示圖14的任一個像素的電路圖；

圖16是顯示圖14的像素的平面圖；

圖17是沿著圖16的VI-VI'所截取的剖面圖；

圖18是顯示根據本發明再另一個實施例的顯示裝置的任一個像素的電路圖；以及

圖19是顯示根據本發明又再另一個實施例的顯示裝置的任一個像素的電路圖。

【實施方式】

【0021】 本發明的優點和特徵以及實現方法將透過以下參照所附圖式所描述的實施例來闡明。然而，本發明可以以不同形式實施，並且不應被解釋為限於本文所闡述的實施例。相反地，提供這些實施例是為了使本發明更加周密和完整，並能夠將本發明完整地解釋給所屬技術領域中具有通常知識者。

【0022】 用於描述本發明實施例的所附圖式所示的形狀、尺寸、比例、角度和數量等僅為示例，因此，本發明不限於所示的細節。相同元件符號通常在整篇說明書中表示相同元件。

【0023】 在使用本說明書中描述的「包括」、「具有」和「包含」的情況下，除非使用「僅」，否則可以增加其他部件。單數形式的用語可以包含複數形式，除非提及相反情況。在解釋元件時，儘管沒有明確的說明，該元件仍解釋為包含誤差範圍。在描述位置關係時，例如，當位置關係描述為「之上」、「上方」、「之下」和「旁邊」時，可以在兩個部分之間設置一個或多個其他部分，除非使用「正好」或「直接」的描述。

【0024】 可以使用例如「之下」、「下方」、「下」、「上方」和「上」的空間相對用語，以易於描述如圖所示一個或複數個元件與另一個或複數個元件之間的關係。這些用語旨在涵蓋該裝置除了圖中所描繪的方向之外的不同方向。例如，如果將圖中所示的裝置翻轉，則描述為在另一個裝置「下方」或「之下」的裝置可以位於另一個裝置「上方」。因此，「下方或之下」的示例性用

語可以包含「下方或之下」以及「上方」的方向。同樣地，示例性用語「上方」或「上」可以包含「上方」以及「下方或之下」的方向。

【0025】 在描述時間關係時，例如當時間順序描述為「之後」、「隨後」、「接著」和「之前」時，可以包含不連續的情況，除非使用「緊接」或「直接」的描述。儘管於本文中使用了「第一」、「第二」等用語來描述各種元件，但是這些元件不應受這些用語的限制。這些用語僅用於區分一個元件與另一個元件。例如，第一元件可以稱為第二元件，同樣地，第二元件可以稱為第一元件，而不脫離本發明的範圍。

【0026】 用語「至少一個」應理解為包含一個或多個相關列出的物件的任何和所有組合。例如，「第一物件、第二物件和第三物件中的至少一個」的含義表示從第一物件、第二物件和第三物件中的兩個或多個以及第一物件、第二物件或第三物件中選出的所有物件的組合。

【0027】 如所屬技術領域中具有通常知識者可以充分理解地，本發明的各個實施例的特徵可以部分地或整體地彼此耦接或者組合，並可以由各種方式互相操作且技術上地驅動。本發明的實施例可以互相獨立地實施，或者可以以互相依附的關係一起實施。

【0028】 在圖式中，即使不同圖式中描繪相同或相似的元件，也會用相同的元件符號表示。在本發明的實施例中，源極電極和汲極電極彼此區分以便說明。然而，源極電極和汲極電極可以互換地使用。此外，源極電極可以是汲極電極，而汲極電極可以是源極電極。而且，在本發明任一個實施例中的源極電極可以是本發明另一個實施例中的汲極電極，並且，在本發明任一個實施例中的汲極電極可以是本發明另一個實施例中的源極電極。

【0029】 在本發明的一些實施例中，為了便於說明，將源極區與源極電極區分開，並且將汲極區與汲極電極區分開。然而，本發明實施例不限於此結構。例如，源極區可以是源極電極，而汲極區可以是汲極電極。並且，源極區可以是汲極電極，而汲極區可以是源極電極。另外，在本發明的一些實施例中，「通道」可以是指「通道部分」，而「通道部分」可以是指「通道」。

【0030】 接著，圖1A是顯示根據本發明一個實施例的薄膜電晶體的平面圖；圖1B是沿著圖1A的I-I'線所截取的剖面圖；圖1C是沿著圖1A的II-II'線所截取的剖面圖；以及圖1D是沿著圖1A的III-III'所截取的剖面圖。

【0031】 如圖所示，根據本發明一個實施例的薄膜電晶體100包含：主動層130；以及閘極電極150，至少部分地與主動層130重疊。主動層130包含：通道部分130n；第一連接部分130a，與該通道130n的一側接觸；以及第二連接部分130b，與該通道130n的另一側接觸。並且，主動層130包含：第一主動層131；以及第二主動層132，位於第一主動層131上。在本發明的實施例中，通道部分可以稱作「通道」，並且通道部分130n可以稱作「通道130n」。

【0032】 另外，如圖1B所示，通道部分130n包含：第一重疊區域OA1，在該第一重疊區域OA1中，第一主動層131與第二主動層132基於平面圖彼此重疊；以及第一非重疊區域NOA1，在該第一非重疊區域NOA1中，第一主動層131與第二主動層132基於平面圖彼此不重疊。在通道部分130n中，第一主動層131和第二主動層132各自從第一連接部分130a延伸至第二連接部分130b。

【0033】 在下文中，將會參考圖1A至圖1D更詳細地描述根據本發明一個實施例的薄膜電晶體100。參照圖1A至圖1D，薄膜電晶體100設置在基板110上。可以使用玻璃或塑膠作為基板110。可以使用具有可撓性的透明塑膠，例如聚醯亞胺作為基板110。考量到在基板110上執行的高溫沉積製程，當使用聚醯亞胺作為基板110時，可以使用能夠耐高溫的耐熱聚醯亞胺。

【0034】 並且，遮光層111可以設置在基板110上。遮光層111具有遮擋外部入射光的遮光特性，以保護通道部分130n。遮光層111可以設置以至少與主動層130的通道部分130n重疊。

【0035】 此外，遮光層111可以包含金屬，並具有導電性。例如，遮光層111可以包含以下材料中的至少一種：鋁基金屬，如鋁（Al）或鋁合金；銀基金屬，如銀（Ag）或銀合金；銅基金屬，如銅（Cu）或銅合金；鉬基金屬，如鉬（Mo）或鉬合金；鉻（Cr）；鉭（Ta）；釹（Nd）；鈦（Ti）；或鐵（Fe）。遮光層111也可以具有多層結構，其包含至少兩個具有彼此不同的物理性質的導電層。

【0036】 緩衝層120也設置在基板110和遮光層111上。緩衝層120可以包含選自氧化矽、氮化矽或金屬基氧化物中的至少一種作為絕緣材料。緩衝層120也可以具有單層結構，或者可以具有多層結構。

【0037】 此外，緩衝層120平坦化了基板110的上部。另外，緩衝層120具有阻隔空氣和水分的性質以及絕緣的性質以保護薄膜電晶體100。緩衝層120也允許遮光層111與通道部分130n互相間隔開並彼此絕緣。

【0038】 如圖所示，主動層130設置在緩衝層120上。主動層130可以由半導體材料形成。根據本發明的一個實施例，主動層130可以包含氧化物半導體材料。

【0039】 參照圖1A至圖1D，主動層130包含：第一主動層131；以及第二主動層132，位於第一主動層131上。第一主動層131可以設置以與第二主動層132重疊。另外，第二主動層132的遷移率可以高於第一主動層131的遷移率。因此，在薄膜電晶體100中，第二主動層132可以作為電流的主要層。根據本發明的一個實施例，第二主動層132可以具有第一主動層131的兩倍或更高的遷移率。與第一主動層131相比，第二主動層132可以具有二到五倍的遷移率。

【0040】 例如，第一主動層131的遷移率可為 $5\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $25\text{ cm}^2/\text{V}\cdot\text{s}$ 。更詳細地，第一主動層131的遷移率可為 $5\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $15\text{ cm}^2/\text{V}\cdot\text{s}$ ，或為約 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 。第二主動層132的遷移率可為 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 或更高。更詳細地，第二主動層132的遷移率可為 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $50\text{ cm}^2/\text{V}\cdot\text{s}$ 。更詳細地，第二主動層132的遷移率可為 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $40\text{ cm}^2/\text{V}\cdot\text{s}$ ，或 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 。

【0041】 此外，第二主動層132的遷移率可高出第一主動層131的遷移率最多 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $40\text{ cm}^2/\text{V}\cdot\text{s}$ 。第二主動層132地遷移率可高出第一主動層131的遷移率最多 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 、 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 、或 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 。

【0042】 第一主動層131可以包含具有優異穩定性的氧化物半導體材料。另外，第一氧化物半導體層131支撐第二氧化物半導體層132。因此，第一氧化物半導體層131也稱為「支撐層」。第一主動層131可以包含例如以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO， InGaZnO ）基氧化物半導體材料、氧化鎵鋅（GZO， GaZnO ）基氧化物半導體材料、氧化銦鎵（IGO， InGaO ）基氧化物半導體材料、或氧化鎵鋅錫（GZTO， GaZnSnO ）基氧化物半導體材料。當構成第一主動層131的氧化物半導體材料包含鎵（Ga）和銦（In）時，鎵（Ga）基於莫耳數的濃度設定為高於銦（In）基於莫耳數的濃度 [鎵濃度 > 銦濃度]。

【0043】 第二主動層132可以包含具有高遷移率的氧化物半導體材料。第二主動層132可以包含例如以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO，InGaZnO）基氧化物半導體材料、氧化銦鋅（IZO，InZnO）基氧化物半導體材料、氧化銦錫鋅（ITZO，InSnZnO）基氧化物半導體材料、氧化銦鎵鋅錫（IGZTO，InGaZnSnO）基氧化物半導體材料、氧化鐵銦鋅（FIZO，FeInZnO）基氧化物半導體材料、氧化鋅（ZnO）基氧化物半導體材料、氧化矽銦鋅（SIZO，SiInZnO）基氧化物半導體材料、或氮氧化鋅（ZnON，Zn-Oxynitride）基氧化物半導體材料。當構成第二主動層132的氧化物半導體材料包含鎵（Ga）和銦（In）時，銦（In）基於莫耳數的濃度設定為高於鎵（Ga）基於莫耳數的濃度 [鎵濃度 < 銦濃度]。

【0044】 然而，氧化物半導體材料的種類並不限於以上所述的範例，並且，第一主動層131和第二主動層132可以包含所屬技術領域中已知的其他氧化物半導體材料。參照圖1A、圖1C和圖1D，主動層130包含：通道部分130n；第一連接部分130a，與通道部分130n的一側接觸；以及第二連接部分130b，與通道部分130n的另一側接觸。

【0045】 通道部分130n與閘極電極150重疊，並作為薄膜電晶體100的通道。通道部分130n的一側接觸第一連接部分130a，而通道部分130n的另一側接觸第二連接部分130b。

【0046】 如圖所示，主動層130的第一連接部分130a和第二連接部分130b不與閘極電極150重疊。另外，第一連接部分130a和第二連接部分130b可以透過對半導體材料進行選擇性導體化來形成。根據本發明的一個實施例，向主動層130的選擇部分提供導電性稱為選擇性導體化。選擇性導體化可以透過摻雜、電漿處理或類似方法來執行。

【0047】 例如，主動層130的選擇性導體化可以透過利用閘極電極150或光阻劑作為遮罩的摻雜劑摻雜來執行。將摻雜劑離子植入主動層130的選擇區域稱為摻雜劑摻雜。摻雜劑可以包含例如硼（B）、磷（P）、氟（F）或氫（H）中的至少一種。

【0048】 當主動層130的選擇性導體化是透過摻雜或植入摻雜劑執行時，主動層130中摻雜有摻雜劑的區域被選擇性導體化以成為第一連接部分130a或

第二連接部分130b。主動層130中未摻雜有摻雜劑的區域未被導體化，並成為通道部分130n。

【0049】 另外，主動層130的選擇性導體化可以透過應用於閘極絕緣層140的圖案化製程的電漿處理來執行。例如，電漿可以應用於閘極絕緣層140的圖案化製程，並且，主動層130與電漿接觸的部分可以被選擇性導體化成為第一連接部分130a或第二連接部分130b。主動層130由閘極絕緣層140保護且未接觸電漿的部分未被導體化，並可以成為通道部分130n。

【0050】 第一連接部分130a和第二連接部分130b為半導體材料所製成並被賦予導電性的部分。因此，第一連接部分130a和第二連接部分130b的導電性高於通道部分130n的導電性。也就是說，透過導體化，第一連接部分130a和第二連接部分130b可以具有與作為電導線的金屬相似的導電性。

【0051】 參照圖1C，通道部分130n可以包含：第一主動層131的通道部分131n；以及第二主動層132的通道部分132n。第一連接部分130a包含：第一主動層131的第一連接部分131a；以及第二主動層132的第一連接部分132a。並且，第二連接部分130b包含：第一主動層131的第二連接部分131b；以及第二主動層132的第二連接部分132b。

【0052】 此外，主動層130的第一連接部分130a可以是源極區，而第二連接部分130b可以是汲極區。因此，第一連接部分130a可作為源極電極，而第二連接部分130b可作為汲極電極。然而，本發明並不限於以上所述的範例，並且，第一連接部分130a可以為汲極區，而第二連接部分130b可以為源極區。

【0053】 另外，通道部分130n包含：第一重疊區域OA1，在該第一重疊區域OA1中，第一主動層131與第二主動層132基於平面圖彼此重疊；以及第一非重疊區域NOA1，在該第一非重疊區域NOA1中，第一主動層131與第二主動層132基於平面圖彼此不重疊。

【0054】 如圖所示，在通道部分130n中，第一主動層131和第二主動層132各自從第一連接部分130a延伸至第二連接部分130b。因此，第一重疊區域OA1可以從第一連接部分130a延伸至第二連接部分130b。另外，第一非重疊區域NOA1可以從第一連接部分130a延伸至第二連接部分130b。

【0055】 因為第一重疊區域OA1和第一非重疊區域NOA1可以從第一連接部分130a延伸至第二連接部分130b，第一重疊區域OA1和第一非重疊區域NOA1兩者皆可以作為薄膜電晶體100通道。

【0056】 參照圖1A和圖1B，第二主動層132可以設置在基於平面圖的通道部分130n的整個區域上。另外，第一主動層131可以僅設置在第一重疊區域OA1中，而不設置在第一非重疊區域NOA1中。根據本發明的一個實施例，在通道部分130n中，第二主動層132可以覆蓋第一主動層131的整個上表面。

【0057】 圖1C是顯示第一重疊區域OA1的剖面圖；以及圖1D是顯示第一非重疊區域NOA1的剖面圖。如圖1C和圖1D所示，第一主動層131和第二主動層132設置以在第一重疊區域OA1中彼此重疊，而只有第二主動層132設置在第一非重疊區域NOA1中。因此，第一重疊區域OA1可以具有比第一非重疊區域NOA1更大量的載子（carrier）。更詳細地，第一重疊區域OA1可以具有比第一非重疊區域NOA1更大量的電子載子。

【0058】 因此，薄膜電晶體100的導通電流可以透過第一重疊區域OA1得到改善。所以，具有第一重疊區域OA1的薄膜電晶體100可以具有優異的電流特性。

【0059】 此外，第一非重疊區域NOA1的載子濃度低於第一重疊區域OA1的載子濃度。更詳細地，第一非重疊區域NOA1的電子載子濃度低於第一重疊區域OA1的電子載子濃度。因此，在藉由施加閘極電壓使薄膜電晶體100完全導通之前，可以延遲薄膜電晶體的電流增加速率。所以，薄膜電晶體的s因子（次臨界擺動）可以增加。

【0060】 如上所述，通道部分130n同時包含第一重疊區域OA1和第一非重疊區域NOA1，所以可以改善薄膜電晶體100的導通電流，同時也可以增加s因子。

【0061】 參照圖1B至圖1D，閘極絕緣層140設置在主動層130上，並保護通道部分130n。閘極絕緣層140可以包含氧化矽、氮化矽或金屬基氧化物中的至少一種，並可以具有單層結構或多層結構。

【0062】 參照圖1B至圖1D，閘極絕緣層140可以一體地形成在基板110上，但本發明並不限於此，並且，閘極絕緣層140可以被圖案化。例如，閘極絕緣層140可以被圖案化以與閘極電極150具有對應的形狀。

【0063】 此外，閘極電極150設置在閘極絕緣層140上，並與主動層130的通道部分130n重疊。閘極電極150可以包含以下材料中的至少一種：鋁基金屬，如鋁（Al）或鋁合金；銀基金屬，如銀（Ag）或銀合金；銅基金屬，如銅（Cu）或銅合金；鉬基金屬，如鉬（Mo）或鉬合金；鉻（Cr）；鉭（Ta）；釹（Nd）；或鈦（Ti）。閘極電極150也可以具有多層結構，其包含至少兩個具有彼此不同的物理性質的導電層。

【0064】 層間絕緣層170設置在閘極電極150上，並是以絕緣材料製成的絕緣層。層間絕緣層170可以由有機材料或無機材料製成，或是可以由有機材料或無機材料的層疊體製成。

【0065】 源極電極161和汲極電極162設置在層間絕緣層170上。如圖所示，源極電極161通過接觸孔H2連接到主動層130。更詳細地，源極電極161可以通過接觸孔H2電性連接到主動層130的第一連接部分130a。源極電極161也可以通過接觸孔H1連接到遮光層111。因此，遮光層111可以連接到主動層130的第一連接部分130a。

【0066】 另外，汲極電極162與源極電極161間隔開，並因此通過接觸孔H3連接到主動層130。更詳細地，汲極電極162可以通過接觸孔H3電性連接到主動層130的第二連接部分130b。

【0067】 源極電極161和汲極電極162分別可以包含以下材料中的至少一種：鉬（Mo）、鋁（Al）、鉻（Cr）、金（Au）、鈦（Ti）、鎳（Ni）、釹（Nd）、銅（Cu）、或是上述金屬的合金。源極電極161和汲極電極162分別可以由金屬或金屬合金製成的單層所形成，或可以由兩層或以上的多層所形成。

【0068】 然而，本發明並不限於以上所述範例，第一連接部分130a可以是源極電極，並且，由元件符號「161」表示的電極可以是連接電極或電橋。同樣地，第二連接部分130b可以是源極電極，並且，由元件符號「162」表示的電極可以是連接電極或電橋。

【0069】 以下將詳細描述s因子。在薄膜電晶體100的閘極電壓的汲極-源極電流曲線的臨界電壓 V_{th} 處，s因子（次臨界擺動）可以作為指示閘極電壓的汲極-源極電流的變化程度的指標。s因子可以由例如圖13B所示的電流變化曲線描述。

【0070】 尤其，圖13B顯示閘極電壓 V_{GS} 的汲極-源極電流 I_{DS} 。在薄膜電晶體100的臨界電壓 V_{th} 處，閘極電壓 V_{GS} 的汲極-源極電流 I_{DS} 曲線中的斜率的倒數可以定義為s因子。當曲線的斜率較陡時，s因子較小；而當曲線的斜率較緩時，s因子較大。當s因子較大時，閘極電壓在臨界電壓 V_{th} 的週期內的汲極-源極電流 I_{DS} 的變化速率較慢。當s因子較大時，因為閘極電壓的汲極-源極電流 I_{DS} 的變化速率較慢，因此可以藉由調節閘極電壓 V_{GS} 來容易地調節汲極-源極電流 I_{DS} 的大小。

【0071】 在由電流驅動的顯示裝置中，例如，在有機發光顯示裝置中，可以藉由調節驅動薄膜電晶體的汲極-源極電流 I_{DS} 的大小來控制像素的灰階。驅動薄膜電晶體的汲極-源極電流 I_{DS} 的大小由閘極電壓決定。因此，在由電流驅動的有機發光顯示裝置中，當驅動薄膜電晶體TR的s因子變大時，可以容易地調節像素的灰階。

【0072】 作為調節薄膜電晶體100的s因子的方法，包含調節閘極絕緣層140的厚度。更詳細地，圖11A和圖11B是顯示施加到薄膜電晶體的閘極電壓的示意圖。

【0073】 如圖所示，圖11A示意性地顯示對薄膜電晶體施加閘極電壓 V_{GS} 時，可以產生電容 C_{ap} 。尤其，圖11示意性地顯示在薄膜電晶體完全被導通之前，電容 C_{ap} 與電壓之間的關係。在圖11A中，閘極電壓 V_{GS} 是源極電極161與閘極電極150之間的電壓。閘極電壓 V_{GS} 可以視為第一連接部分130a與閘極電極150之間的電壓。

【0074】 如圖11A所示，當對薄膜電晶體施加閘極電壓 V_{GS} 時，主動層130的通道部分130n與閘極電極150(閘極)之間會形成電容 C_{GI} ，並且，通道部分130n與第一連接部分130a(源極)之間也會形成電容 C_{CH} 。通道部分130n與第一連接部分130a(源極)之間所形成的電容 C_{CH} 可以視為由汲極電極162與源極電極161之間的電壓差所形成的電容，其中，汲極電極162是高壓端子；而源極電極161是低壓端子，其在通道部分130n中由具有N型半導體特性的氧化物半導體層所形成。

【0075】 根據圖11A的電容 C_{ap} 與電壓之間的關係可以由圖11B表現。參照圖11B，由於通道部分130n與第一連接部分130a(源極)之間的電容 C_{CH} ，所以

並不是所有的閘極電壓 V_{GS} 都可以有效地施加到通道部分130n。因此，可能會產生電壓損失。

【0076】 參照圖11B，當將在薄膜電晶體的驅動期間有效地施加到通道部分130n的閘極電壓 V_{GS} 中的一個稱為有效閘極電壓 V_{eff} 時，有效閘極電壓 V_{eff} 可以由以下方程式1獲得。

【0077】 [方程式1]

$$V_{eff} = [C_{GI} / (C_{GI} + C_{CH})] \times V_{GS}$$

【0078】 為了增加薄膜電晶體100的s因子，當閘極絕緣層140的厚度增加時，主動層130的通道部分130n與閘極電極150（閘極）之間的電容 C_{GI} 降低，從而可以降低閘極電壓 V_{GS} 中被有效地施加到通道部分130n的有效閘極電壓 V_{eff} 。因此，可以增加s因子，但是由方程式1計算出的有效閘極電壓 V_{eff} 會降低，並且，薄膜電晶體100的導通電流也會減少。

【0079】 另一方面，根據本發明的一個實施例，因為通道部分130n同時包含第一重疊區域OA1和第一非重疊區域NOA1，因此薄膜電晶體100的s因子可以在不減少導通電流的狀況下增加。

【0080】 接下來，圖12A和圖12B是顯示施加到薄膜電晶體100的閘極電壓的示意圖，並描述遮光層111連接到源極電極161的範例。如圖12A所示，當對薄膜電晶體施加閘極電壓 V_{GS} 時，主動層130的通道部分130n與閘極電極150之間會形成電容 C_{GI} ，通道部分130n與第一連接部分130a（源極）之間會形成電容 C_{CH} ，並且，通道部分130n與遮光層111之間會另外形成電容 C_{BUF} 。

【0081】 根據圖12A的電容Cap與電壓之間的關係可以由圖12B表現。參照圖12B，由於通道部分130n與第一連接部分130a（源極）之間的電容 C_{CH} 以及通道部分130n與遮光層111之間的電容 C_{BUF} ，並不是所有的閘極電壓 V_{GS} 都可以有效地施加到通道部分130n，並且可能會產生電壓損失。

【0082】 當遮光層111與源極電極161彼此電性連接時，電容 C_{BUF} 會另外產生在通道部分130n與遮光層111之間，從而增加了導致電壓損失的低電容 $C_{CH} + C_{BUF}$ 。更詳細地，當將有效地施加到通道部分130n的閘極電壓 V_{GS} 的電壓稱為圖12B中的有效閘極電壓 V_{eff} 時，有效閘極電壓 V_{eff} 可以由以下方程式2獲得。

【0083】 [方程式2]

$$V_{eff} = [C_{GI} / (C_{GI} + C_{CH} + C_{BUF})] \times V_{GS}$$

第 14 頁，共 28 頁(發明說明書)

【0084】 參照方程式2，由於在通道部分130n與遮光層111之間形成的電容 C_{BUF} ，方程式2的分母數值會增加。因此，當在通道部分130n與遮光層111之間形成的電容 C_{BUF} 增加時，有效閘極電壓 V_{eff} 會降低，從而降低了薄膜電晶體100中汲極-源極電流 I_{DS} 的增加速率。因此，增加了s因子。

【0085】 參照方程式2，可以增加通道部分130n與遮光層111之間的電容 C_{BUF} ，以增加薄膜電晶體100的s因子。作為增加通道部分130n與遮光層111之間的電容 C_{BUF} 的方法，包含減少緩衝層120的厚度。然而，當減少緩衝層120的厚度時，薄膜電晶體100中的通道部分130n會因氫氣、氧氣或濕氣而損壞，並且降低了薄膜電晶體100的導通電流。

【0086】 根據本發明的一個實施例，因為通道部分130n同時包含第一重疊區域OA1和第一非重疊區域NOA1，即使不減少緩衝層120的厚度，薄膜電晶體100的s因子也可以增加，同時也可以增加薄膜電晶體100的導通電流。

【0087】 接著，圖2是顯示根據本發明另一個實施例的薄膜電晶體200的剖面圖。尤其，圖2對應沿著圖1A的II-II'所截取的剖面圖。參照圖2，閘極絕緣層140可以被圖案化而無須形成在基板110的整個表面上。例如，如圖2所示，閘極絕緣層140可以被圖案化為與閘極電極150具有相同的平面形狀。

【0088】 另外，圖3A是顯示根據本發明再另一個實施例的薄膜電晶體300的平面圖；以及圖3B是沿著圖3A的Ia-Ia'線所截取的剖面圖。參照圖3A和圖3B，主動層130可以進一步包含在第二主動層132上的第三主動層133。第三主動層133可以在通道部分130n中從第一連接部分130a延伸至第二連接部分130b。第三主動層133也可以設置在第一連接部分130a和第二連接部分130b中。

【0089】 此外，第三主動層133可以保護第二主動層132。為了保護第二主動層132，第三主動層133可以由具有優異穩定性的氧化物半導體材料製成。第三主動層133也可以用作保護第二主動層132的保護層。

【0090】 另外，第三主動層133的遷移率小於第二主動層132的遷移率。第二主動層132的遷移率可高出第三主動層133的遷移率最多兩倍或更高。更詳細地，與第三主動層133相比，第二主動層132可具有二到五倍的遷移率。第三主動層133的遷移率可為 $5 \text{ cm}^2/\text{V}\cdot\text{s}$ 至 $25 \text{ cm}^2/\text{V}\cdot\text{s}$ 。更詳細地，第三主動層133的遷移率可為 $5 \text{ cm}^2/\text{V}\cdot\text{s}$ 至 $15 \text{ cm}^2/\text{V}\cdot\text{s}$ ，或可為約 $10 \text{ cm}^2/\text{V}\cdot\text{s}$ 。

【0091】 此外，第二主動層132的遷移率可高出第三主動層133的遷移率最多 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $40\text{ cm}^2/\text{V}\cdot\text{s}$ 。第二主動層132遷移率也可高出第三主動層133的遷移率最多 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 、 $10\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 、或 $20\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 。

【0092】 第三主動層133可以包含例如以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO， InGaZnO ）基氧化物半導體材料、氧化鎵鋅（GZO， GaZnO ）基氧化物半導體材料、氧化銦鎵（IGO， InGaO ）基氧化物半導體材料、或氧化鎵鋅錫（GZTO， GaZnSnO ）基氧化物半導體材料。當構成第三主動層133的氧化物半導體材料包含鎵（Ga）和銦（In）時，鎵（Ga）基於莫耳數的濃度設定為高於銦（In）基於莫耳數的濃度 [鎵濃度 > 銦濃度]。

【0093】 因此，透過第三主動層133，作為製造過程中的中間層的第二主動層132可以有效地被保護。例如，在製造過程中，第一主動層131可以保護作為中間層的第二主動層132免受其下方的緩衝層120或另一個絕緣層所產生的氣體，例如氫氣（H）、水氣（ H_2O ）、氧氣（ O_2 ）等的影響；並且，第三主動層133可以保護作為中間層的第二主動層132免受在圖案化過程所使用的蝕刻液的影響，或免受上層的絕緣層，例如閘極絕緣層140或層間絕緣層170等所產生的氣體，例如氫氣（H）、水氣（ H_2O ）、氧氣（ O_2 ）等的影響。

【0094】 參照圖3A和圖3B，第三主動層133可以設置在第一重疊區域OA1和第一非重疊區NOA1中。第三主動層133可以設置以覆蓋第二主動層132的整個上表面，但本發明並不限於此，並且，第三主動層133可以覆蓋第二主動層132的上表面的一部分。

【0095】 參照圖3A和圖3B，因為第三主動層133設置在第一非重疊區域NOA1中並用作保護第二主動層132的保護層，所以載子由於第三主動層133而增加的效應並不顯著。因此，薄膜電晶體300的s因子可以維持在較高的程度。

【0096】 接著，圖4A是顯示根據本發明再另一個實施例的薄膜電晶體400的平面圖；以及圖4B是沿著圖4A的Ib-Ib'線所截取的剖面圖。參照圖4A和圖4B，主動層130可以包含在第二主動層132上的第三主動層133，並且，第三主動層133可以設置在第二主動層132的上表面的一部分上。更詳細地，第三主動層133不設置在第一非重疊區域NOA1中，而僅設置在第一重疊區域OA1中。

【0097】 第三主動層133設置在第一重疊區域OA1中，使得第二主動層132的上部可以至少在第一重疊區域OA1中被有效地保護。另外，第一重疊區域OA1的電子載子可以由於包含在第三主動層133中的載子而增加。在結構方面，第一重疊區域OA1的厚度因為第三主動層133而增加，藉此可以改善第一重疊區域OA1的物理穩定性。因此，可以改善薄膜電晶體100的穩定性，並可以透過第一重疊區域OA1改善薄膜電晶體100的導通電流。另一方面，如果第三主動層133不設置在第一非重疊區域NOA1，第一非重疊區域NOA1的載子便不會增加。因此，薄膜電晶體400的s因子可以維持在較高的程度。

【0098】 接著，圖5A是顯示根據本發明再另一個實施例的薄膜電晶體500的平面圖；以及圖5B是沿著圖5A的IV-IV'線所截取的剖面圖。與圖1A的薄膜電晶體100相比，圖5A中的薄膜電晶體500進一步包含第二非重疊區域NOA2。

【0099】 參照圖5A和圖5B，通道部分130n可以進一步包含第二非重疊區域NOA2，在第二非重疊區域NOA2中，第一主動層131與第二主動層132基於平面圖彼此不重疊。第二非重疊區域NOA2可以與第一非重疊區域NOA1間隔開，並從第一連接部分130a延伸至第二連接部分130b。第一非重疊區域NOA1和第二非重疊區域NOA2可以設置成在第一重疊區域OA1插入其間的情況下彼此間隔開。

【0100】 如圖所示，第一主動層131可以不設置在第二非重疊區域NOA2中。此外，以與第一非重疊區域NOA1相同的方式，第二非重疊區域NOA2包含濃度低於第一重疊區域OA1的載子濃度的載子（電子載子）。因此，第二非重疊區域NOA2可以以與第一非重疊區域NOA1相同的方式用於增加薄膜電晶體100的s因子。

【0101】 接著，圖6是顯示根據本發明又再另一個實施例的薄膜電晶體600的剖面圖。尤其，圖6是沿著圖5A的IV-IV'所截取的剖面圖。

【0102】 參照圖6，主動層130可以進一步包含在第二主動層132上的第三主動層133。第三主動層133可以在通道部分130n中從第一連接部分130a延伸至第二連接部分130b。第三主動層133也可以設置在第一連接部分130a和第二連接部分130b中。

【0103】 另外，第三主動層133可以設置在第一重疊區域OA1、第一非重疊區域NOA1和第二非重疊區域NOA2中。第三主動層133也可以設置以覆蓋第二

主動層132的整個上表面，但本發明並不限於此，並且，第三主動層133可以覆蓋第二主動層132的上表面的一部分。

【0104】 參照圖6，第三主動層133設置在第一非重疊區域NOA1和第二非重疊區域NOA2中，但載子由於第三主動層133而增加的效應並不顯著。因此，薄膜電晶體600的s因子可以維持在較高的程度。

【0105】 接著，圖7A是顯示根據本發明又再另一個實施例的薄膜電晶體700的平面圖；以及圖7B是沿著圖7A的IVa-IVa'線所截取的剖面圖。參照圖7A和圖7B，主動層130可以包含在第二主動層132上的第三主動層133，並且，第三主動層133可以設置在第二主動層132的上表面的一部分上。

【0106】 更詳細地，第三主動層133可以設置在第一重疊區域OA1中。第三主動層133可以不設置在第一非重疊區域NOA1中。另外，第三主動層133可以不設置在第二非重疊區域NOA2中。第三主動層133不設置在第二非重疊區域NOA2中，因此第二非重疊區域NOA2的載子不會增加。因此，薄膜電晶體700的s因子可以維持在較高的程度。

【0107】 接著，圖8A是顯示根據本發明又再另一個實施例的薄膜電晶體800的平面圖；以及圖8B是沿著圖8A的V-V'線所截取的剖面圖。與圖1A的薄膜電晶體100相比，圖8A中的薄膜電晶體800進一步包含第二重疊區域OA2。

【0108】 參照圖8A和圖8B，通道部分130n可以進一步包含第二重疊區域OA2，在第二重疊區域OA2中，第一主動層131與第二主動層132基於平面圖彼此重疊。第二重疊區域OA2可以與第一重疊區域OA1間隔開，並從第一連接部分130a延伸至第二連接部分130b。另外，第一重疊區域OA1和第二重疊區域OA2可以在第一非重疊區域NOA1插入其間的情況下彼此間隔開。

【0109】 根據本發明的一個實施例，第一主動層131不設置在第一非重疊區域NOA1中，並可以設置在第一重疊區域OA1和第二重疊區域OA2中。另外，以與第一重疊區域OA1相同的方式，第二重疊區域OA2包含濃度高於第一非重疊區域NOA1的載子濃度的載子（電子載子）。因此，第二重疊區域OA2可以以與第一重疊區域OA1相同的方式用於改善薄膜電晶體100的導通電流。

【0110】 圖9A是顯示根據本發明又再另一個實施例的薄膜電晶體900的平面圖；以及圖9B是沿著圖9A的Va-Va'線所截取的剖面圖。參照圖9A和圖9B，主動層130可以進一步包含在第二主動層132上的第三主動層133。如圖所示，第

三主動層133在通道部分130n中可以從第一連接部分130a延伸至第二連接部分130b。第三主動層133也可以設置在第一連接部分130a和第二連接部分130b中。

【0111】此外，第三主動層133可以設置在第一重疊區域OA1、第一非重疊區域NOA1和第二重疊區域OA2中。並且，第三主動層133可以設置以覆蓋第二主動層132的整個上表面，但本發明並不限於此，並且，第三主動層133可以覆蓋第二主動層132的上表面的一部分。

【0112】參照圖9A和圖9B，第三主動層133設置在第一非重疊區域NOA1中，但載子由於第三主動層而增加的效應並不顯著。因此，薄膜電晶體900的s因子可以維持在較高的程度。

【0113】接著，圖10A是顯示根據本發明又再另一個實施例的薄膜電晶體1000的平面圖；以及圖10B是沿著圖10A的Vb-Vb'線所截取的剖面圖。參照圖10A和圖10B，主動層130可以包含在第二主動層132上的第三主動層133，並且，第三主動層133可以設置在第二主動層132的上表面的一部分上。更詳細地，第三主動層133可以設置在第一重疊區域OA1和第二重疊區域OA2中。第三主動層133可以不設置在第一非重疊區域NOA1。

【0114】如果第三主動層133不設置在第一非重疊區域NOA1，第一非重疊區域NOA1的載子便不會增加。因此，薄膜電晶體1000的s因子可以維持在較高的程度。

【0115】如上所述，圖11A和圖11B是顯示施加到未設置遮光層111的薄膜電晶體的閘極電壓的示意圖；圖12A和圖12B是顯示施加到設置有遮光層111的薄膜電晶體的閘極電壓的示意圖。

【0116】如先前所述，圖13A是顯示s因子與導通電流 I_{on} 之間的關係的曲線圖。另外，圖13B是顯示薄膜電晶體的臨界電壓的示意圖。參照圖13A，在設置有遮光層111的薄膜電晶體中，當緩衝層BUF 120的厚度增加，或閘極絕緣層GI 140的厚度降低時，薄膜電晶體的導通電流會增加，但s因子可能會降低。

【0117】另一方面，在設置有遮光層111的薄膜電晶體中，當緩衝層BUF 120的厚度降低，或閘極絕緣層GI 140的厚度增加時，薄膜電晶體的s因子可以增加，但導通電流可能會降低。

【0118】圖13B顯示各種薄膜電晶體的臨界電壓。在圖13B中，「實施例1」是圖1的薄膜電晶體100的臨界電壓曲線；「比較例1」是閘極絕緣層140的厚度

降低以改善導通電流的薄膜電晶體的臨界電壓曲線；以及「比較例2」是閘極絕緣層140的厚度增加以改善s因子的薄膜電晶體的臨界電壓曲線。

【0119】 根據「比較例1」，當閘極絕緣層140的厚度降低時，薄膜電晶體的導通電流會改善，但s因子會降低。另外，根據「比較例2」，當閘極絕緣層140的厚度增加時，薄膜電晶體的s因子會增加，但導通電流會降低。另一方面，根據本發明實施例1的薄膜電晶體在具有大的s因子時，具有優異的導通電流特性。

【0120】 在下文中將詳細描述包含上述的薄膜電晶體100、200、300、400、500、600、700、800、900和1000的顯示裝置。尤其，圖14是顯示根據本發明又再另一個實施例的顯示裝置1100的示意圖。

【0121】 如圖14所示，根據本發明又再另一個實施例的顯示裝置1100包含：顯示面板310；閘極驅動器320；資料驅動器330；以及控制器340。閘極線GL和資料線DL設置在顯示面板310中，像素P設置在閘極線GL與資料線DL的交叉區域中。透過驅動像素P來顯示影像。

【0122】 控制器340控制閘極驅動器320和資料驅動器330。另外，控制器340輸出：閘極控制信號GCS，用於控制閘極驅動器320；以及資料控制信號DCS，用於透過使用外部系統提供的信號來控制資料驅動器330。並且，控制器340透過對從外部輸入的輸入影像資料進行採樣，重新排列所採樣的資料，並將重新排列的數位影像資料RGB提供給資料驅動器330。

【0123】 閘極控制信號GCS包含：閘極起動脈衝GSP；閘極移位時脈GSC；閘極輸出致能信號GOE；起動信號Vst；以及閘極時脈GCLK。並且，用於控制移位暫存器的控制信號可以包含在閘極控制信號GCS中。資料控制信號DCS包含：源極起動脈衝SSP；源極移位時脈信號SSC；源極輸出致能信號SOE；以及極性控制信號POL。

【0124】 資料驅動器330將資料電壓供應給顯示面板310的資料線DL。更詳細地，資料驅動器330將從控制器340輸入的影像資料RGB轉換成類比資料電壓，並且將資料電壓供應給資料線DL。閘極驅動器320可以包含移位暫存器350。

【0125】 另外，移位暫存器350藉由使用從控制器340發送的啟動信號和閘極時脈在一幀內連續地向閘極線GL供應閘極脈衝。在此情況下，一幀是指透過顯示面板310輸出一個影像的時間週期。閘極脈衝具有能夠導通設置在像素P中的開關裝置（薄膜電晶體）的導通電壓。

【0126】 並且，移位暫存器350在不供應閘極脈衝的一幀的另一個週期內向閘極線GL供應能夠關斷開關裝置的閘極關斷信號。在下文中，閘極脈衝和閘極關斷信號統一稱為掃描信號SS或Scan。

【0127】 根據本發明的一個實施例，閘極驅動器320可以封裝在基板110上。如此一來，閘極驅動器320直接封裝在基板110上的結構稱為面板內閘極（GIP）結構。

【0128】 接著，圖15是顯示圖14任何一個像素P的電路圖；圖16是顯示圖14的像素P的平面圖；以及圖17是沿著圖16的VI-VI'線所截取的剖面圖。圖15的電路圖是顯示裝置1100的像素P的等效電路圖，顯示裝置1100包含作為顯示裝置710的有機發光二極體（OLED）。

【0129】 如圖所示，像素P包含：顯示裝置710；以及像素驅動電路PDC，用於驅動顯示裝置710。圖15的像素驅動電路PDC包含：第一薄膜電晶體TR1，其為開關電晶體；以及第二薄膜電晶體TR2，其為驅動電晶體。例如，在實施例中描述的薄膜電晶體100、200、300、400、500、600、700、800、900和1000可以作為第二薄膜電晶體TR2。在實施例中描述的薄膜電晶體100、200、300、400、500、600、700、800、900和1000也可以作為第一薄膜電晶體TR1。

【0130】 如圖所示，第一薄膜電晶體TR1連接到閘極線GL和資料線DL，並由通過閘極線GL供應的掃描信號SS導通或關斷。資料線DL提供資料電壓Vdata至像素驅動電路PDC，並且第一薄膜電晶體TR1控制資料電壓Vdata的施加。

【0131】 驅動電源線PL提供驅動電壓Vdd至顯示裝置710，並且第二薄膜電晶體TR2控制驅動電壓Vdd。另外，驅動電壓Vdd是用於驅動作為顯示裝置710的有機發光二極體（OLED）的像素驅動電壓。

【0132】 當第一薄膜電晶體TR1由通過閘極線GL自閘極驅動器320施加的掃描信號SS導通時，通過資料線DL供應的資料電壓Vdata供應給與顯示裝置710連接的第二薄膜電晶體TR2的閘極電極G2。此外，資料電壓Vdata在第二薄膜電晶體TR2的閘極電極G2與源極電極S2之間形成的第一電容器C1中充電。第一電容器C1是儲存電容器Cst。

【0133】 根據資料電壓Vdata控制通過第二薄膜電晶體TR2供應到作為顯示裝置的有機發光二極體（OLED）的電流量，藉此可以控制顯示裝置710發光的灰度。

【0134】 參照圖16和圖17，第一薄膜電晶體TR1和第二薄膜電晶體TR2設置在基板110上。基板110可以由玻璃或塑膠製成。具有可撓性的塑膠，例如聚醯亞胺（PI），可以用為基板110。

【0135】 遮光層111設置在基板110上。參照圖16和圖17，遮光層111僅設置在作為驅動電晶體的第二薄膜電晶體TR2之下，但本發明不限於此，並且遮光層111也可以設置在第一薄膜電晶體TR1之下。

【0136】 緩衝層120設置在遮光層111上。緩衝層120是由絕緣材料製成，並且保護主動層A1和A2隔絕外部的水氣或氧氣。第一薄膜電晶體TR1的主動層A1和第二薄膜電晶體TR2的主動層A2設置在緩衝層120上。主動層A1和A2可以包含例如：第一主動層131、第二主動層132和第三主動層133。主動層A1和A2可以具有如圖3、圖4、圖6、圖7、圖9和圖10的任何一種結構。

【0137】 另外，閘極絕緣層140設置在主動層A1和A2上。閘極絕緣層140可以覆蓋主動層A1和A2的整個上表面，或僅覆蓋主動層A1和A2的一部分。第一薄膜電晶體TR1的閘極電極G1和第二薄膜電晶體TR2的閘極電極G2設置在閘極絕緣層140上。並且，第一電容器電極CE1可以設置在閘極絕緣層140上。第一電容器電極CE1可以連接到第二薄膜電晶體TR2的閘極電極G2。

【0138】 層間絕緣層170設置在閘極電極G1和G2以及第一電容器電極CE1上。資料線DL、驅動電源線PL、源極電極S1和S2以及汲極電極D1和D2設置在層間絕緣層170上。一部分的資料線DL可以延伸以成為第一薄膜電晶體TR1中的源極電極S1。第一薄膜電晶體TR1的源極電極S1可以通過接觸孔H11連接到第一薄膜電晶體TR1的主動層A1。

【0139】 參照圖16和圖17，第一薄膜電晶體TR1的汲極電極D1和第二薄膜電晶體TR2的源極電極S2設置在層間絕緣層170上。第一薄膜電晶體TR1的汲極電極D1可以通過接觸孔H12連接到第一薄膜電晶體TR1的主動層A1。另外，第一薄膜電晶體TR1的汲極電極D1可以通過接觸孔H13連接到第一電容器電極CE1。因此，資料電壓可以施加到第一電容器電極CE1和第二薄膜電晶體TR2的閘極電極G2。

【0140】 第二薄膜電晶體TR2的源極電極S2可以通過接觸孔H14連接到遮光層111，並可以通過接觸孔H15連接到第二薄膜電晶體TR2的主動層A2。因此，遮光層111可以連接到第二薄膜電晶體TR2的源極電極S2。

【0141】 另外，第二薄膜電晶體TR2的源極電極S2可以延伸以成為第二電容器電極CE2。第二電容器電極CE2與第一電容器電極CE1重疊以形成第一電容器C1。一部分的驅動電源線PL可以延伸以成為第二薄膜電晶體TR2中的汲極電極D2。第二薄膜電晶體TR2的汲極電極D2可以通過接觸孔H16連接到第二薄膜電晶體TR2的主動層A2。

【0142】 平坦化層180設置在資料線DL、驅動電源線PL、源極電極S1和S2、汲極電極D1和D2以及第二電容器電極CE2上。平坦化層180平坦化了第一薄膜電晶體TR1和第二薄膜電晶體TR2的上部，並保護第一薄膜電晶體TR1和第二薄膜電晶體TR2。

【0143】 此外，顯示裝置710的第一電極711設置在平坦化層180上。顯示裝置710的第一電極711通過形成在平坦化層180中的接觸孔H17接觸第二薄膜電晶體TR2的源極電極S2和第二電容器電極CE2。

【0144】 並且，堤層750設置在第一電極711的邊緣處。堤層750界定顯示裝置710的發光區域。有機發光層712進一步設置在第一電極711上，並且第二電極713設置在有機發光層712上。由此，完成了顯示裝置710。如圖17所示的顯示裝置710為有機發光二極體（OLED）。因此，根據本發明的一個實施例，顯示裝置1100是一個有機發光顯示裝置。

【0145】 根據本發明的另一個實施例，第二薄膜電晶體TR2具有大的s因子。第二薄膜電晶體TR2可以作為驅動電晶體以改善顯示裝置的灰階表現能力。

【0146】 接著，圖18是顯示根據本發明又再另一個實施例的顯示裝置1200的任一個像素P的電路圖。尤其，圖18是顯示有機發光裝置的像素P的等效電路圖。

【0147】 如圖18所示，顯示裝置1200的像素P包含：有機發光二極體（OLED），其作為顯示裝置710；以及像素驅動電路PDC，用於驅動顯示裝置710。顯示裝置710與像素驅動電路PDC連接。在像素P中，設置信號線DL、GL、PL、RL和SCL，用於將信號供應給像素驅動電路PDC。

【0148】 資料電壓Vdata供應給資料線DL；掃描信號SS供應給閘極線GL；用於驅動像素的驅動電壓Vdd供應給驅動電源線PL；參考電壓V_{ref}供應給參考線RL；感測控制訊信號SCS供應給感測控制線SCL。

【0149】 參照圖18，假設第n個像素P的閘極線是「GL」，則與第(n)個像素P相鄰的第(n-1)個像素P的閘極線是「GL_{n-1}」，並且第(n-1)個像素P的閘極線「GL_{n-1}」用作第(n)個像素P的感測控制線SCL。像素驅動電路PDC包含例如：第一薄膜電晶體TR1（開關電晶體），與閘極線GL和資料線DL連接；第二薄膜電晶體TR2（驅動電晶體），用於根據透過第一薄膜電晶體TR1傳送的資料電壓Vdata控制輸出到顯示裝置710的電流大小；以及第三薄膜電晶體TR3（參考電晶體），用於感測第二薄膜電晶體TR2的特性。

【0150】 第一電容器C1位於第二薄膜電晶體TR2的閘極電極G2與顯示裝置710之間。第一電容器C1稱為儲存電容器C_{st}。第一薄膜電晶體TR1由供應給閘極線GL的掃描信號SS導通，以將供應給資料線DL的資料電壓Vdata傳送到第二薄膜電晶體TR2的閘極電極G2。

【0151】 第三薄膜電晶體TR3連接到第二薄膜電晶體TR2與顯示裝置710之間的第一節點n1及參考線RL，並因此由感測控制信號SCS導通或關斷，且在感測期間感測作為驅動電晶體的第二薄膜電晶體TR2的特性。與第二薄膜電晶體TR2的閘極電極G2連接的第二節點n2與第一薄膜電晶體TR1相連。第一電容器C1形成在第二節點n2與第一節點n1之間。

【0152】 當第一薄膜電晶體TR1導通時，通過資料線DL供應的資料電壓Vdata供應給第二薄膜電晶體TR2的閘極電極G2。資料電壓Vdata在第二薄膜電晶體TR2的閘極電極G2與源極電極S2之間形成的第一電容器C1中充電。當第二薄膜電晶體TR2導通時，根據用於驅動像素的驅動電壓Vdd透過第二薄膜電晶體TR2將電流供應給顯示裝置710，從而從顯示裝置710輸出光。

【0153】 接著，圖19是顯示根據本發明又再另一個實施例的顯示裝置1300的任一像素的電路圖。如圖19所示，顯示裝置1300的像素P包含：有機發光二極體（OLED），其為顯示裝置710；以及像素驅動電路PDC，其驅動顯示裝置710。顯示裝置710與像素驅動電路PDC連接。

【0154】 像素驅動電路PDC包含薄膜電晶體TR1、TR2、TR3和TR4。在像素P中，設置信號線DL、GL、PL、SCL和RL，用於將驅動信號供應給像素驅動

電路PDC。與圖18的像素P相比，圖19的像素P進一步包含發光控制線EL。發光控制信號EM供應給發光控制線EL。此外，與圖18的像素驅動電路PDC相比，圖19的像素驅動電路PDC進一步包含第四薄膜電晶體TR4，其為用於控制第二薄膜電晶體TR2的發光時序的發光控制電晶體。

【0155】 參照圖19，假設第(n)個像素P的閘極線是「 GL_n 」，則與第(n)個像素P相鄰的第(n-1)個像素P的閘極線是「 GL_{n-1} 」，並且第(n-1)個像素P的閘極線「 GL_{n-1} 」用作第(n)個像素P的感測控制線SCL。第一電容器C1位於第二薄膜電晶體TR2的閘極電極G2與顯示裝置710之間。此外，第二電容器C2位於供應有驅動電壓Vdd的第四薄膜電晶體TR4的其中一個端子與顯示裝置710的一個電極之間。

【0156】 第一薄膜電晶體TR1由供應給閘極線GL的掃描信號SS導通，以將供應給資料線DL的資料電壓Vdata傳送到第二薄膜電晶體TR2的閘極電極G2。第三薄膜電晶體TR3連接到參考線RL，並因此由感測控制信號SCS導通或關斷，且在感測期間感測作為驅動電晶體的第二薄膜電晶體TR2的特性。

【0157】 另外，第四薄膜電晶體TR4根據發光控制信號EM將驅動電壓Vdd傳送到第二薄膜電晶體TR2，或屏蔽驅動電壓Vdd。當第四薄膜電晶體TR4導通時，電流供應到第二薄膜電晶體TR2，由此從顯示裝置710輸出光。根據本發明的又再另一個實施例的像素驅動電路PDC除了上述的結構外還可以形成為各種結構。像素驅動電路PDC可以包含例如五個或更多個的薄膜電晶體。

【0158】 根據本發明，獲得以下優點。

【0159】 根據本發明一個實施例的薄膜電晶體同時具有大的s因子和優異的導通電流特性。因此，當薄膜電晶體用於顯示裝置時，顯示裝置的灰階表現能力可以得到改善，並且顯示裝置的電流特性也可以得到改善。

【0160】 對於所屬技術領域中具有通常知識者顯而易見的是，本發明的上述公開內容不受上述實施例和圖式的限制，並可以在不超出本發明的範圍的情況下，對本發明進行各種替換、修改和變更。

【0161】 本申請案主張於2022年12月26日提交的韓國專利申請第10-2022-0184668號的優先權，在此透過引用明確併入本申請案中。

【符號說明】

【0162】

- 100:薄膜電晶體
- 110:基板
- 111:遮光層
- 120:緩衝層
- 130:主動層
- 130a:第一連接部分
- 130b:第二連接部分
- 130n:通道部分、通道
- 131:第一主動層、第一氧化物半導體層
- 131a:第一連接部分
- 131b:第二連接部分
- 131n:通道部分
- 132:第二主動層、第二氧化物半導體層
- 132a:第一連接部分
- 132b:第二連接部分
- 132n:通道部分
- 133:第三主動層
- 140:閘極絕緣層
- 150:閘極電極
- 161:源極電極
- 162:汲極電極
- 170:層間絕緣層
- 180:平坦化層
- 200, 300:薄膜電晶體
- 310:顯示面板
- 320:閘極驅動器
- 330:資料驅動器
- 340:控制器
- 350:移位暫存器

400, 500, 600, 700:薄膜電晶體
710:顯示裝置
711:第一電極
712:有機發光層
713:第二電極
750:堤層
800, 900, 1000:薄膜電晶體
1100, 1200, 1300:顯示裝置
A1, A2:主動層
BUF:緩衝層
C1:第一電容器
C2:第二電容器
 C_{BUF} , C_{CH} :電容
CE1:第一電容電極
CE2:第二電容電極
 C_{GI} :電容
D1, D2:汲極電極
DCS:資料控制信號
DL:資料線
EL:發光控制線
EM:發光控制信號
G1, G2:閘極電極
GCS:閘極控制信號
GI:閘極絕緣層
 GL , GL_n , GL_{n-1} :閘極線
H1, H2, H3, H11, H12, H13, H14, H15, H16, H17:接觸孔
 I_{DS} :汲極-源極電流
 I_{on} :導通電流
n1:第一節點
n2:第二節點

NOA1:第一非重疊區域

NOA2:第二非重疊區域

OA1:第一重疊區域

OA2:第二重疊區域

P:像素

PDC:像素驅動電路

PL:驅動電源線

RGB:影像資料

RL:參考線

S1, S2:源極電極

SCL:感測控制線

SCS:感測控制信號

SS:掃描信號

TR1:第一薄膜電晶體

TR2:第二薄膜電晶體

TR3:第三薄膜電晶體

TR4:第四薄膜電晶體

Vdata:資料電壓

Vdd:驅動電壓

V_{eff}:有效閘極電壓

V_{GS}:閘極電壓

V_{ref}:參考電壓

【發明申請專利範圍】

【請求項1】一種薄膜電晶體，包括：

一主動層；

一閘極電極，至少部分地與該主動層重疊；以及

一遮光層，至少與該主動層的一通道重疊，

其中，該主動層包含：

一第一主動層以及位於該第一主動層上的一第二主動層；

該通道；

一第一連接部分，與該通道的一第一側接觸；以及

一第二連接部分，與該通道的一第二側接觸，

其中，該通道包含：

一第一重疊區域，在該第一重疊區域中，該第一主動層與該第二主動層基於平面圖彼此重疊；以及

一第一非重疊區域，在該第一非重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此不重疊，以及

其中，在該主動層的該通道中，該第一主動層及該第二主動層各自從該第一連接部分延伸至該第二連接部分。

【請求項2】如請求項1所述之薄膜電晶體，其中，該通道的該第一重疊區域從該第一連接部分延伸至該第二連接部分。

【請求項3】如請求項1所述之薄膜電晶體，其中，該通道的該第一非重疊區域從該第一連接部分延伸至該第二連接部分。

【請求項4】如請求項1所述之薄膜電晶體，其中，該第二主動層在該通道中覆蓋該第一主動層的一上表面。

【請求項5】如請求項1所述之薄膜電晶體，其中，該第二主動層設置在基於該平面圖的該通道的區域中。

【請求項6】如請求項1所述之薄膜電晶體，其中，該第一主動層不設置在該通道的該第一非重疊區域中。

【請求項7】如請求項1所述之薄膜電晶體，其中，該主動層進一步包含位於該第二主動層上的一第三主動層，以及

其中，該第三主動層在該通道中從該第一連接部分延伸至該第二連接部分。

【請求項8】如請求項7所述之薄膜電晶體，其中，該第三主動層設置在該通道的該第一重疊區域和該第一非重疊區域中。

【請求項9】如請求項7所述之薄膜電晶體，其中，該第三主動層不設置在該通道的該第一非重疊區域中。

【請求項10】如請求項1所述之薄膜電晶體，其中，該通道進一步包含一第二非重疊區域，在該第二非重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此不重疊，以及

其中，該第二非重疊區域與該第一非重疊區域間隔開，並從該第一連接部分延伸至該第二連接部分。

【請求項11】如請求項10所述之薄膜電晶體，其中，該第一主動層不設置在該通道的該第二非重疊區域中。

【請求項12】如請求項10所述之薄膜電晶體，其中，該主動層進一步包含位於該第二主動層上的一第三主動層，以及

其中，該第三主動層在該通道中從該第一連接部分延伸至該第二連接部分。

【請求項13】如請求項12所述之薄膜電晶體，其中，該第三主動層設置在該通道的該第一重疊區域、該第一非重疊區域、以及該第二非重疊區域中。

【請求項14】如請求項12所述之薄膜電晶體，其中，該第三主動層不設置在該通道的該第二非重疊區域中。

【請求項15】如請求項1所述之薄膜電晶體，其中，該通道進一步包含一第二重疊區域，在該第二重疊區域中，該第一主動層與該第二主動層基於該平面圖彼此重疊，以及

其中，該第二重疊區域與該第一重疊區域間隔開，並從該第一連接部分延伸至該第二連接部分。

【請求項16】如請求項15所述之薄膜電晶體，其中，該主動層進一步包含位於該第二主動層上的一第三主動層，以及

其中，該第三主動層在該通道中從該第一連接部分延伸至該第二連接部分。

【請求項17】如請求項16所述之薄膜電晶體，其中，該第三主動層設置在該通道的該第一重疊區域、該第一非重疊區域、以及該第二重疊區域中。

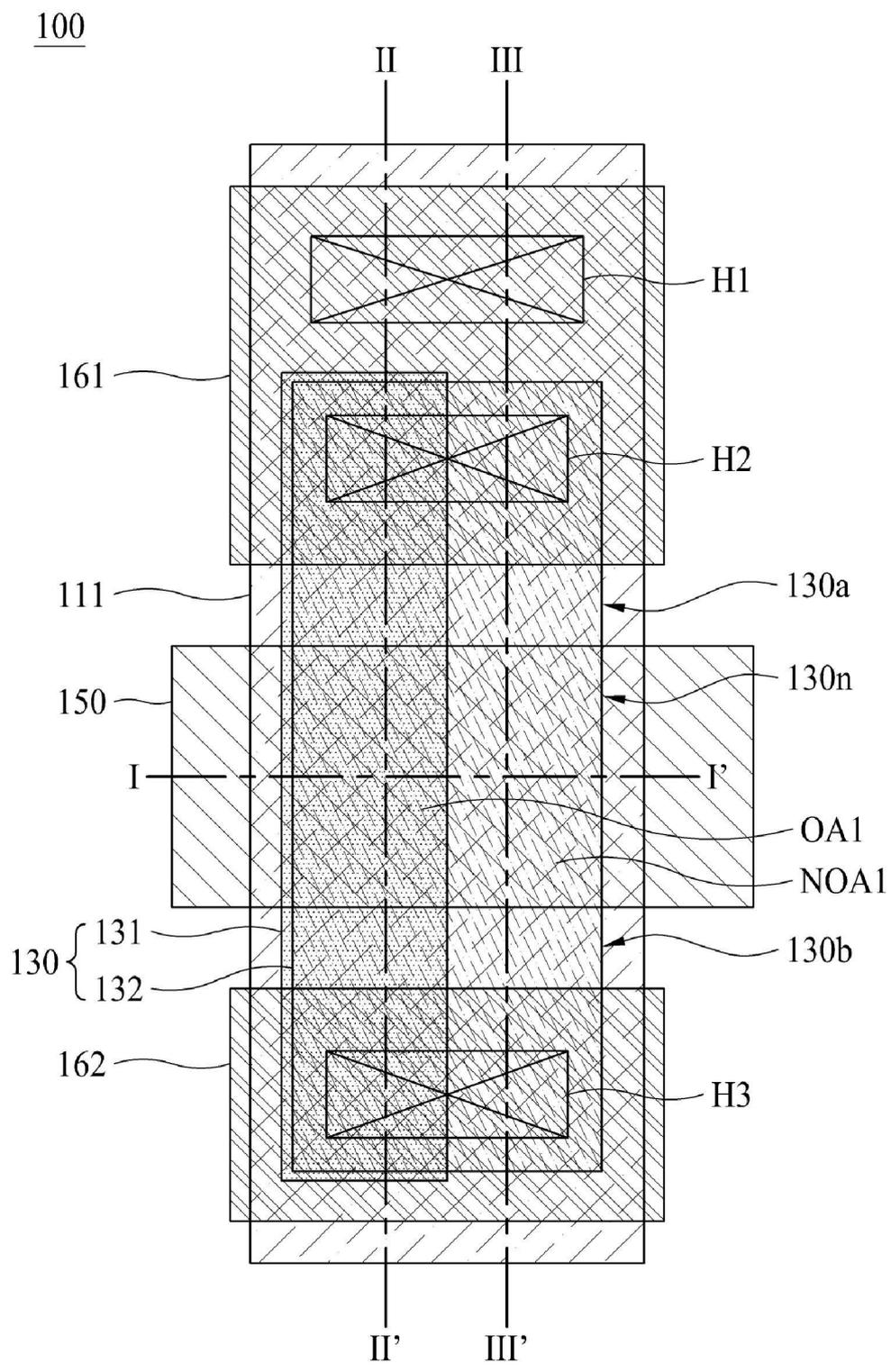
【請求項18】如請求項16所述之薄膜電晶體，其中，該第三主動層不設置在該通道的該第一非重疊區域中。

【請求項19】如請求項1所述之薄膜電晶體，其中，該第一主動層包含以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO，InGaZnO）基氧化物半導體材料、氧化鎵鋅（GZO，GaZnO）基氧化物半導體材料、氧化銦鎵（IGO，InGaO）基氧化物半導體材料、以及氧化鎵鋅錫（GZTO，GaZnSnO）基氧化物半導體材料，並且，當該第一主動層的該氧化物半導體材料包含鎵（Ga）和銦（In）時，鎵（Ga）基於莫耳數的濃度高於銦（In）基於莫耳數的濃度 [鎵濃度 > 銦濃度]。

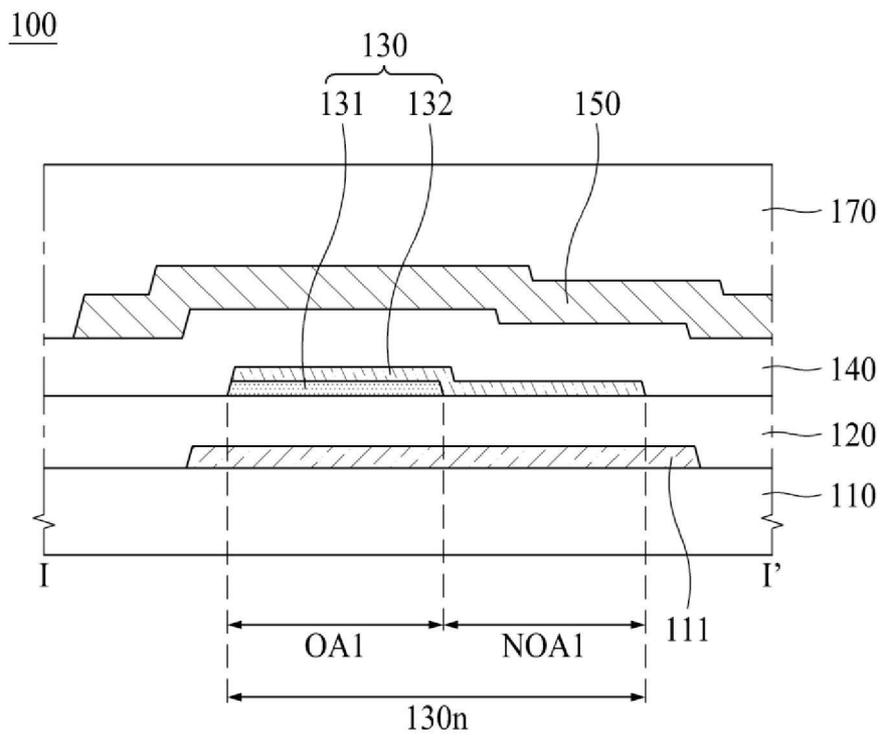
【請求項20】如請求項1所述之薄膜電晶體，其中，該第二主動層包含以下氧化物半導體材料中的至少一種：氧化銦鎵鋅（IGZO，InGaZnO）基氧化物半導體材料、氧化銦鋅（IZO，InZnO）基氧化物半導體材料、氧化銦錫鋅（ITZO，InSnZnO）基氧化物半導體材料、氧化銦鎵鋅錫（IGZTO，InGaZnSnO）基氧化物半導體材料、氧化鐵銦鋅（FIZO，FeInZnO）基氧化物半導體材料、氧化鋅（ZnO）基氧化物半導體材料、氧化矽銦鋅（SIZO，SiInZnO）基氧化物半導體材料、以及氮氧化鋅（ZnON，Zn-Oxynitride）基氧化物半導體材料，並且，當該第二主動層的該氧化物半導體材料包含鎵（Ga）和銦（In）時，銦（In）基於莫耳數的濃度高於鎵（Ga）基於莫耳數的濃度 [鎵濃度 < 銦濃度]。

【請求項21】一種顯示裝置，其包括如請求項1至20中任一項所述之薄膜電晶體。

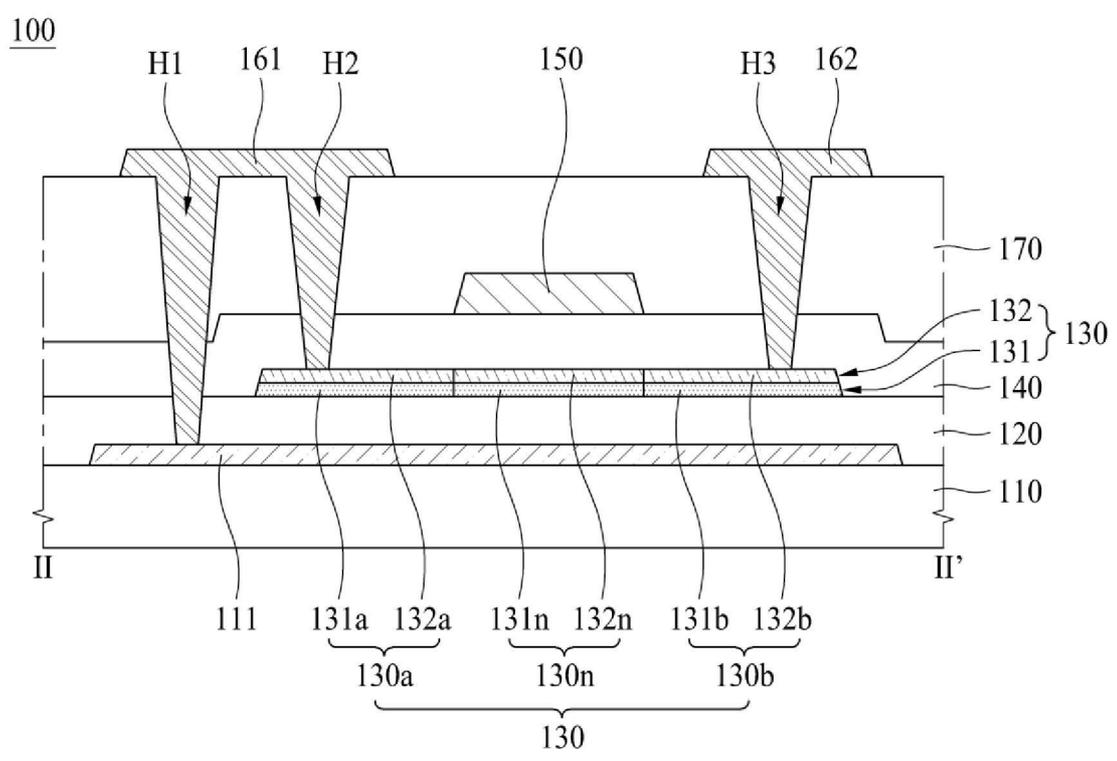
【發明圖式】



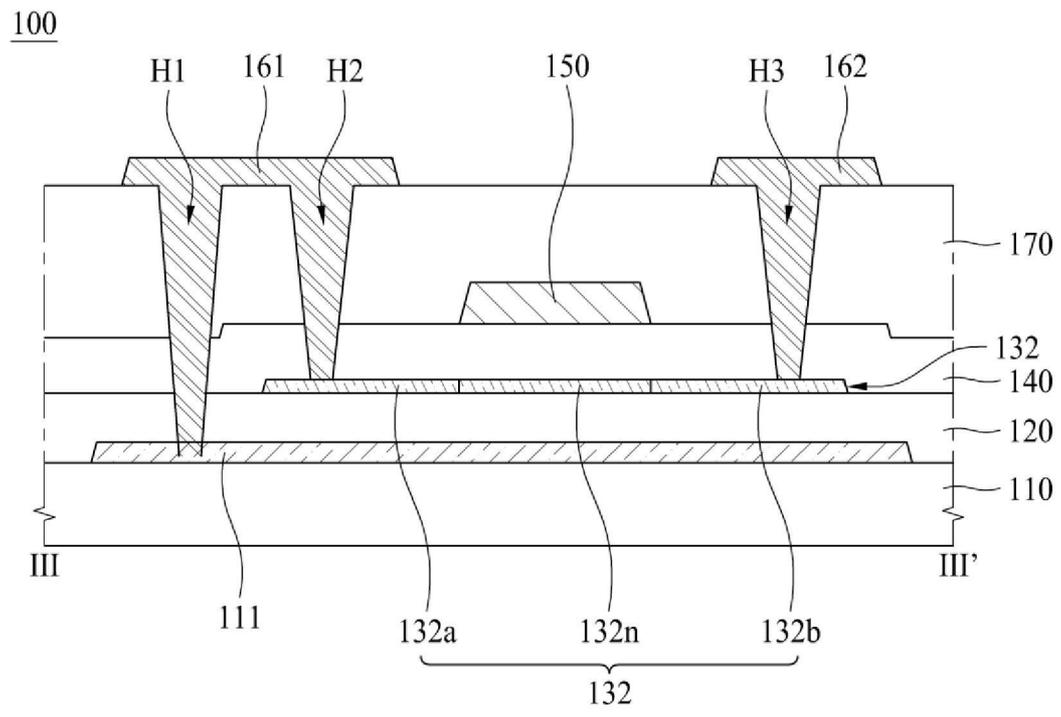
【圖 1A】



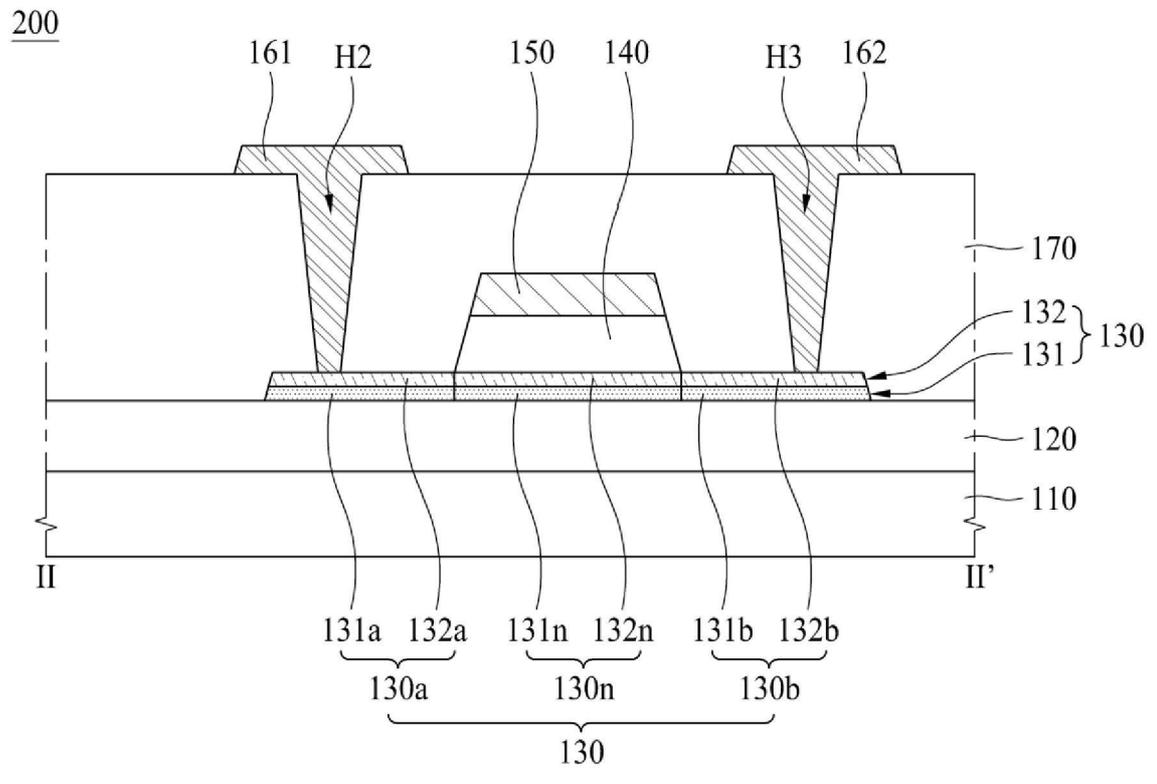
【圖1B】



【圖1C】

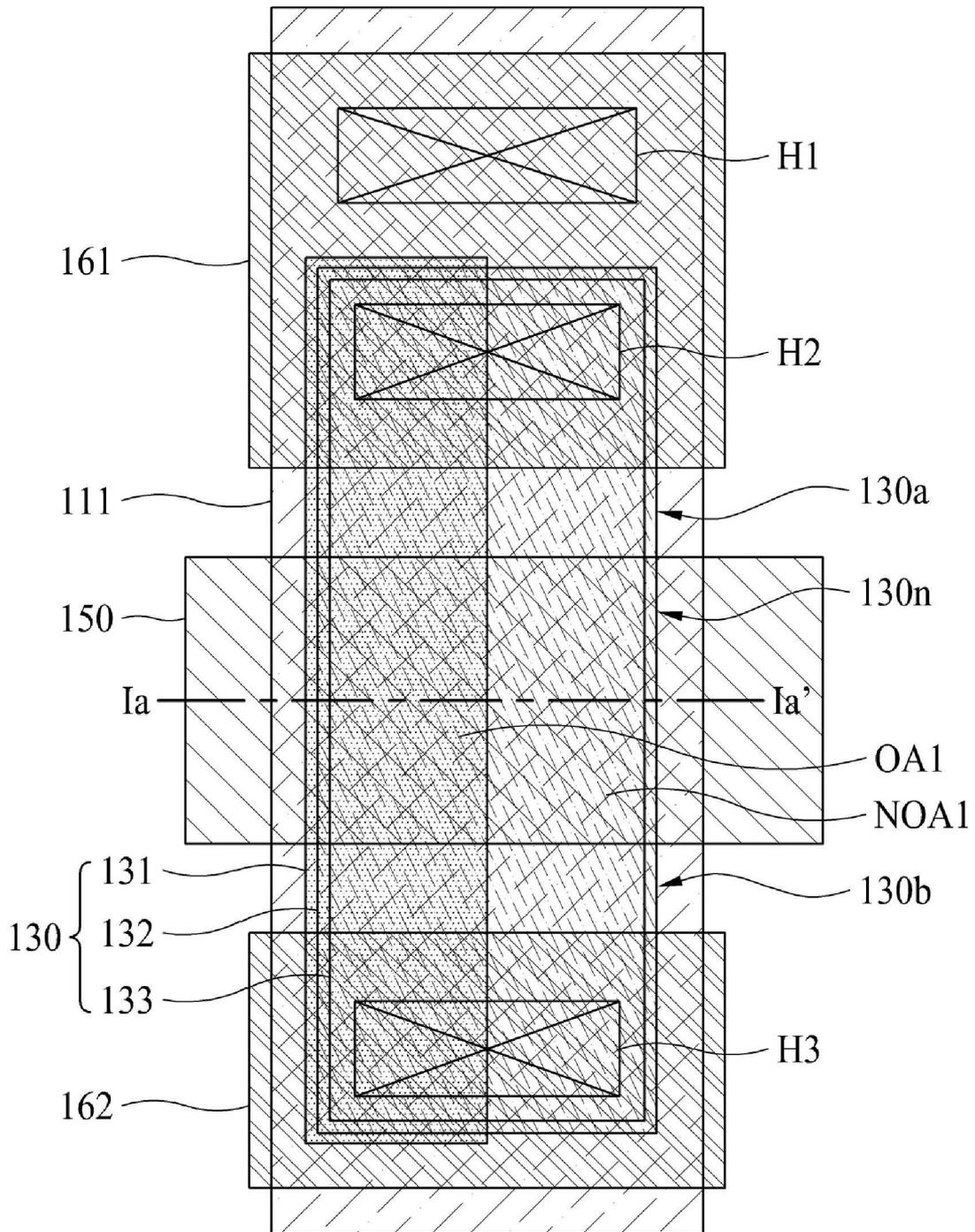


【圖 1D】



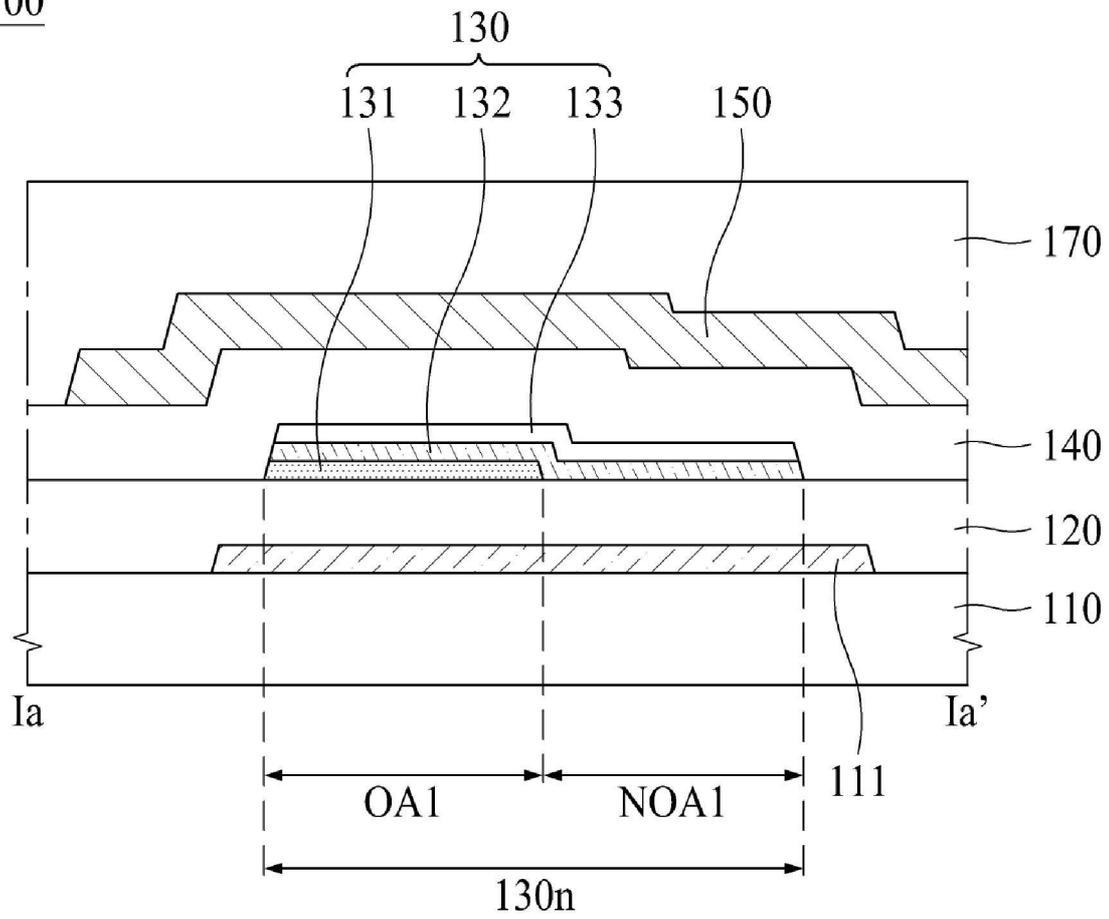
【圖 2】

300



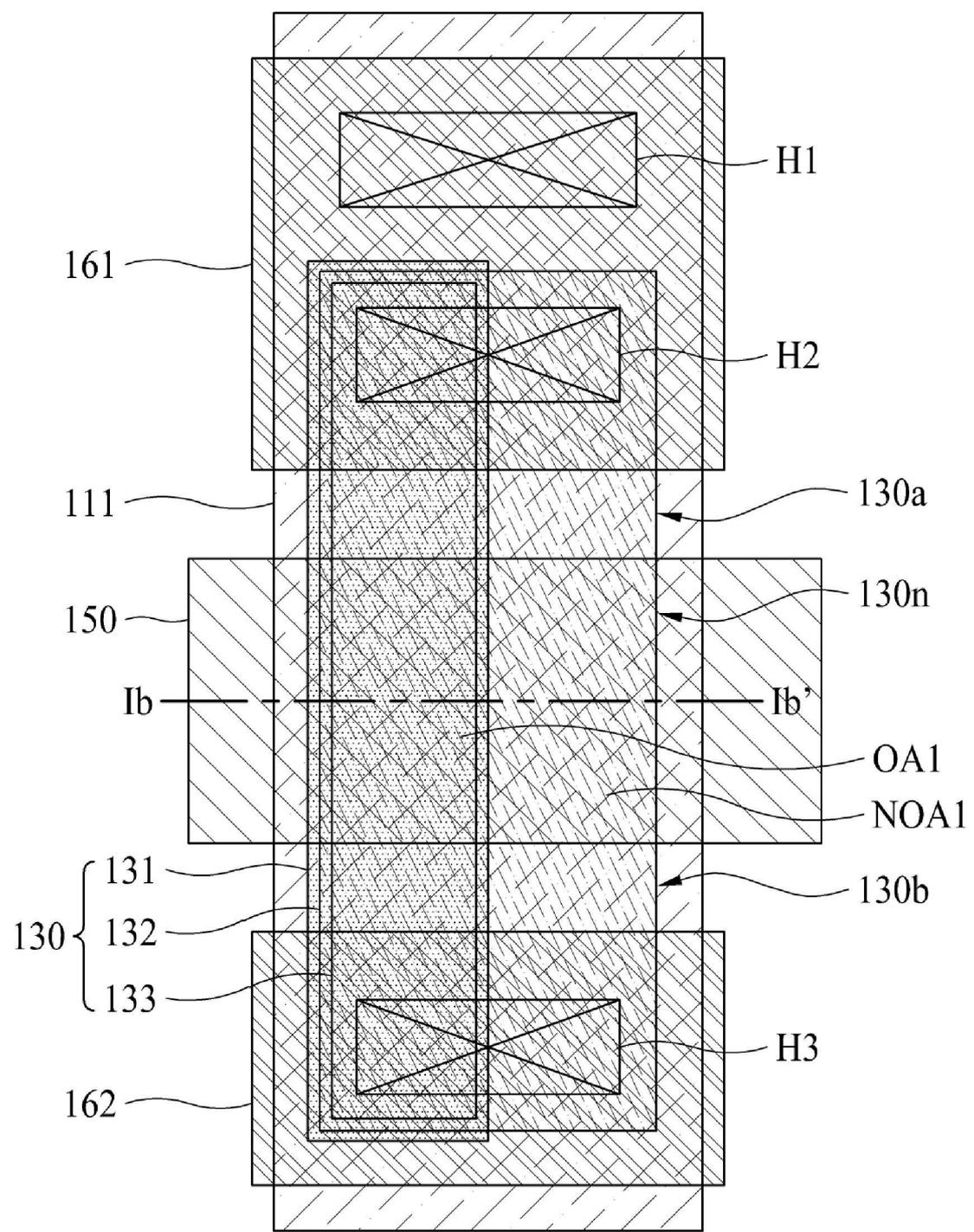
【圖3A】

300

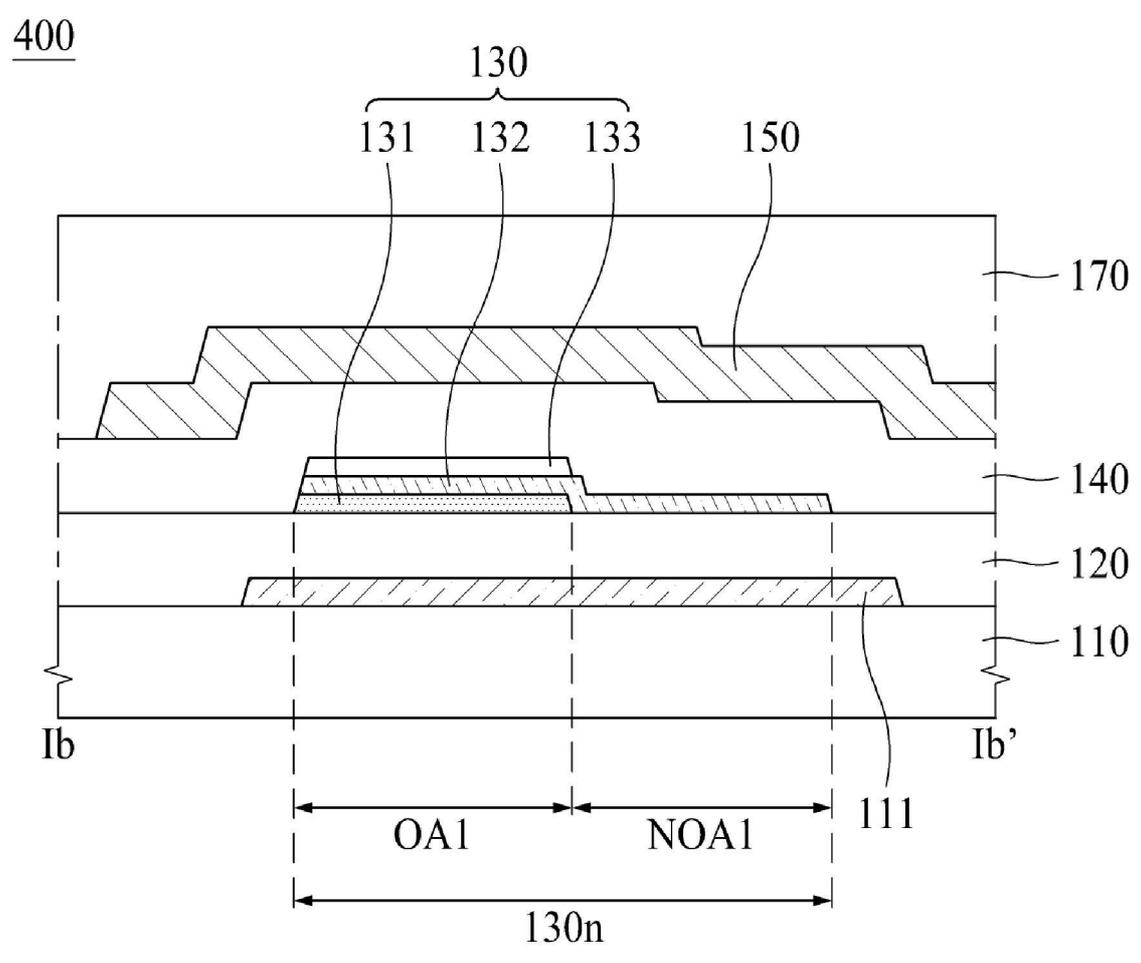


【圖 3B】

400

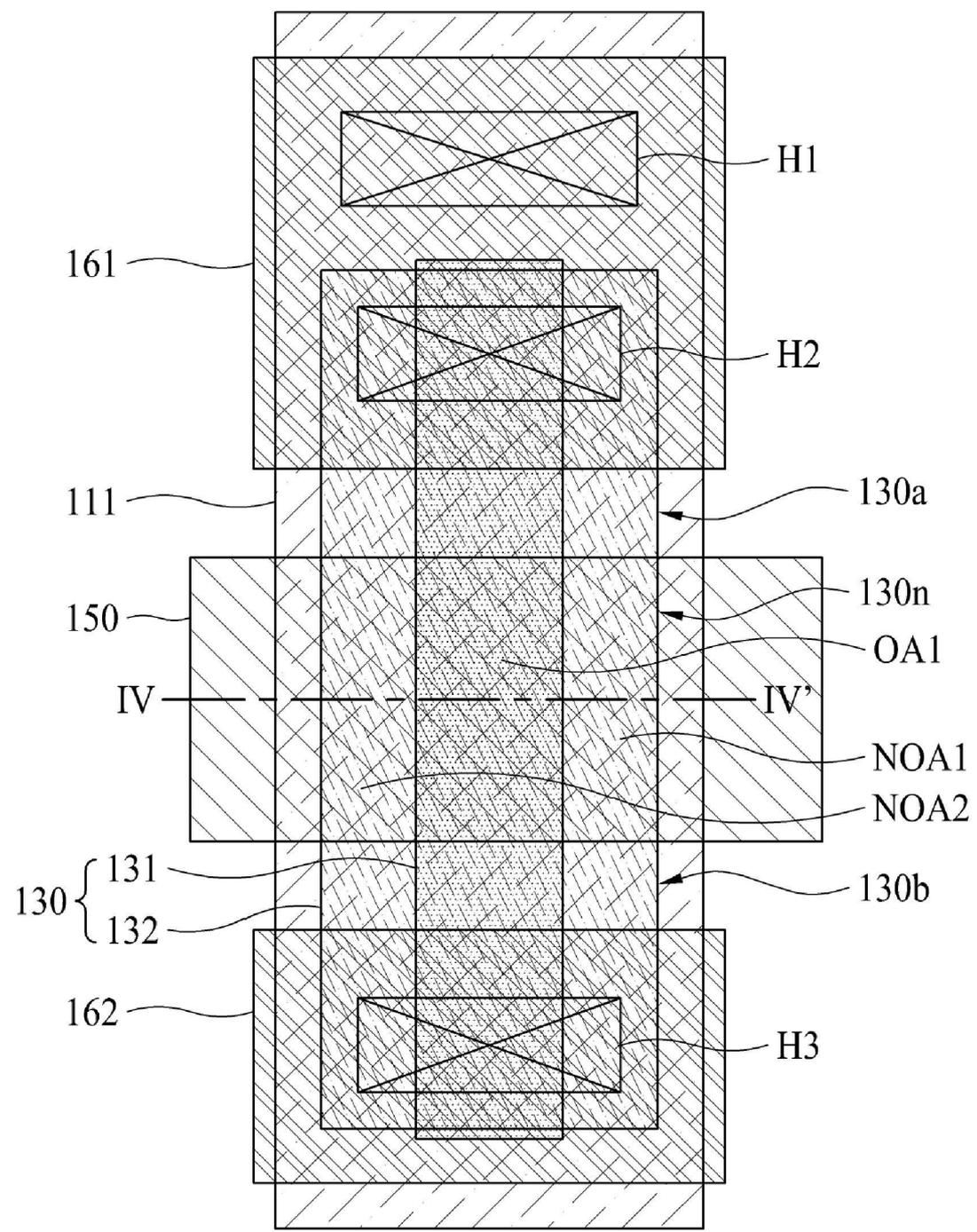


【圖4A】

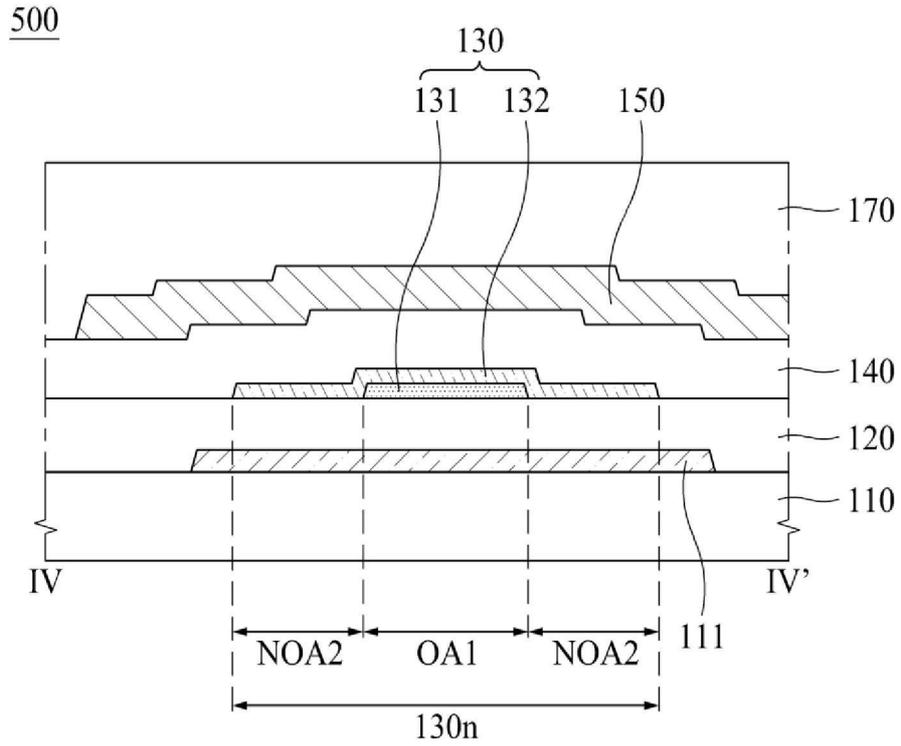


【圖4B】

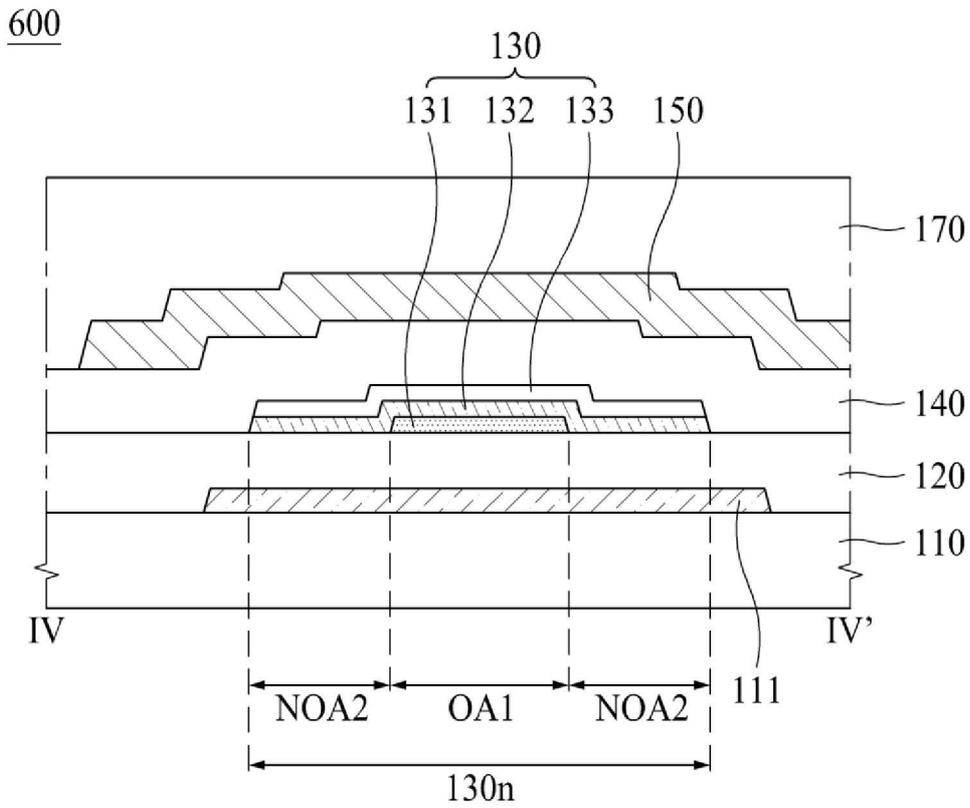
500



【圖5A】

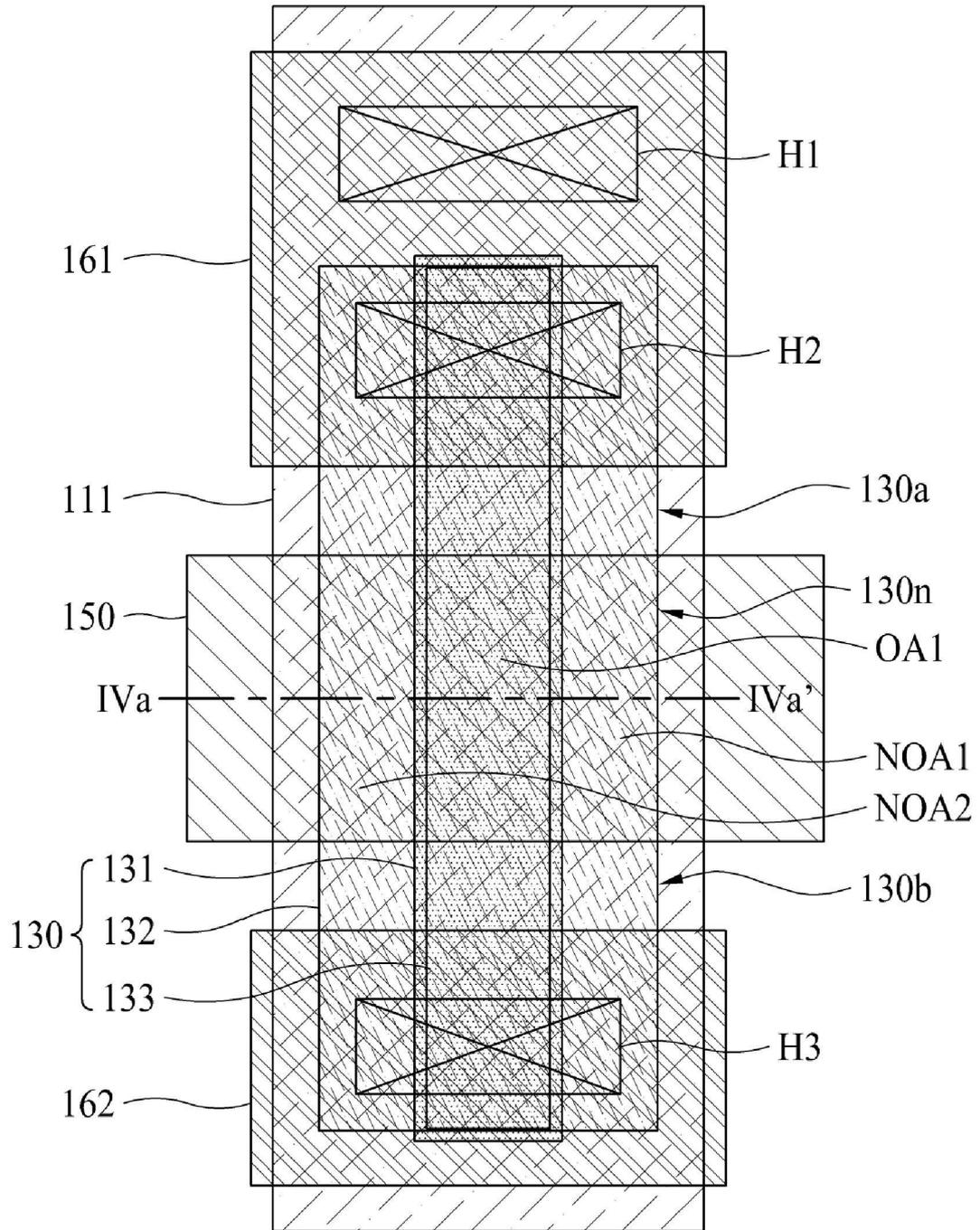


【圖5B】

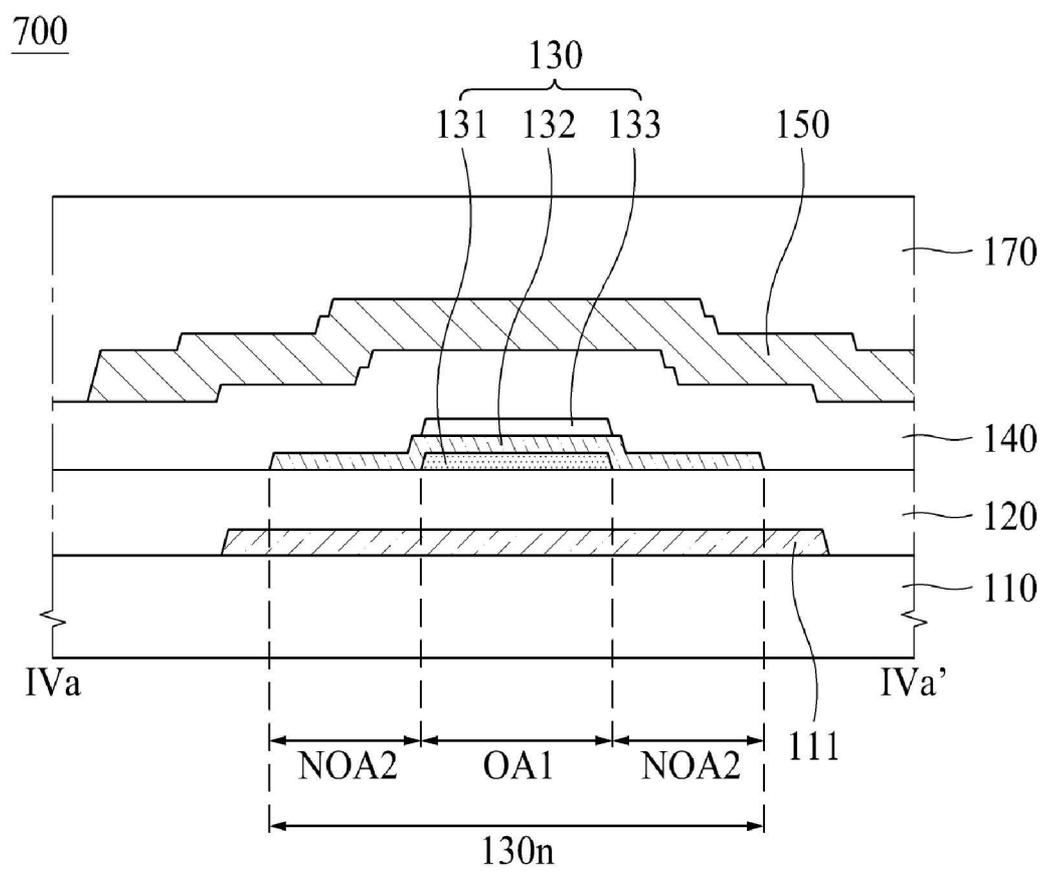


【圖6】

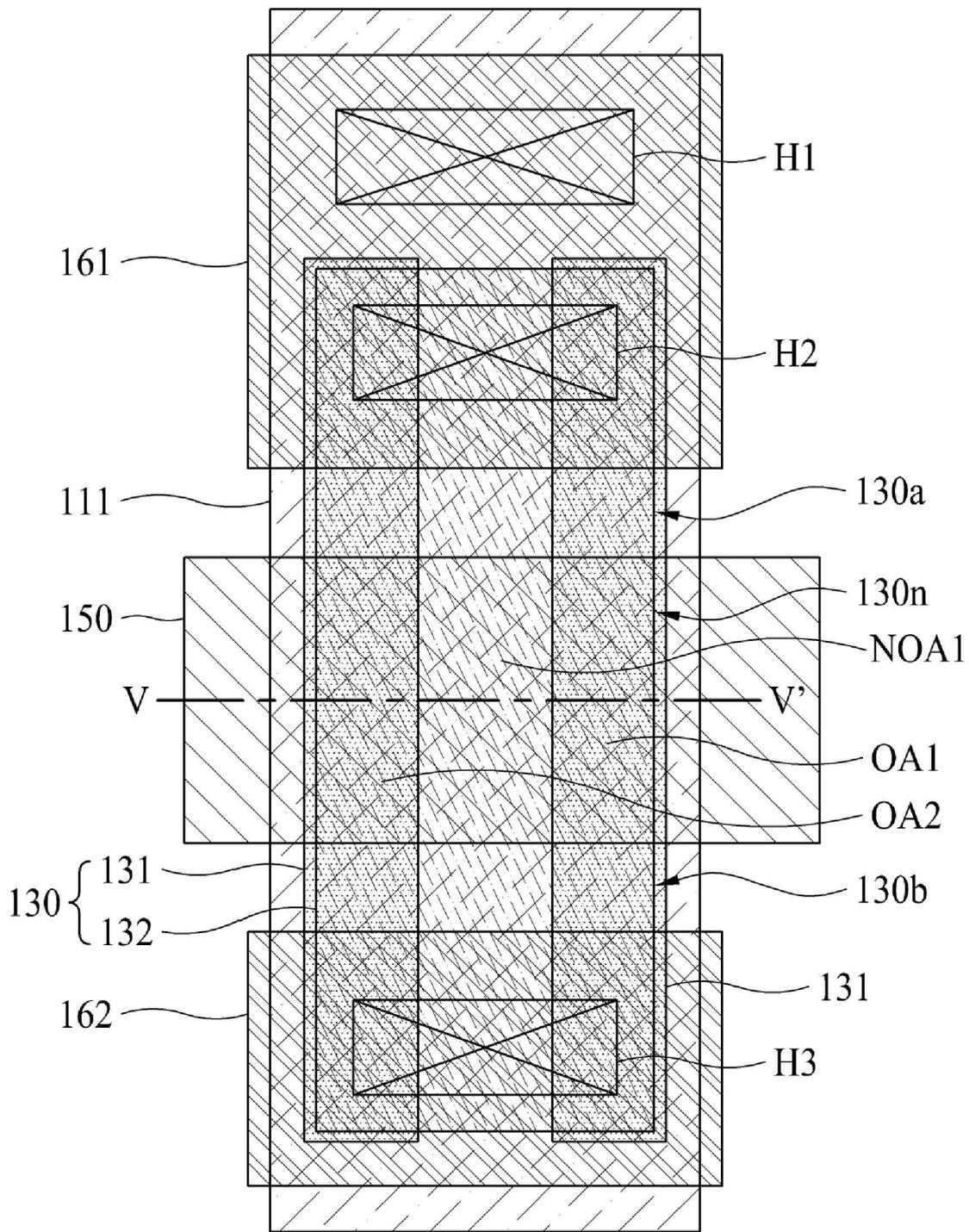
700



【圖7A】

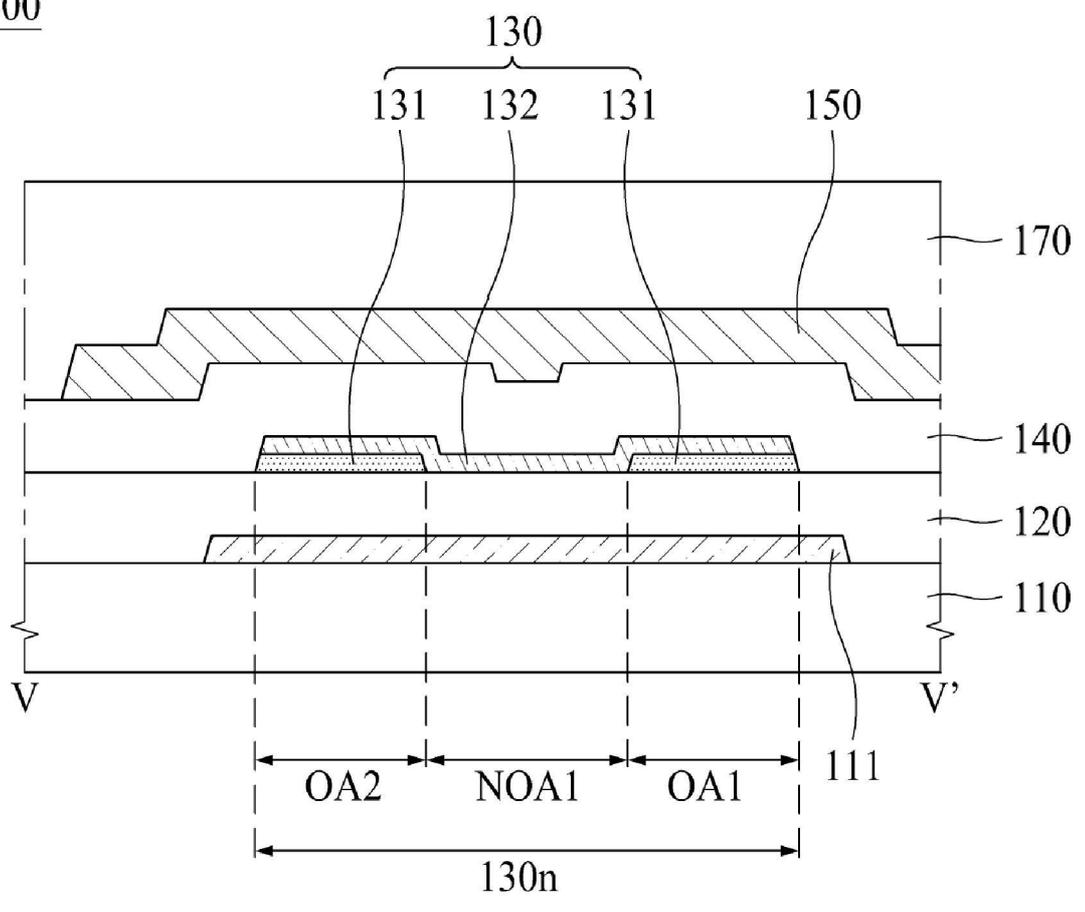


【圖 7B】



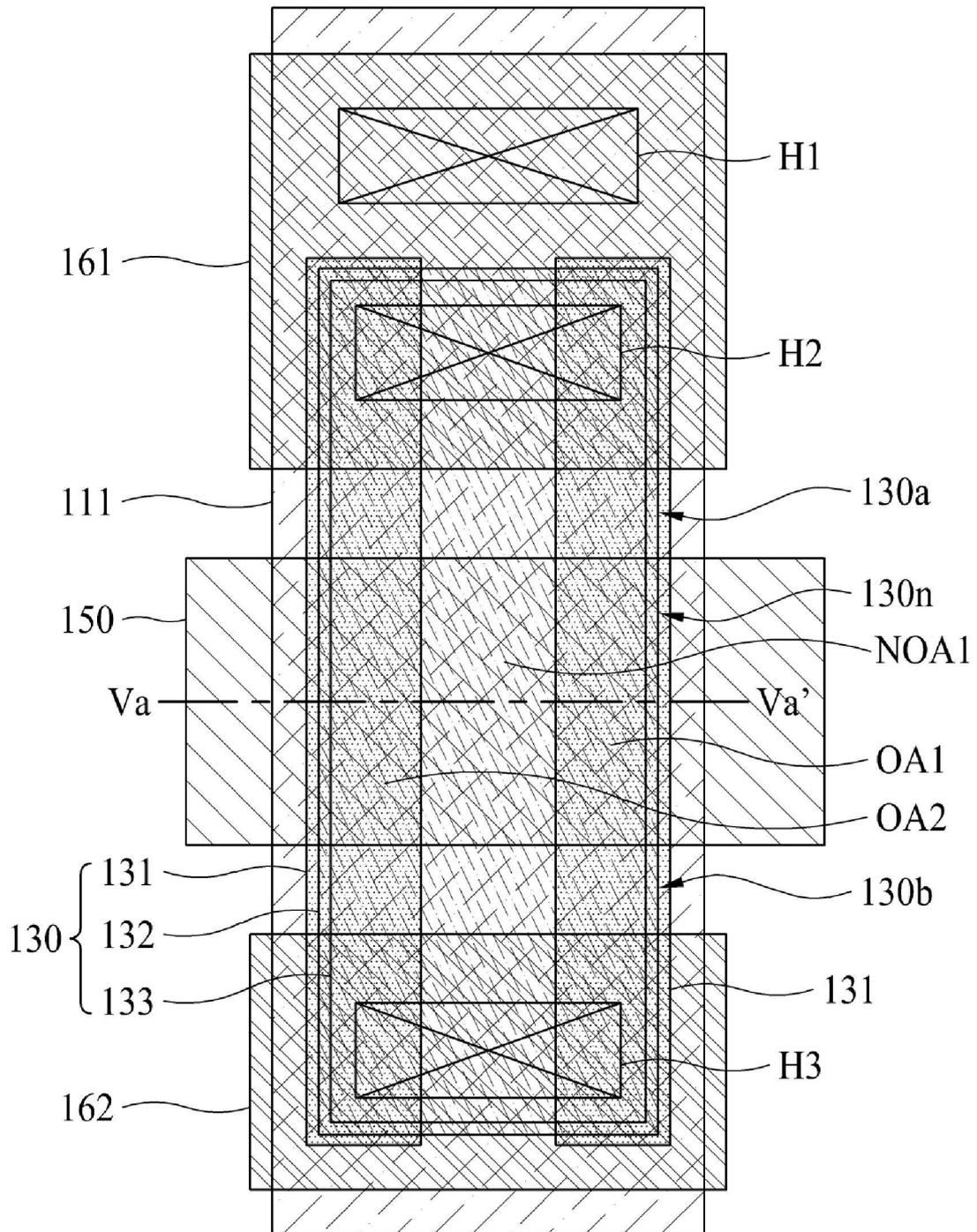
【圖8A】

800

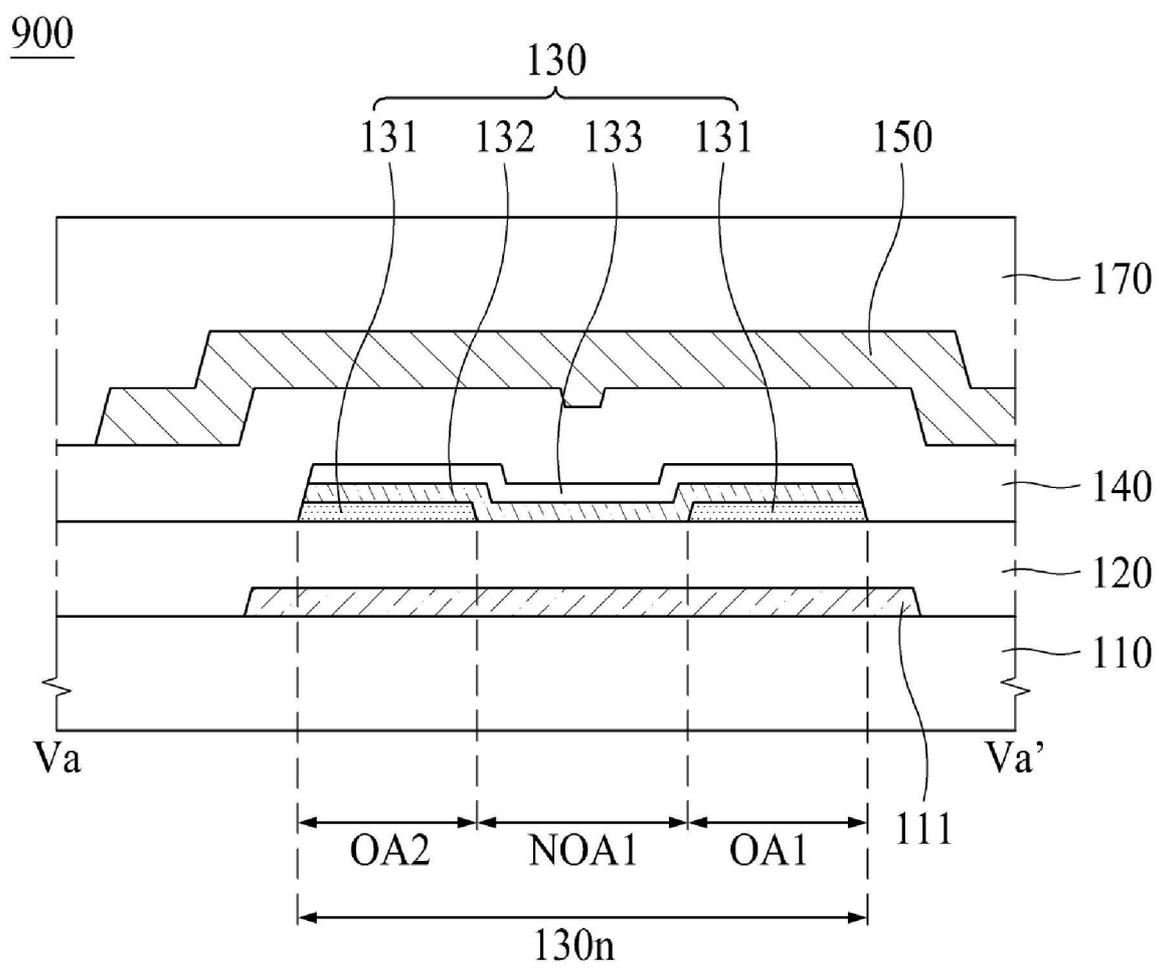


【圖8B】

900

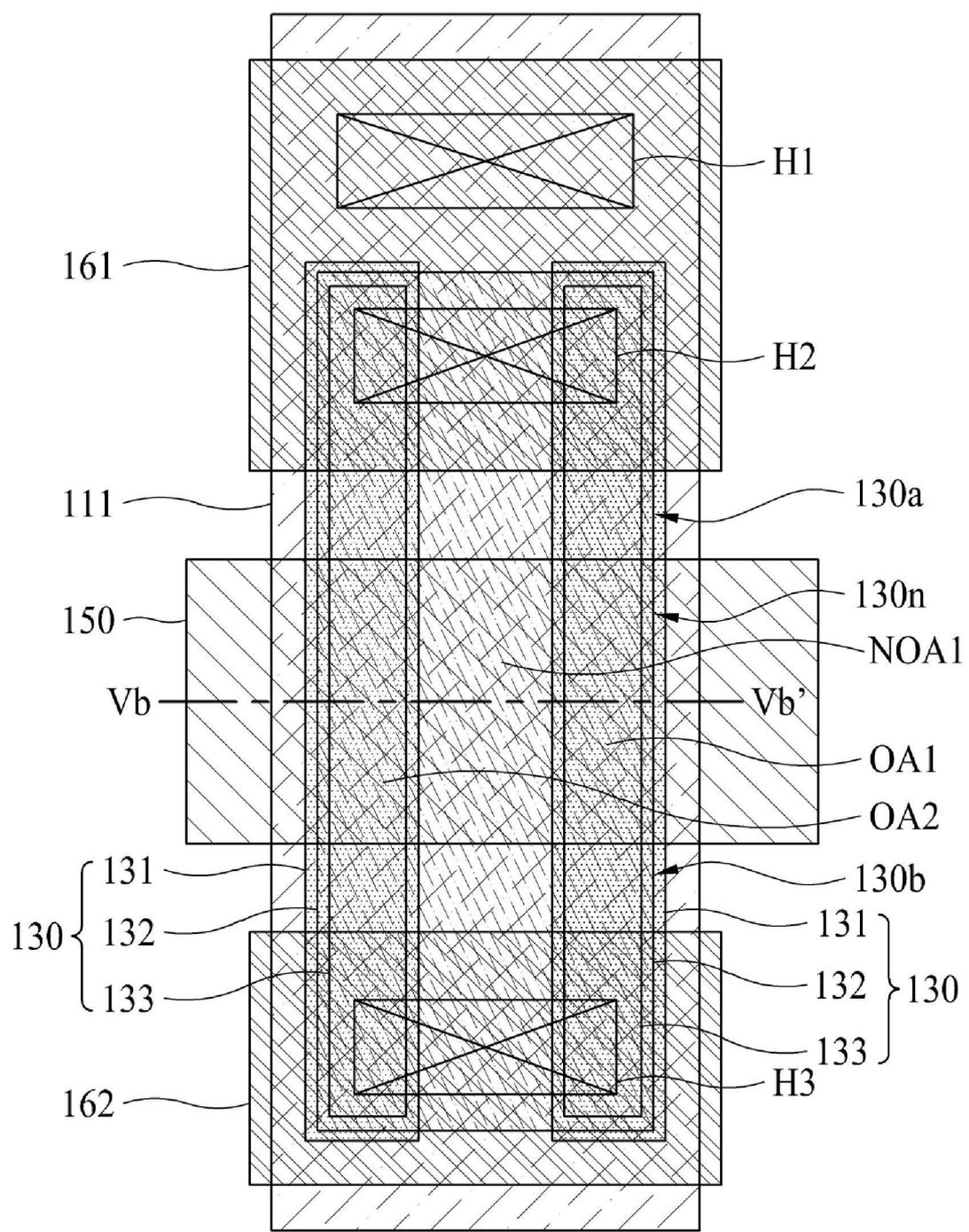


【圖9A】

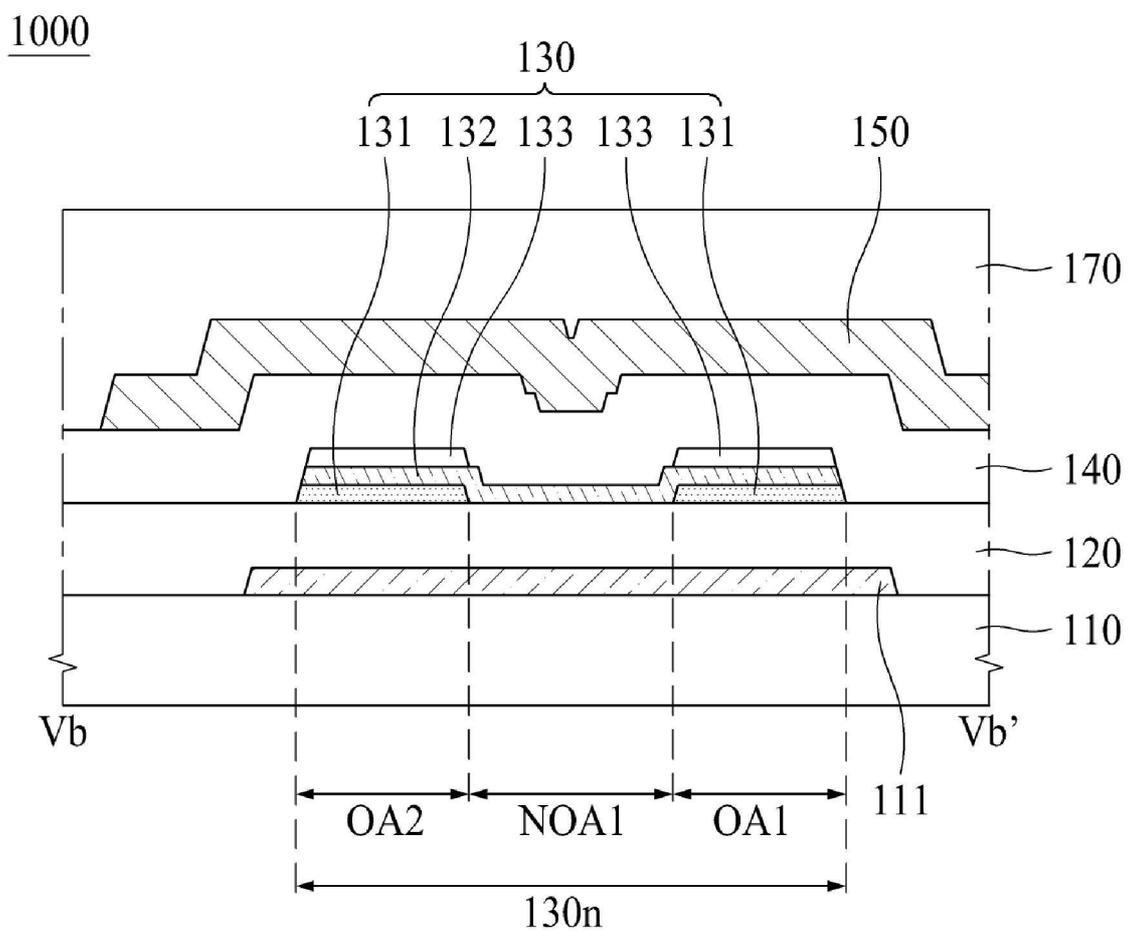


【圖9B】

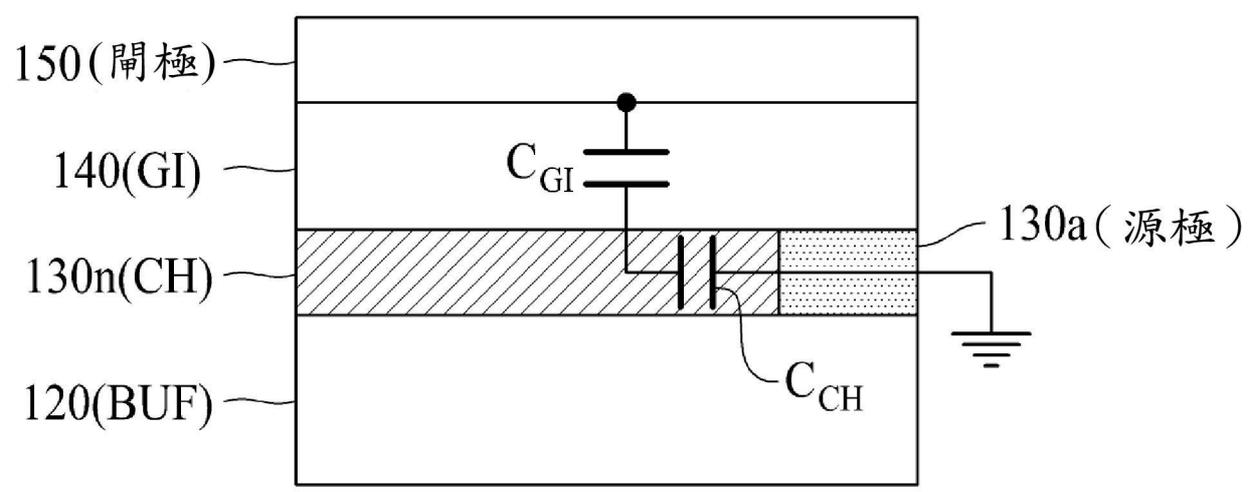
1000



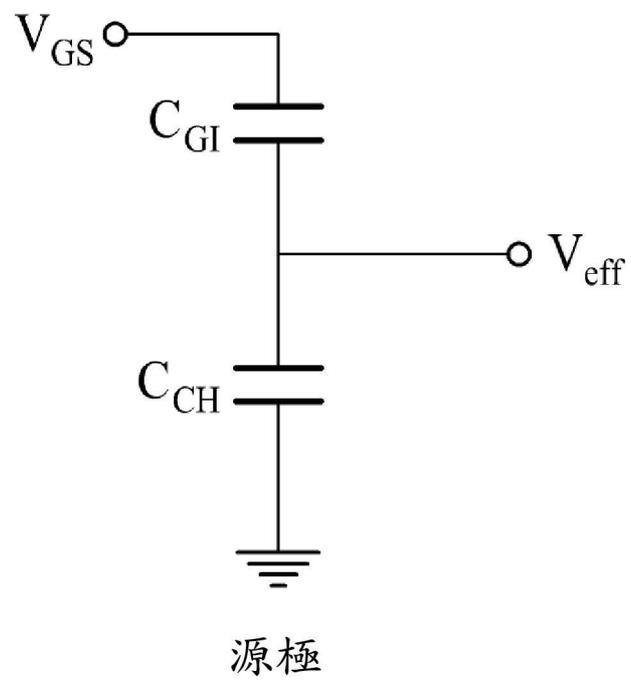
【圖 10A】



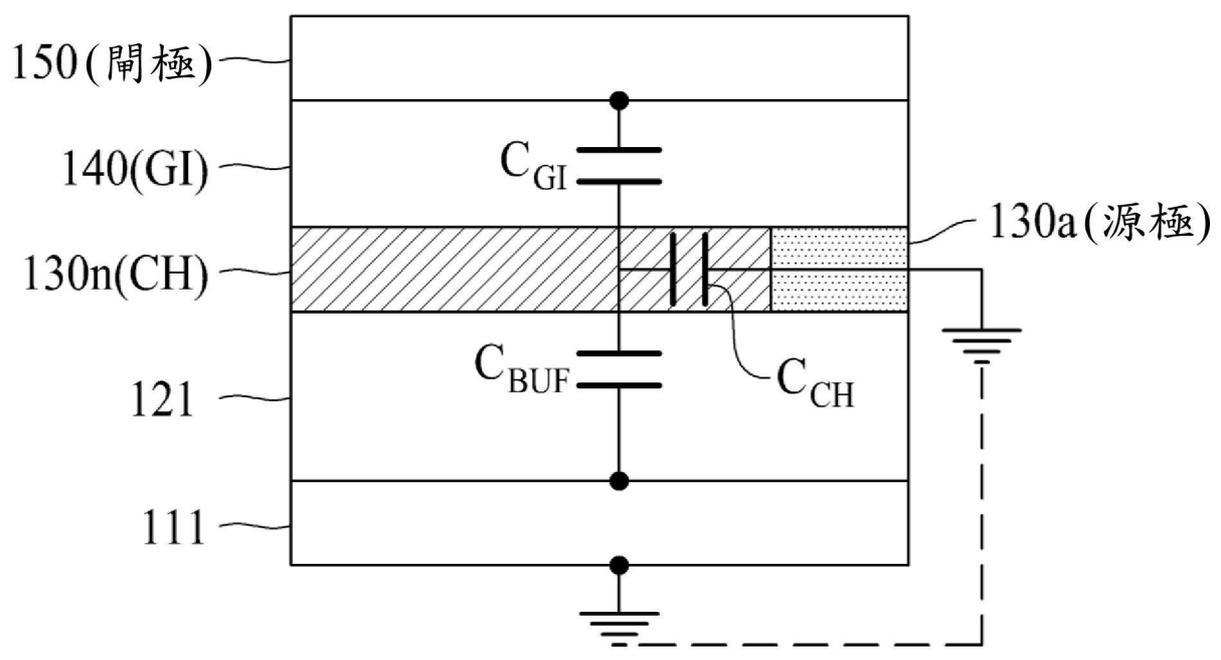
【圖 10B】



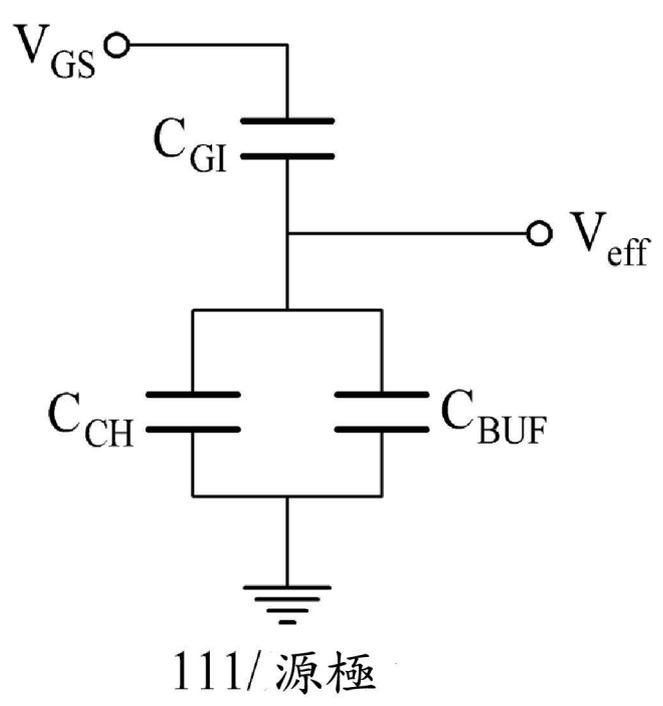
【圖 11A】



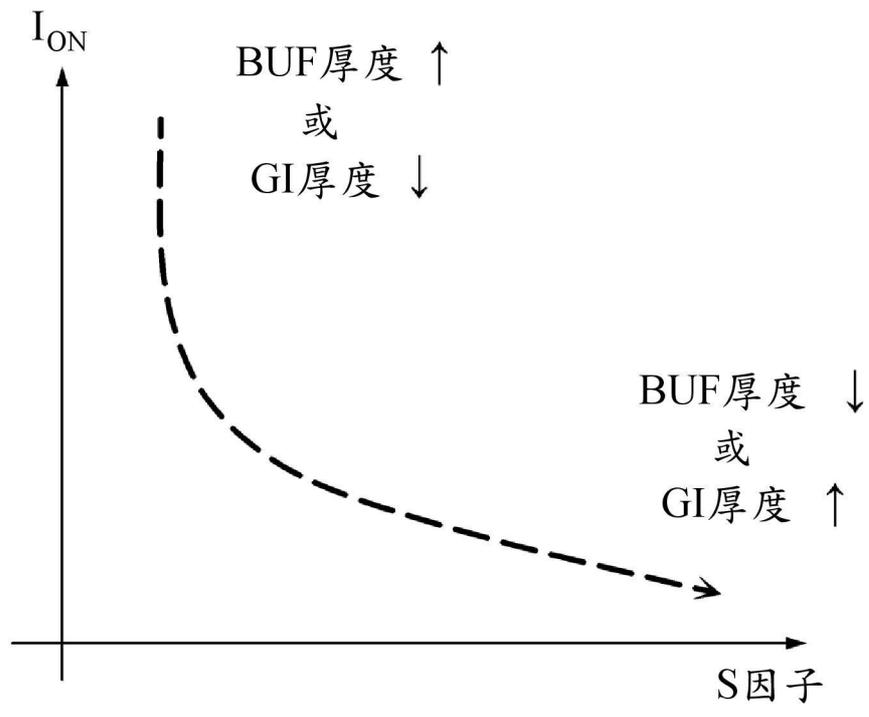
【圖 11B】



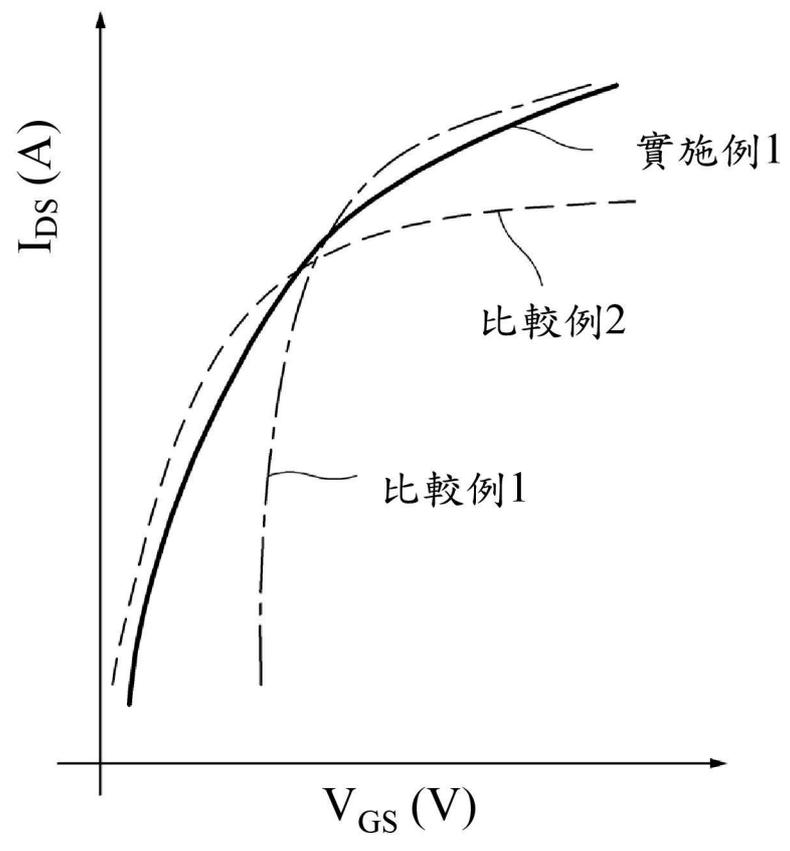
【圖 12A】



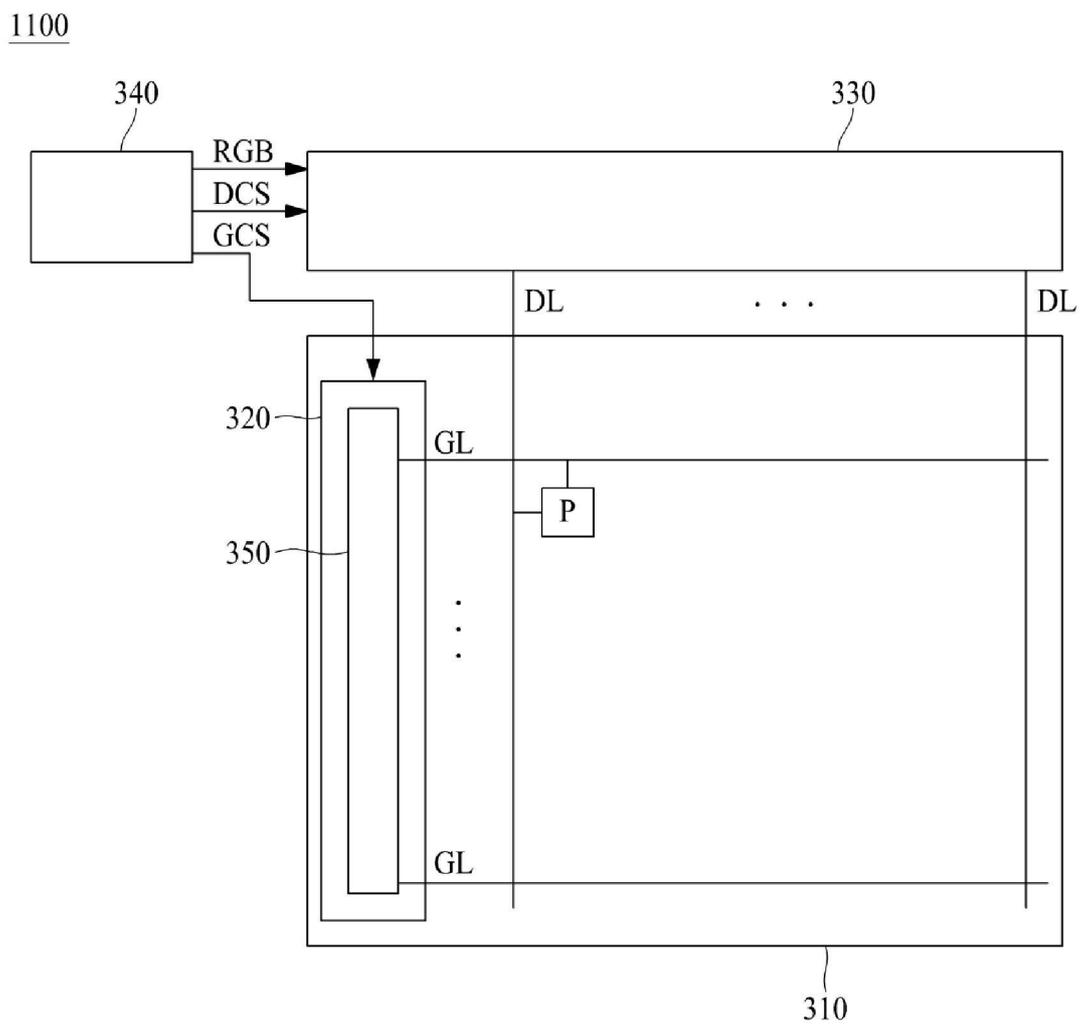
【圖 12B】



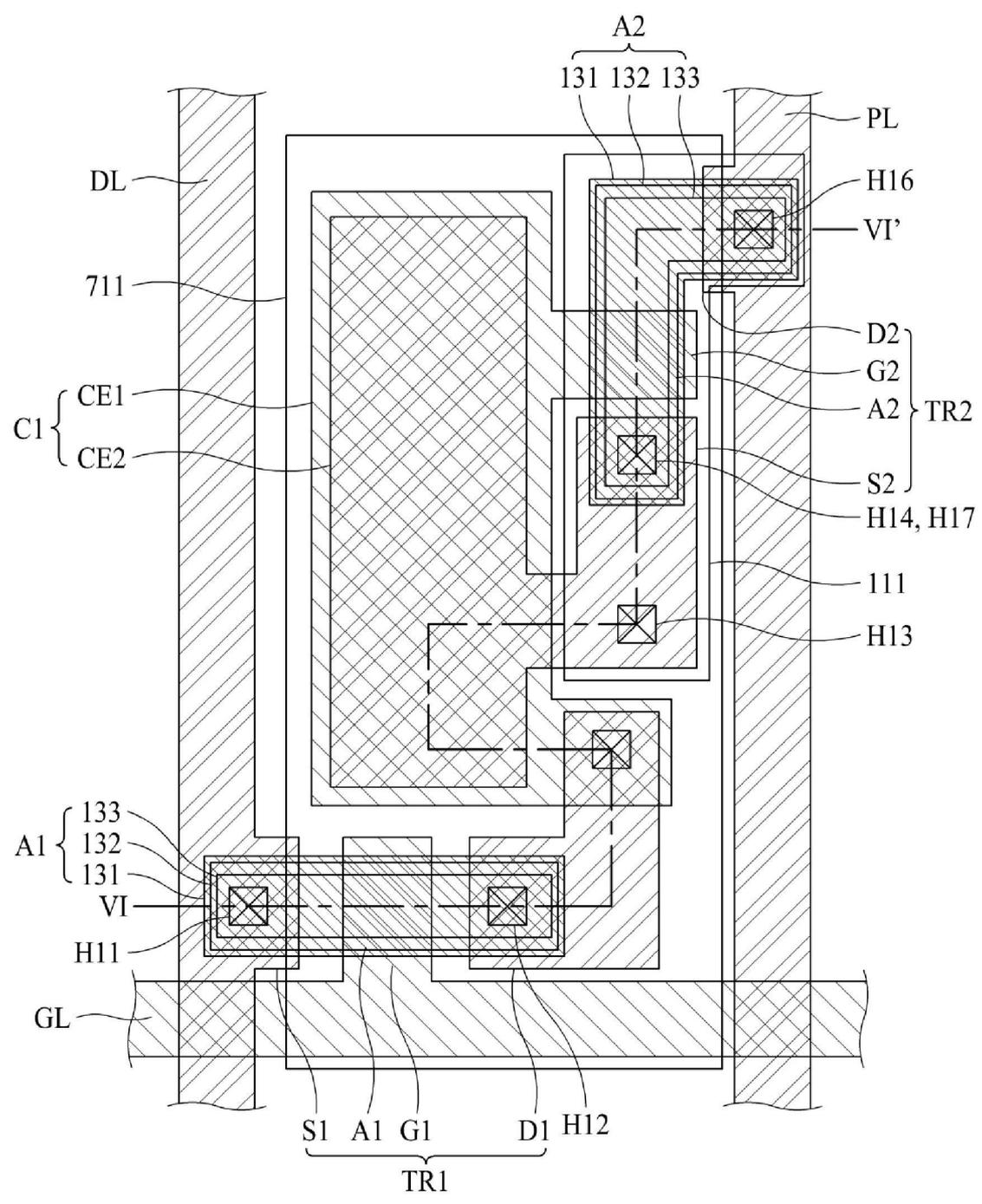
【圖13A】



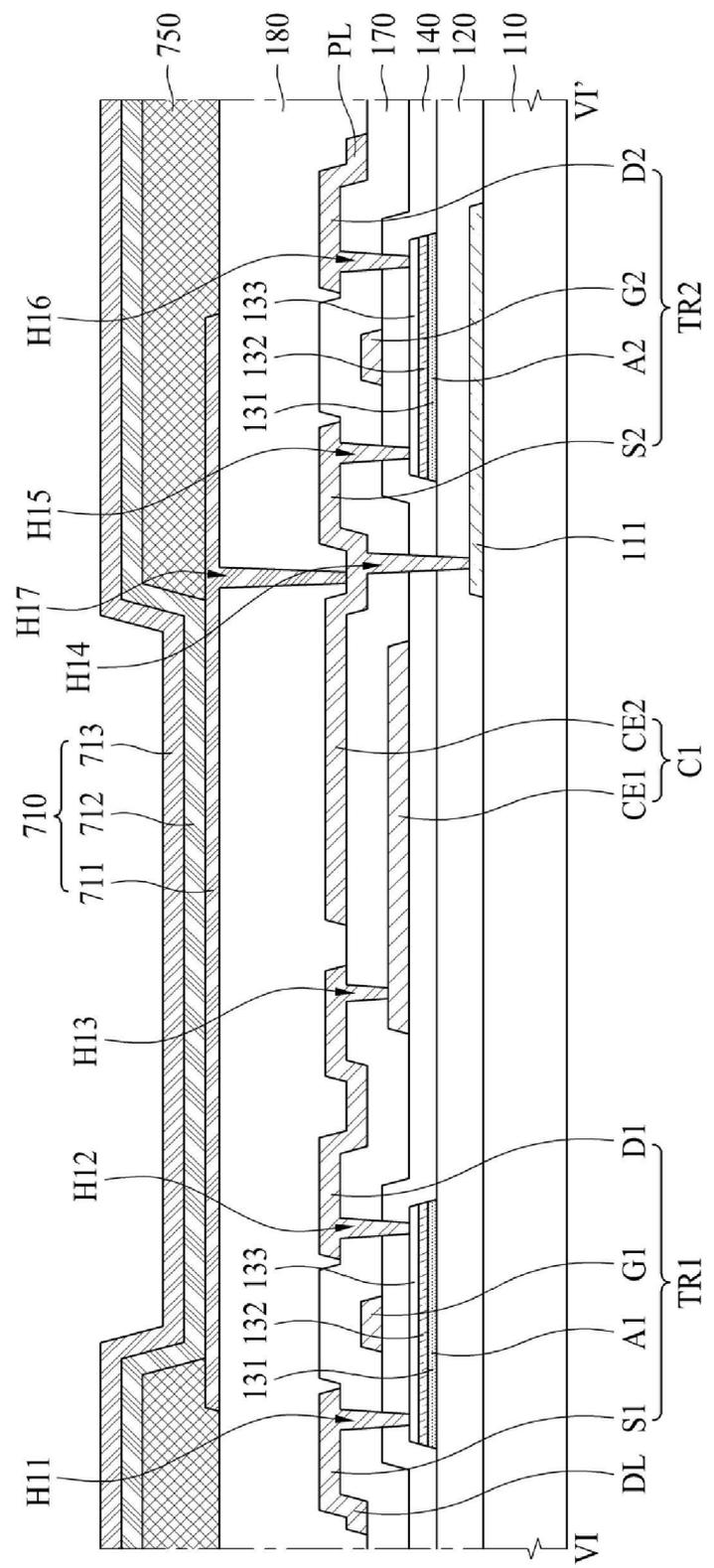
【圖13B】



【圖 14】

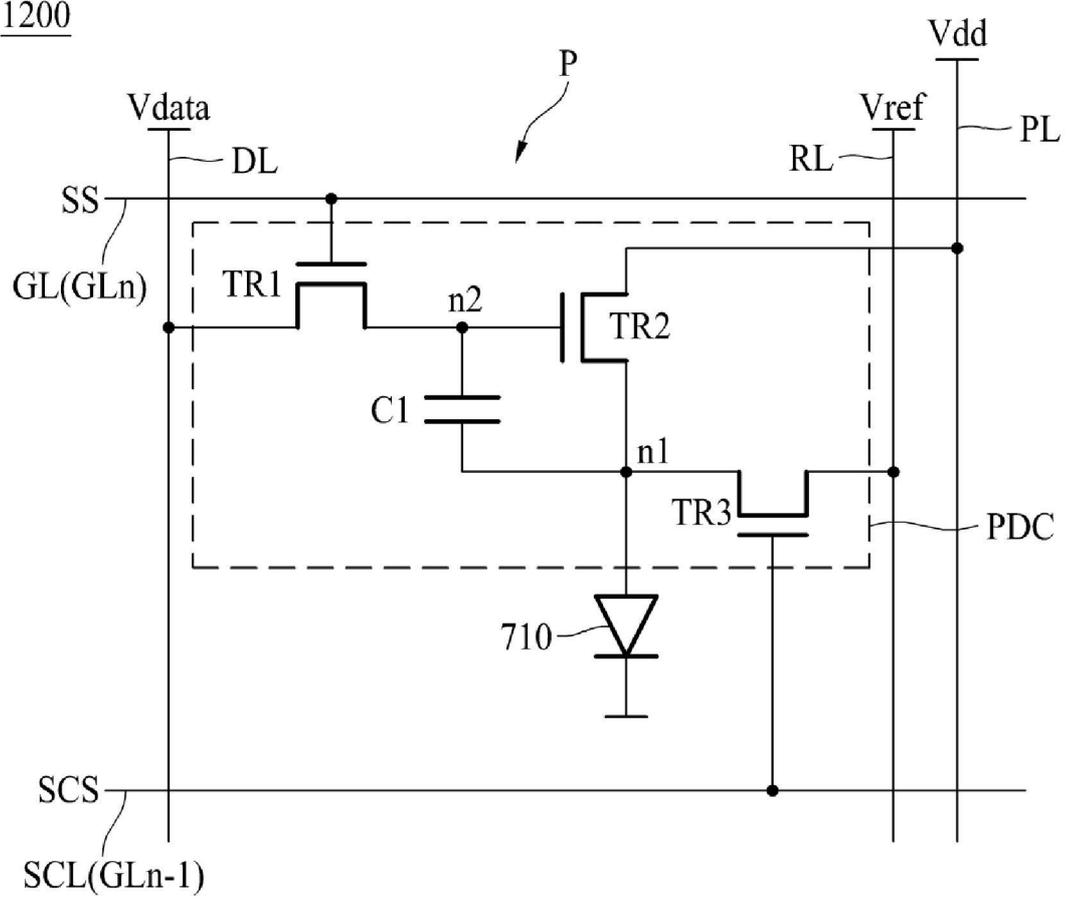


【圖 16】

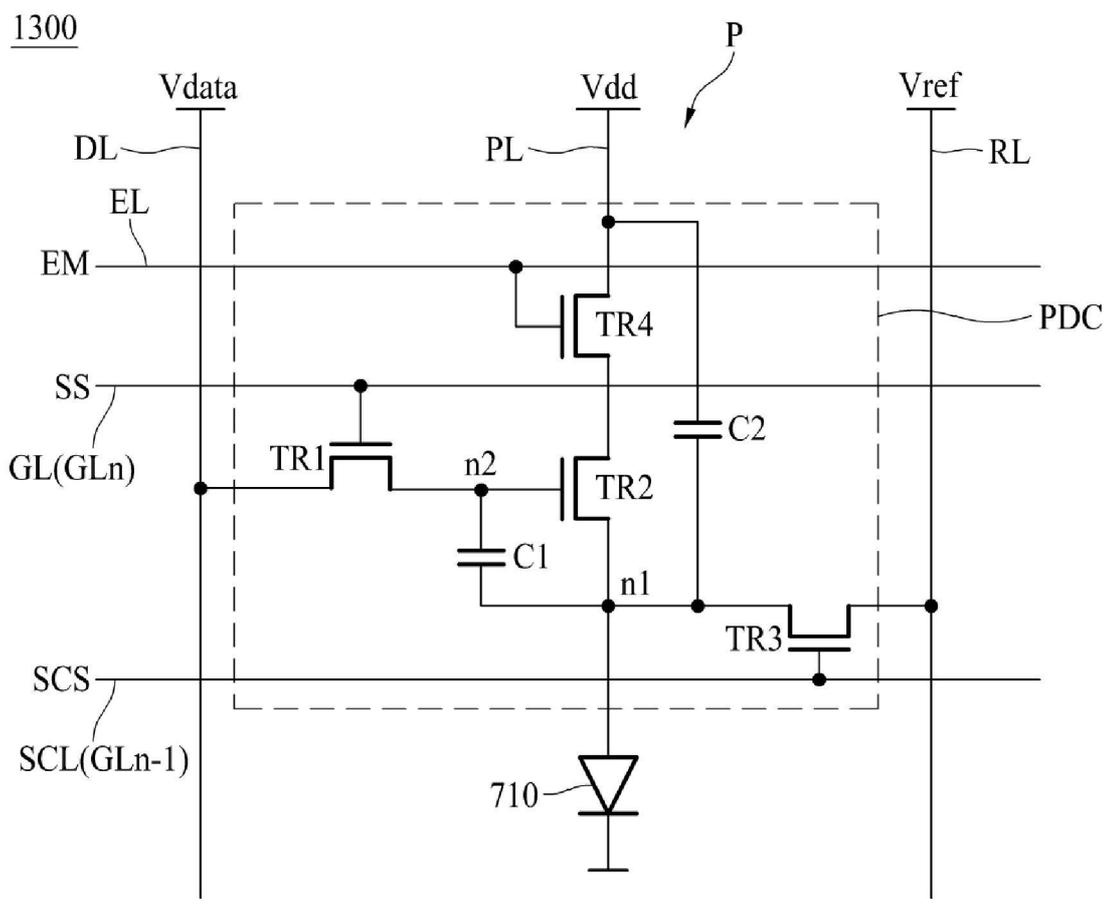


【圖 17】

1200



【圖 18】



【圖 19】