

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 7/01 (2006.01)

H04N 3/15 (2006.01)



## [12] 发明专利说明书

专利号 ZL 200510087765.4

[45] 授权公告日 2009 年 5 月 27 日

[11] 授权公告号 CN 100493175C

[22] 申请日 2005.8.8

审查员 李熙

[21] 申请号 200510087765.4

[73] 专利权人 北京中星微电子有限公司

地址 100083 北京市海淀区学院路 35 号  
世宁大厦 15 层

[72] 发明人 刘健 居晓波 杨柱 高晓宇  
赵晓海

[56] 参考文献

US2004/0207644A1 2004.10.21

US5739867A 1998.4.14

US5598188A 1997.1.28

CN1136877A 1996.11.27

CN1158056A 1997.8.27

基于 PCI 的视频信号发生器的实现方法。  
王信. 电子科技, 第 3 期. 2005

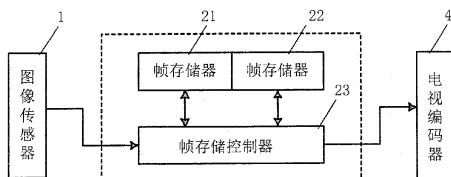
权利要求书 3 页 说明书 12 页 附图 4 页

[54] 发明名称

实现视频逐行到隔行转换的装置和转换方法

[57] 摘要

本发明公开了一种实现视频逐行到隔行转换的装置，用于在图像传感器和电视编码器之间进行视频格式转换。包括：第一帧存储器，第二帧存储器，和帧存储控制器，其中帧存储控制器接收来自图像传感器的图像帧，并将图像数据以帧的形式写入第一帧存储器和第二帧存储器，以场的形式读出传送给电视解码器。本发明还公开了一种实现视频逐行到隔行转换的转换方法。本发明通过对读取数据的控制，使得最终系统能够支持逐行变隔行的功能，在传感器图像输出帧率变化的情况下也能做到不跳帧，保证图像的连续性。



1、一种实现视频逐行到隔行转换的装置，用于在图像传感器和电视编码器之间进行视频格式转换，其特征在于，包括：

第一帧存储器，

第二帧存储器，和

帧存储控制器，其中

帧存储控制器接收来自图像传感器的图像帧，并将图像数据以帧的形式写入第一帧存储器和第二帧存储器，以场的形式读出传送给电视编码器，

其中，帧存储控制器控制第一帧存储器和第二帧存储器以乒乓形式工作，轮流接收来自图像传感器的图像帧，在写第一帧存储器的时候读第二帧存储器，写第二帧存储器的时候读第一帧存储器，当需要对同一个帧存储器同时进行读和写操作的时候，把需要写入的数据按照读出数据的顺序写入，并通过帧存储控制器控制数据写入的顺序以避免上一帧数据被覆盖，同时当前写入的帧在读出时也要控制读出的顺序来保证读出正确的数据。

2、根据权利要求 1 所述的装置，其特征在于，所述装置还包括一个图像大小转换模块，用于对所述帧存储控制器传出的图像数据进行大小转换，并将转换后的数据传给电视编码器进行编码输出。

3、根据权利要求 1 所述的装置，其特征在于，所述装置中所述图像传感器是 CCD 或 CMOS 图像传感器。

4、根据权利要求 1 所述的装置，其特征在于，所述装置中的图像帧的写入速度支持  $n$  帧/秒，读出速度支持  $m$  帧/秒，其中  $2n \leq m$ 。

5、根据权利要求 2 所述的装置，其特征在于，所述图像大小转换模块利用双线性内插的方法改变图像帧图像尺寸。

6、根据权利要求 5 所述的装置，其特征在于，上述双线性内插的基本计算公式如下：

$$p = (1-x)*p(n) + x*p(n+1);$$

其中， $p$  代表需要计算的像素， $p(n)$  代表需要计算的像素的前一个像素， $p(n+1)$  代表需要计算的像素的后一个像素， $x$  代表需要计算的像素到  $p(n)$  的距离。

7、根据权利要求 6 所述的装置，其特征在于，在所述双线性内插的方法中，无须计算所有的插入像素，只计算与缩放后实际像素对应的插入像素。

8、一种实现视频逐行到隔行转换的转换方法，用于视频逐行到隔行转换的装置，所述装置用于在图像传感器和电视编码器之间进行视频格式转换，所述装置包括第一帧存储器、第二帧存储器和帧存储控制器，所述方法包括以下步骤：

写帧存储器步骤：

步骤一，当帧存储控制器接收到图像传感器一帧数据开始要写入时，首先检查两个帧存储器是否空，顺序是先检查第一帧存储器，再检查第二帧存储器；

步骤二，只要有一个帧存储器为空就将数据写入空的帧存储器；

和，读帧存储器步骤：

步骤一，当需要从帧存储器读出一帧数据时，首先检查上一帧读出的数据是出自第一帧存储器还是第二帧存储器；

步骤二，先检查另一个帧存储器数据是否已经写完，如果写完，则读出该另一个帧存储器的数据，如果没有，则重复读上一个帧存储器的数据；

其特征在于，

写帧存储器步骤中，处理步骤一时，如果两个帧存储器都不为空，则检查当前正在读哪个帧存储器，如果第一场已经读完，则写入正在读的那个帧存储

器，如果没有读完，则同时对该正在读的那个帧存储器进行读和写操作，通过帧存储控制器控制数据写入的顺序以避免上一帧数据被覆盖，同时当前写入的帧在读出时也要控制读出的顺序来保证读出正确的数据，帧存储控制器将图像数据以帧的形式写入第一帧存储器和第二帧存储器，以场的形式读出。

9、根据权利要求 8 所述的方法，其特征在于，在上述对帧存储器同时进行读和写操作时，把需要写入的数据按照读出数据的顺序写入。

## 实现视频逐行到隔行转换的装置和转换方法

### 技术领域

本发明涉及视频处理技术，尤其涉及一种实现视频逐行到隔行转换的装置和转换方法。

### 背景技术

传统的模拟电视信号采用的都是一种名为 Interlace Scan（隔行扫描）的方法来重现由信号线所传递的画面信息，因那时的技术限制，数据处理速度跟不上，且传统的 TV 信息传递介质无法满足传递大量数据包的要求，其先提取奇数行的数据形成图像轮廓，再用偶数行数据补充，以 NTSC 的 60Hz 为例，在电视上每秒基本上会通过 60 幅的画面，这 60 幅中的第一帧画面都是采用隔行扫描的方式得出的，隔行扫描意味着在显示端上，只能在同一场画面中显示奇数行的画面或者偶数行的画面，比如电视在还原 1 秒钟的 1/60 画面时，扫描的是 1, 3, 5, 7, 9 这样的奇数行，而到了还原第 2/60 画面的时候就转为扫描还原 2, 4, 6, 8, 10 的偶数行信息；逐行扫描的工作方式与隔行扫描完全不同，它的扫描次序便是每扫描还原第 1 行信息，接下来是第 2 行，第 3 行以次类推。

随着电子技术发展的日新月异，电视的发展也逐渐由模拟电视发展到了数字电视。传统的模拟电视系统的处理过程可以概括为从摄像管采样，编码，传输，解码再到显像管显示。由于技术所限，这一过程从摄像，传输到显示都是以场为单位来处理的；而对于数字电视系统而言，由于 CCD 和 CMOS 图像传感器技术的发展，视频采样过程已经有了革命性的变化，基于 CCD, CMOS 图像传感器来获取的图像一般都是以帧为单位的，一帧等于两场，但

带来的问题就是目前大部分的电视都是隔行的，只能显示以场为单位的视频信号。

另外，由于 CCD, CMOS 图像传感器的输出图像的速率主要受传感器曝光时间的限制，在光照条件不同的情况下，输出图像帧率也不同。当光照条件较暗的情况下，为了达到较好的图像质量，需要增加曝光时间，从而导致输出帧率的降低。而对于电视显示而言，其显示图像的速率是固定的，例如常见的 PAL 制是 50 场/秒，NTSC 制是 60 场/秒，这样即使支持逐行到隔行的转换，也会由于帧率过慢而无法被电视接收。

最后，对于一般的 CCD, CMOS 图像传感器而言，其输出图像尺寸是固定的，而电视制式则有很多种，最常见的有 NTSC 制和 PAL 制。不同的电视制式其图像大小也不一样，要想既支持 NTSC 制，也支持 PAL 制，就需要能够在不影响显示质量的前提下能够支持图像尺寸大小的改变，使得既能输出 PAL 制电视信号，也能输出 NTSC 制电视信号。

### 发明内容

有鉴于此，本发明的主要目的在于提供一种实现视频逐行到隔行转换的装置，能将一帧图像数据转变为两场数据，从而支持将 CCD, CMOS 图像传感器获取的逐行图像显示在隔行电视上。

本发明的又一目的在于提供一种实现视频逐行到隔行转换的转换方法，支持将 CCD, CMOS 图像传感器获取的逐行图像显示在隔行电视上，并保证在传感器输出图像帧率变化的情况下显示图像的速率是固定的。

本发明的再一目的在于提供一种实现视频逐行到隔行转换的装置，使得在完成上述转换功能的同时，可以支持不同的电视制式。

为达到上述目的，本发明的技术方案具体是这样实现的：

一种实现视频逐行到隔行转换的装置，用于在图像传感器和电视编码器之间进行视频格式转换，其特征在于，包括：

第一帧存储器，  
第二帧存储器，和  
帧存储控制器，其中

帧存储控制器接收来自图像传感器的图像帧，并将图像数据以帧的形式写入第一帧存储器和第二帧存储器，以场的形式读出传送给电视解码器，

其中帧存储控制器控制第一帧存储器和第二帧存储器以乒乓形式工作，轮流接收来自图像传感器的图像帧，在写第一帧存储器的时候读第二帧存储器，写第二帧存储器的时候读第一帧存储器，当需要对同一个帧存储器同时进行读和写操作的时候，把需要写入的数据按照读出数据的顺序写入，并通过帧存储控制器控制数据写入的顺序以避免上一帧数据被覆盖，同时当前写入的帧在读出时也要控制读出的顺序来保证读出正确的数据。

进一步地，上述装置还包括一个图像大小转换模块，用于对所述帧存储控制器传出的图像数据进行大小转换，并将转换后的数据传给电视编码器进行编码输出。

进一步地，所述上述装置图像帧的写入速度支持 n 帧/秒，读出速度支持 m 帧/秒，其中  $2n \leq m$ 。

进一步地，所述图像大小转换模块利用双线性内插的方法改变图像帧图像尺寸。

上述双线性内插的基本计算公式如下：

$$p = (1-x)*p(n) + x*p(n+1);$$

其中，p 代表需要计算的像素，p(n) 代表需要计算的像素的前一个像素，p(n+1) 代表需要计算的像素的后一个像素，x 代表需要计算的像素到 p(n) 的距离。

在上述方法中，无须计算所有的插入像素，只计算与缩放后实际像素对应的插入像素。

进一步地，所述装置中所述图像传感器是 CCD 或 CMOS 图像传感器。

为达到上述目的，本发明还提供了一种实现视频逐行到隔行转换的转换方法，用于视频逐行到隔行转换的装置，所述装置用于在图像传感器和电视编码器之间进行视频格式转换，所述装置包括第一帧存储器、第二帧存储器和帧存储控制器，所述方法包括以下步骤：

写帧存储器步骤：

步骤一，当帧存储控制器接收到图像传感器一帧数据开始要写入时，首先检查两个帧存储器是否空，顺序是先检查第一帧存储器，再检查第二帧存储器；

步骤二，只要有一个帧存储器为空就将数据写入空的帧存储器；

和，读帧存储器步骤：

步骤一，当需要从帧存储器读出一帧数据时，首先检查上一帧读出的数据是出自第一帧存储器还是第二帧存储器；

步骤二，先检查另一个帧存储器数据是否已经写完，如果写完，则读出该帧存储器的数据，如果没有，则重复读上一个帧存储器的数据；

其特点在于，

写帧存储器步骤中，处理步骤一时，如果两个帧存储器都不为空，则检查当前正在读哪个帧存储器，如果第一遍已经读完，则可以写入正在读的那个帧存储器，如果没有读完，则同时对该帧存储器进行读和写操作，通过帧存储控制器控制数据写入的顺序以避免上一帧数据被覆盖，同时这一帧在读出时也要控制读出的顺序来保证读出正确的数据。

进一步地，上述方法还包括以下特点：

在上述对帧存储器同时进行读和写操作时，把需要写入的数据按照读出数据的顺序写入。

进一步地，上述方法中所述图像传感器可以是 CCD 或 CMOS。

由上述技术方案可见，本发明的通过对读取数据的控制，使得最终系统能够支持逐行变隔行的功能，在传感器图像输出帧率变化的情况下也能做到不跳帧，保证图像的连续性。

另外，通过对图像进行大小转换，还可以达到支持多种电视制式的效果，在插值计算的过程中，只计算少量的像素点，还可减少计算量。

### 附图说明

图 1 为本发明所述实现视频逐行到隔行转换的装置的结构简图；

图 2 为本发明所述实现视频逐行到隔行转换的装置的较佳实施例的结构简图；

图 3 为写帧存储器流程图；

图 4 为读帧存储器流程图；

图 5 为本发明所述双线性内插的基本计算方式示意图；

图 6 为本发明所述一维双线性内插示意图。

### 具体实施方式

为使本发明的目的、技术方案及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

如图 1 所示，为本发明所述实现视频逐行到隔行转换的装置的结构简图，帧存储控制器 23 接收来自图像传感器 1 的图像帧，并将图像数据以帧的形式写入第一帧存储器 21 和第二帧存储器 22，以场的形式读出传送给电视解码器 4。

帧存储控制器 23 控制第一帧存储器 21 和第二帧存储器 22 以乒乓形式工作，轮流接收来自图像传感器 1 的图像帧，在写第一帧存储器 21 的时候读第二帧存储器 22，写第二帧存储器 22 的时候读第一帧存储器 21。

如图 2 所示，为本发明所述实现视频逐行到隔行转换的装置的较佳实施

例的结构简图，本实施例中增加了一个图像大小转换模块3。

在两个帧存储器都为空的情况下，数据首先存储在第一帧存储器21中，第一帧数据存储结束后，第二帧数据将存储在另一个帧存储器即第二帧存储器22中。同时，第一帧数据可以读出，送到图像大小转换模块3，经过图像大小转换后送给电视编码器4进行编码输出。然后，电视编码器4读取第二帧存储器22中的第二帧数据，同时，下一帧图像被写入第一帧存储器21；这两个帧存储器用于轮流接收来自图像传感器的图像帧，并被依次读取。

每帧数据在写入的时候以帧为单位写入，在读出的时候以场为单位读出，每帧需要读两场。场与帧的关系是隔行与逐行的关系，也就是说，写入帧存储器以1, 2, 3, 4, ..., 479, 480(以行为单位)的顺序写入，而读出的时候按照1, 3, 5, 7, ..., 479(第一场), 2, 4, 6, 8, ..., 478, 480(第二场)的顺序读出。

从这里可以看出，由于每一帧需要输出两场，而由于图像大小转换模块3的需要，实际上是帧存储器需要输出两帧，也就是说，每帧写入后需要读出两遍来完成两场数据的输出。

首先，对于帧存储器而言，为了简化设计，通常分配给读和写的带宽是相等的，而由于读数据的帧率(30帧或25帧)一般都是图像传感器输出的最大帧率，也就是说读的速度不小于写的速度。

一般而言，图像传感器输出的最大帧率可达30帧/秒，但是如果环境的光照条件较暗，为了保证一定的图像质量，需要加长曝光时间，则图像传感器输出的帧率就将低于30帧/秒，环境越暗，帧率越低。

这样就带来了一个问题，由于电视刷新的频率是固定的，PAL制是50场/秒，NTSC制是60场/秒，这样从帧存储器读出数据的速度也必须是固定的，对于PAL制是50场/秒，对于NTSC制是60场/秒，从而就造成了帧存储器的写入速度与读出速度有可能不相等，也就是说，当一帧数据读完后，有可能下一帧数据还没写完。

如上所述，读出速度从平均角度上来说不低于写入速度，因此如果这时去读还没有写完的下一帧数据，由于写入数据的帧率较慢，很有可能读会追上写，造成数据的破坏，这是不能接受的。

例如工作在 NTSC 制时，假设图像传感器的输出帧率是 20 帧/秒，由于读出速度是 60 场/秒，这样当第一帧数据读完后，第二帧数据还没有写完，只写了  $2/3$  帧，这时如果去读第二个帧存储器的话，则读有可能追上写，从而造成图像数据的破坏。为了解决这个问题，本发明确定一个规则：只有当某一帧数据完全写入帧存储器中后才允许开始读。如果前一帧数据读完而当前帧数据还没有写完，就重复读出前一帧数据。这样虽然图像的连续性受到了影响，但是这是由于此时的光照条件太差，为了达到较好的图像质量需要加长曝光时间，从而导致帧率降低造成的，一般认为这种结果也还是可以接受的。

同样，由于对第一帧数据进行了重复读出，就有可能出现第二帧数据已经写完，第三帧数据开始到来，而第一帧数据在重复读的情况下还没有读完的情况。如前所述，每帧数据在写入的时候以帧为单位写入，在读出的时候以场为单位读出，每帧需要读两场。场与帧的关系是隔行与逐行的关系，也就是说，写入帧存储器以 1, 2, 3, 4, ..., 479, 480 (以行为单位) 的顺序写入，而读出的时候按照 1, 3, 5, 7, ..., 479 (第一场), 2, 4, 6, 8, ..., 478, 480 (第二场) 的顺序读出。

因此此时有两种情况：

一种是第一帧数据已经读完第一场；另一种是第一帧数据正在读第一场。

对于第一种情况，根据前面的介绍，由于读出速度快于写入速度，而且对于场来说读出是按照跳行的顺序读出，即使此时开始写入第三帧数据，也不可能追上读，造成第一帧数据破坏，因此第三帧数据可以写入；

对于第二种情况，由于第一帧数据还需要读出第二场，如果将第三帧数

据按照正常的顺序写入，即 1, 2, 3, ..., 479, 480 的顺序，就会将第一帧数据覆盖，导致在读第二场数据的时候出现错误。

通常的情况是将第三帧跳过，即抛弃，等待第四帧的数据，如图 3 所示。这种情况下由于跳帧而导致图像的不连续，会影响到图像的显示效果。

为了避免跳帧，下面来分析读写数据的过程。

如前所述，写数据是以帧的顺序来写的，按照 1, 2, 3, 4, ..., 479, 480 行的顺序写入，而读数据是以场的顺序来读的，按照 1, 3, 5, 7, ..., 477, 479, 2, 4, 6, ..., 478, 480 行的顺序读出。写和读的数据量是一样的，但写和读的顺序不同。

由于读的速度不小于写的速度，因此如果适当调整读和写的顺序，就能够保证当对一个帧存储器同时进行读写操作时，原来的数据不会被覆盖，这样就可以保证不跳帧。

具体的设计过程是这样的，当某一个帧存储器还在读第一场的数据时，其读数据的顺序为 1, 3, 5, 7, ..., 477, 479 行，即一帧的奇数行，如果这时另一帧数据写入，写入的顺序为 1, 2, 3, 4, ..., 479, 480 行，这样偶数行的数据就会被覆盖，当读第二场时就会发生错误。如果将第二帧数据的 1, 2, 3, 4, ..., 479, 480 行按照 1, 3, 5, 7, ..., 477, 479, 2, 4, 6, 8, ..., 478, 480 行的顺序，由于写入数据的顺序与读出数据的顺序相同，而读出数据的速度不小于写入数据的速度，因此上一帧的数据永远不会被破坏，避免了跳帧。当读出当前写入的一帧时，由于写入的顺序为 1, 3, 5, 7, ..., 477, 479, 2, 4, 6, 8, ..., 478, 480 行，需要对读出数据的顺序也进行相应调整，以 1, 5, 9, ... 的顺序读出数据。依此类推，只要读出数据的速度不小于写入数据的速度，就可以保证永远不需要跳帧。

为了简化起见，先来看对一幅只有 8 行的图像的处理。

第一帧，写入顺序：1, 2, 3, 4, 5, 6, 7, 8

读出顺序：1, 3, 5, 7, 2, 4, 6, 8

当发生第一场未读完第二帧就到来的情况时，根据前面的介绍，写入数据的顺序变为第一帧的读出顺序，这样得到第二帧的读写顺序是：

第二帧，写入顺序：1, 3, 5, 7, 2, 4, 6, 8

读出顺序：1, 5, 2, 6, 3, 7, 4, 8

当第三帧到来时，无论第二帧的第一场是否读完，都按照第二帧的读出顺序写入，这样第三帧的读写顺序如下：

第三帧，写入顺序：1, 5, 2, 6, 3, 7, 4, 8

读出顺序：1, 2, 3, 4, 5, 6, 7, 8

当第四帧到来时，按照第三帧的读出顺序写入，其读写顺序如下：

第四帧，写入顺序：1, 2, 3, 4, 5, 6, 7, 8

读出顺序：1, 3, 5, 7, 2, 4, 6, 8

这样经过四帧以后，又回到了起点，依然可以按照前面的处理方法处理后面需要存储的帧。

从上面可以看出，每一帧的读出顺序等于下一帧的写入顺序，因此对于8行的图像，连续图像的写入顺序为：

第一帧：1, 2, 3, 4, 5, 6, 7, 8

第二帧：1, 3, 5, 7, 2, 4, 6, 8

第三帧：1, 5, 2, 6, 3, 7, 4, 8

第四帧：1, 2, 3, 4, 5, 6, 7, 8

第五帧：1, 3, 5, 7, 2, 4, 6, 8

。 。 。

设一个变量 delta 和 j，将 8 扩展为 n，可以得到下面的结论：

第一帧：delta = 1, j=0，写入顺序为：a(0), a(1), a(2), a(3), ..., a(n-1)，

其中， $a(0)=1, a(i+1)=a(i) + \text{delta}$ ，

第二帧：delta = 2, j=1，写入顺序为：a(0), a(1), a(2), a(3), ..., a(n-1)，

其中， $a(0)=1, a(i+1)=\begin{cases} a(i) + \text{delta}, & (a(i) + \text{delta}) \leq n \\ a(i) + \text{delta} - n + 1, & (a(i) + \text{delta}) > n \end{cases}$

第三帧：  $\text{delta} = 4$ ,  $j=2$ , 写入顺序为：  $a(0), a(1), a(2), a(3), \dots, a(n-1)$ ,

$$\text{其中, } a_0=1, a(i+1)=\begin{cases} a(i)+\text{delta}, & (a(i)+\text{delta}) \leq n \\ a(i)+\text{delta}-n+1, & (a(i)+\text{delta}) > n \end{cases}$$

...

$$\text{第 m 帧: } \text{delta} = 2^j, j = \begin{cases} j = j + 1, & j(m-1)! = n/2 \\ 0, & j(m-1) = n/2 \end{cases}$$

写入顺序为：  $a(0), a(1), a(2), a(3), \dots, a(n-1)$ ,

$$\text{其中, } a(0)=1, a(i+1)=\begin{cases} a(i)+\text{delta}, & (a(i)+\text{delta}) \leq n \\ a(i)+\text{delta}-n+1, & (a(i)+\text{delta}) > n \end{cases}$$

依此类推。

如图 4 所示，为读帧存储器流程图，当需要输出一帧数据时，首先检查上一帧读出的数据是出自第一帧存储器 21 还是第二帧存储器 22，然后检查另一个帧存储器数据是否已经写完，如果写完，则读出另一个帧存储器的数据，如果没有，则重复读上一个帧存储器的数据。

对于图像传感器 1 而言，其图像分辨率一般可以支持 1280X960, VGA(640X480), QVGA(320X240), CIF(352X288)等，但对于 1280X960 的图像只能支持 15 帧/秒的输出帧率，由于目前的图像传感器 VGA 大小的图像的输出帧率最大可支持 30 帧/秒，而 NTSC 制的显示帧率也是 30 帧/秒，PAL 制的显示帧率是 25 帧/秒，为了保证最终的图像质量及图像的连续性，本发明实施例选择与现有电视分辨率最接近的 VGA 模式，通过图像大小转换模块将其转换为 PAL 或 NTSC 所需的图像分辨率。

由于图像大小转换模块 3 采用双线性内插方法来实现图像大小的转换，这种方法在计算当前数据的时候需要相邻行和相邻列数据。因此，虽然图像大小转换模块 3 输出的数据是隔行的，但是为了完成图像大小转换，从上述帧存储器中读出的数据依然是逐行的。

不同电视制式支持的图像分辨率不同，为了支持不同的电视制式，需要能够控制图像大小转换的功能。在控制图像缩放的各种算法之中，双线性内

插方法以其实现简单，输出效果较好等特点而被广泛采用，在本发明所述的图像大小转换模块3中也使用了双线性内插方法来改变图像的尺寸。

图像大小转换模块3将VGA大小的图像转换为NTSC制或PAL制所需要的图像大小；对于NTSC制而言，其图像分辨率为720X480，每场为720X240；对于PAL制而言，其分辨率为720X576，每场为720X288。而输入图像为VGA，也就是640X480。因此，本发明所述图像大小转换模块3完成的功能是这样的，对于NTSC制，只做水平方向的大小转换，转换比例为640→720，垂直方向不做大小转换，根据奇场或偶场的不同，将奇行或偶行输出；对于PAL制，水平方向的大小转换与NTSC相同，转换比例为640→720，垂直方向转换比例为480→576，根据奇场或偶场的不同，只输出奇行或偶行。

本发明所述双线性内插的基本计算公式如下：

$$p = (1-x)*p(n) + x*p(n+1);$$

如图5所示，p代表需要计算的像素，p(n)代表需要计算的像素的前一个像素，p(n+1)代表需要计算的像素的后一个像素，x代表需要计算的像素到p(n)的距离。

根据上述公式，可以对给定大小的图像进行一维缩放：设输入图像的大小为b，输出图像的大小为a，a与b互质，经过图像大小转换后需要达到a/b的缩放结果，则根据上面描述的双线性内插方法，首先将输入图像放大a倍，也就是在相邻像素之间插入(a-1)个像素，插入像素的值可以根据双线性内插的公式计算得到；然后将放大后的图像再缩小b倍，方法是每b个像素抽取一个像素，这样就达到了a/b的缩放效果。

对于本发明，根据前面的介绍，输入图像为640X480，输出图像为720X480或720X576。因此水平方向需要达到 $640/720 = 8/9$ 的缩放效果，垂直方向需要达到 $480/576 = 5/6$ 的缩放效果。对于水平方向，根据前面的介绍，a等于9，b等于8。

内插计算的过程如图 6 所示，图中实心的像素代表输入图像的像素，空心的像素代表输入图像相邻像素之间经过双线性内插得到的值，黑色网格的像素代表输出图像的像素。可以看到，输入图像首先根据双线性内插公式被放大 9 倍，然后再被缩小 8 倍，从而得到与输入图像相比，放大  $9/8$  倍的图像。

根据图 6 可以看到，空心像素无需被全部计算出来，只需计算空心像素与黑色网格像素重合的那些像素即可。上面描述了对于输入图像进行一维缩放的过程，同理，可以将其推广到二维的实现。这样，对于给定的输入图像，根据上述描述的算法可以得到经过缩放的输出图像。

由上述的实施例可见，除用于普通电视的视频转换外，本发明所述装置和方法完全可被用于诸如带有摄像头和普通电视显示装置的监控系统等中，以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以作出若干改进和变化，这些改进和变化也应视为本发明的保护范围。

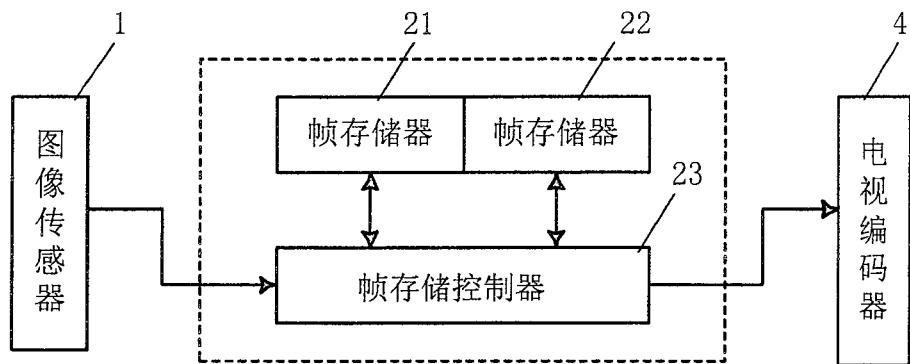


图 1

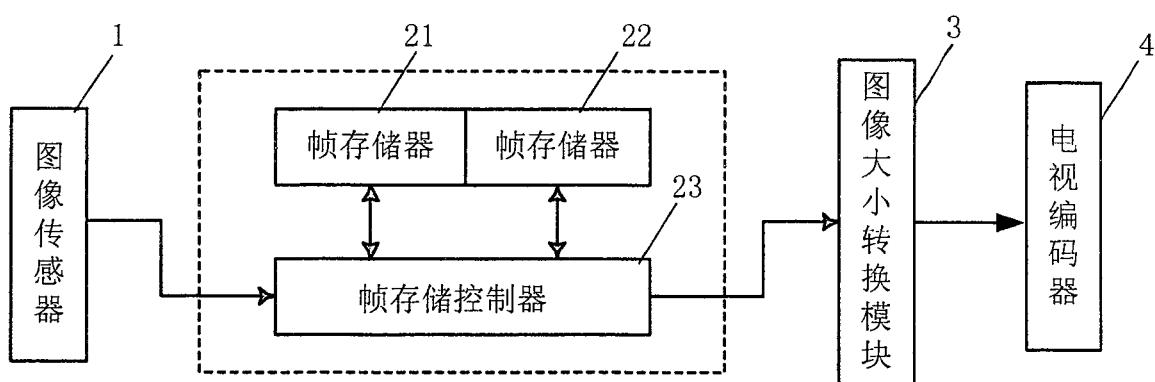


图 2

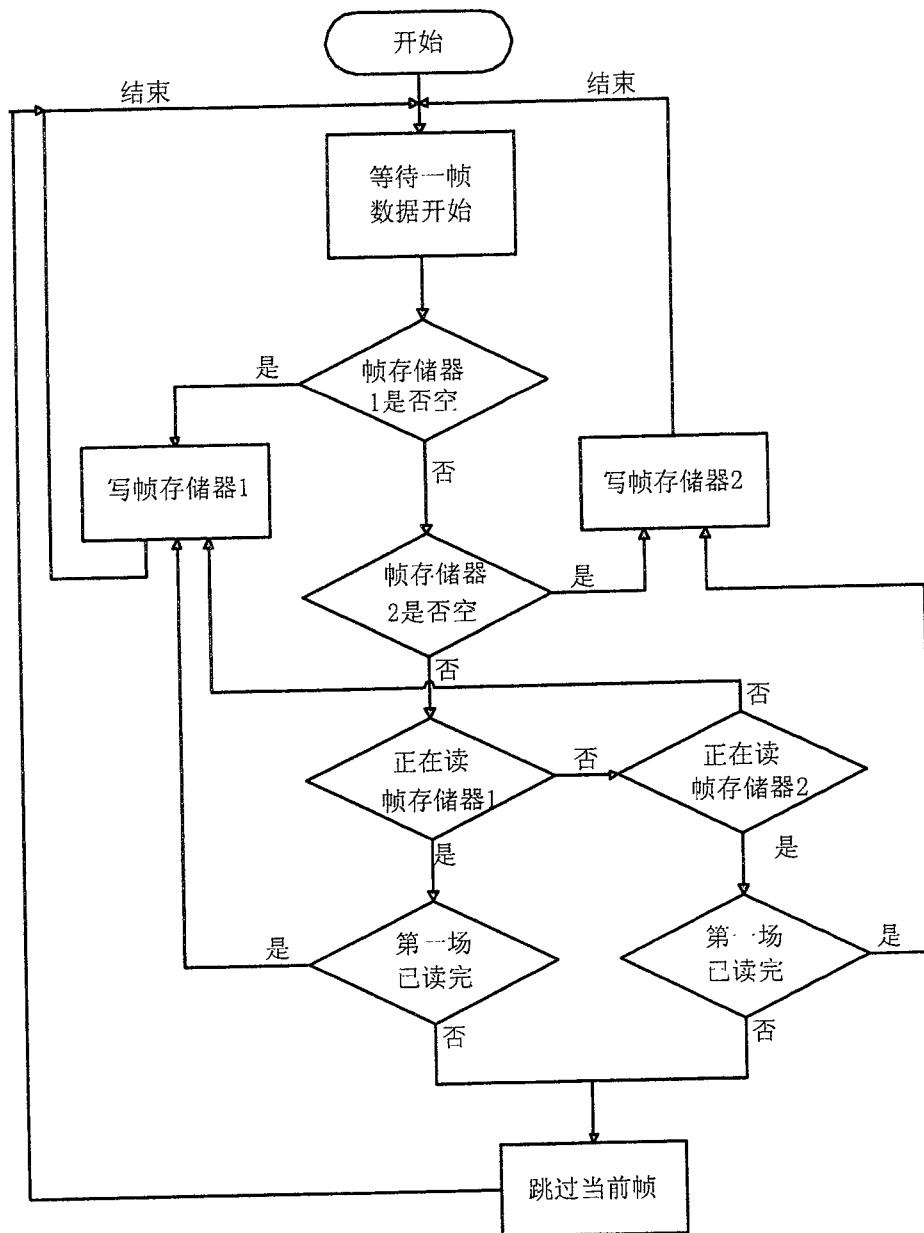


图 3

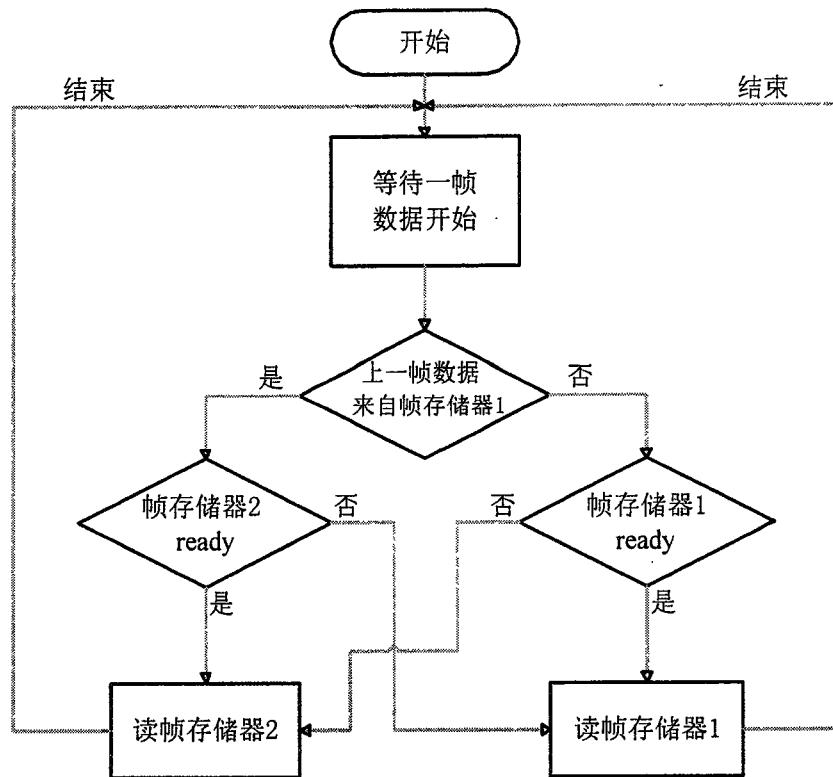


图 4

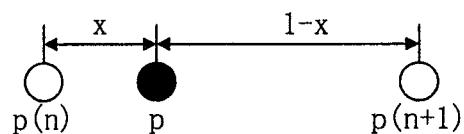


图 5

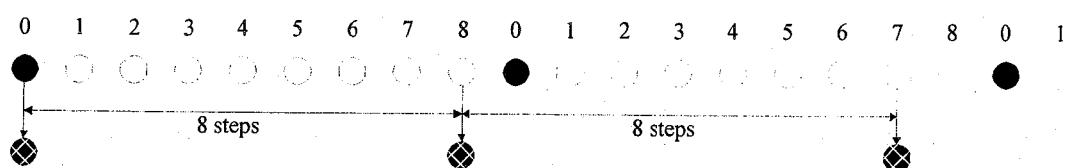


图 6