

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5494677号
(P5494677)

(45) 発行日 平成26年5月21日 (2014.5.21)

(24) 登録日 平成26年3月14日 (2014.3.14)

| | | | | | |
|---------------|--------------|------------------|--------------|--------------|--------------|
| (51) Int. Cl. | | F I | | | |
| H04 J | 11/00 | (2006.01) | H04 J | 11/00 | Z |
| G10 H | 1/00 | (2006.01) | G10 H | 1/00 | Z |
| G10 H | 7/02 | (2006.01) | G10 H | 7/00 | 521 E |

請求項の数 5 (全 33 頁)

| | |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(21) 出願番号 特願2012-911 (P2012-911)</p> <p>(22) 出願日 平成24年1月6日 (2012.1.6)</p> <p>(65) 公開番号 特開2013-141168 (P2013-141168A)</p> <p>(43) 公開日 平成25年7月18日 (2013.7.18)</p> <p>審査請求日 平成25年6月20日 (2013.6.20)</p> | <p>(73) 特許権者 000004075 ヤマハ株式会社 静岡県浜松市中区中沢町10番1号</p> <p>(74) 代理人 110000213 特許業務法人プロスペック特許事務所</p> <p>(74) 代理人 100168756 弁理士 日比野 元彦</p> <p>(72) 発明者 秋山 仁志 静岡県浜松市中区中沢町10番1号ヤマハ株式会社内</p> <p>審査官 佐々木 洋</p> |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

最終頁に続く

(54) 【発明の名称】 演奏装置及び演奏プログラム

(57) 【特許請求の範囲】

【請求項1】

音の波形をそれぞれ表わす複数の基本波形データを記憶した基本波形データ記憶手段と

前記複数の基本波形データのうちの1つ又は複数の基本波形データを読み出すとともに、前記読み出した1つ又は複数の基本波形データを連結して1つの波形データを生成し、前記波形データに基づいて音を再生する再生手段と、を備え、

前記複数の音は、所定の高周波帯域に含まれる周波数成分からそれぞれ構成され、

前記複数の基本波形データは、互いに異なるデジタル信号に対応づけられており、

前記デジタル信号は複数ビットから構成され、

前記互いに異なるデジタル信号のうちの1つ又は複数のデジタル信号を組み合わせることにより、外部機器を制御する複数種類の制御信号を生成可能であり、

前記再生手段は、前記制御信号を構成する1つ又は複数のデジタル信号に対応する1つ又は複数の基本波形データを前記基本波形データ記憶手段から読み出すとともに、前記制御信号のビットパターンに応じた順に前記読み出した基本波形データを連結して、前記制御信号に対応する音の波形データを生成し、前記生成した波形データに基づいて前記制御信号に対応する音を再生することを特徴とする演奏装置。

【請求項2】

請求項1に記載の演奏装置において、

前記基本波形データが表わす音は、前記デジタル信号を用いて搬送波を変調した変調

音であることを特徴とする演奏装置。

【請求項 3】

請求項 1 に記載の演奏装置において、
前記基本波形データが表わす音は、前記制御信号の各ビットを拡散化するとともに差動符号化し、前記差動符号化した信号を用いて搬送波を変調した変調音であることを特徴とする波形データ生成装置。

【請求項 4】

請求項 1 乃至 3 のうちのいずれか 1 つに記載の演奏装置において、
前記基本波形データが表わす音の波形は、前記制御信号の隣接する 2 つのビットの境界部に相当する部分の波形を含むことを特徴とする波形データ生成装置。

10

【請求項 5】

コンピュータを、
音の波形をそれぞれ表わす複数の基本波形データを記憶した基本波形データ記憶手段と、
前記複数の基本波形データのうちの 1 つ又は複数の基本波形データを読み出すとともに、
前記読み出した 1 つ又は複数の基本波形データを連結して 1 つの波形データを生成し、
前記波形データに基づいて音を再生する再生手段と、を備え、
前記複数の音は、所定の高周波帯域に含まれる周波数成分からそれぞれ構成され、
前記複数の基本波形データは、互いに異なるデジタル信号に対応づけられており、
前記デジタル信号は複数ビットから構成され、
前記互いに異なるデジタル信号のうちの 1 つ又は複数のデジタル信号を組み合わせることにより、外部機器を制御する複数種類の制御信号を生成可能であり、
前記再生手段は、前記制御信号を構成する 1 つ又は複数のデジタル信号に対応する 1 つ又は複数の基本波形データを前記基本波形データ記憶手段から読み出すとともに、前記制御信号のビットパターンに応じた順に前記読み出した基本波形データを連結して、前記制御信号に対応する音の波形データを生成し、前記生成した波形データに基づいて前記制御信号に対応する音を再生することを特徴とする演奏装置として機能させるコンピュータプログラム。

20

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、メロディ、伴奏などの楽器の演奏音と、外部機器を制御する制御情報を表わす制御音とを放音する演奏装置及び演奏装置に適用されるコンピュータプログラムに関する。

【背景技術】

【0002】

従来から、例えば、下記特許文献 1 に示されているように、外部機器を制御する制御音を放音する情報伝送装置は知られている。この情報伝送装置は、制御情報を用いて可聴帯域の搬送波を変調することにより制御音を生成する変調器を備えている。

【先行技術文献】

40

【特許文献】

【0003】

【特許文献 1】特開 2007 - 104598 号公報

【発明の概要】

【0004】

しかし、上記従来の情報伝送装置の変調器は、複雑な演算を実行するために、複数の情報処理装置から構成されていて、高価である。そのため、この変調器を、電子オルガン、電子ピアノなどの演奏装置に実装すると、それらの演奏装置の価格が高くなるという問題があった。

【0005】

50

本発明は上記問題に対処するためになされたもので、その目的は、任意の制御情報に対応した制御音を簡単に生成できる安価な演奏装置を提供することにある。なお、下記本発明の各構成要件の記載においては、本発明の理解を容易にするために、実施形態の対応箇所の符号を括弧内に記載しているが、本発明の各構成要件は、実施形態の符号によって示された対応箇所の構成に限定解釈されるべきものではない。

【0006】

上記目的を達成するために、本発明の特徴は、音の波形をそれぞれ表わす複数の基本波形データ (f 1 ~ f 4 , g 1 ~ g 8 , h 1 ~ h 8) を記憶した基本波形データ記憶手段 (WM , 17 c) と、前記複数の基本波形データのうちの1つ又は複数の基本波形データを
読み出すとともに、前記読み出した1つ又は複数の基本波形データを連結して1つの波形
データを生成し、前記波形データに基づいて音を再生する再生手段 (15 , 17) と、を
備え、前記複数の音は、所定の高周波帯域に含まれる周波数成分からそれぞれ構成され、
前記複数の基本波形データは、互いに異なるデジタル信号に対応づけられており、前記
デジタル信号は複数ビットから構成され、前記互いに異なるデジタル信号のうちの1
つ又は複数のデジタル信号を組み合わせることにより、外部機器 (20) を制御する複
数種類の制御信号 (S D) を生成可能であり、前記再生手段は、前記制御信号を構成する
1つ又は複数のデジタル信号に対応する1つ又は複数の基本波形データを前記基本波形
データ記憶手段から読み出すとともに、前記制御信号のビットパターンに応じた順に前記
読み出した基本波形データを連結して、前記制御信号に対応する音の波形データを生成し
、前記生成した波形データに基づいて前記制御信号に対応する音を再生する演奏装置とし
たことにある。なお、ビットパターンとは、所定のビット長のデータを構成する各ビット
の値 (すなわち、 「 1 」 又は 「 0 」) の順列を意味している。

10

20

【0007】

この場合、基本波形データが表わす音は、前記デジタル信号を用いて搬送波を変調した
変調音であるとよい。また、この場合、基本波形データが表わす音は、制御信号の各ビ
ットを拡散化するとともに差動符号化し、前記差動符号化した信号を用いて搬送波を変調
した変調音であってもよい。

【0008】

上記のように構成した演奏装置によれば、上記従来の情報伝達装置のような変調器を搭載する必要が無いので、コストダウンできる。また、制御信号のビットパターンに応じて、複数の音を組み合わせる順に再生できる。したがって、制御信号ごとに対応する音の波形データを記憶しておく場合に比べて、記憶装置の記憶容量を削減できる。また、制御信号に対応した音は所定の高周波帯域に含まれる周波数成分からなるので、演奏者は制御信号に対応した音が発生していることをほとんど認識できない。したがって、演奏を妨げることが無い。

30

【0009】

また、本発明の他の特徴は、基本波形データが表わす音の波形は、前記制御信号の隣接
する2つのビットの境界部に相当する部分の波形を含むことにある。すなわち、前記デ
ジタル信号に対応した音は、制御信号を構成する各ビットの境界に相当する部分を含んで
いる。これによれば、制御信号を構成する各ビットの境界に相当する部分にて音が途切れ
ることを防止できる。また、波形データ記憶装置に記憶する波形データを生成する波形デ
ータ生成装置における符号化方式、搬送波の変調方式などによっては、制御信号の1つの
ビットの先頭部分に相当する音が、隣のビットの終端部分に相当する音の影響 (例えば、
フィルタの群遅延による影響) を受けることがある。したがって、上記の影響を考慮しな
いまま、単に制御信号の各ビットの値に応じて音を組み合わせただけの場合には、前記各ビ
ットにそれぞれ対応する音と音の境界部分にて、広帯域に亘る雑音が発生することがある。し
かし、上記のように構成しておけば、前記雑音の発生を防止できる。これにより、外部機
器における制御信号の復号の精度を向上させることができる。

40

50

【0010】

さらに、本発明の実施にあたっては、演奏装置の発明に限定されることなく、同装置に適用されるコンピュータプログラムの発明としても実施し得るものである。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態に係る演奏装置、及び演奏装置と同時に使用される楽譜表示装置の概要を示す概要図である。

【図2】演奏装置の全体構成を示すブロック図である。

【図3A】制御波形データの配置を示すメモリマップである。

10

【図3B】制御波形データの構成を示す説明図である。

【図4】楽譜データの構成を示す説明図である。

【図5】制御波形データ生成装置の全体構成を示すブロック図である。

【図6】拡散符号の一例を示す説明図である。

【図7】図5の拡散処理部及び差動位相変調部の動作を示すタイミングチャートである。

【図8】図5の差動位相変調部の構成を示すブロック図である。

【図9】差動符号の一例を示す説明図である。

【図10】基本波形データの取り出しを説明する説明図である。

【図11】図2の音源回路の構成を示すブロック図である。

【図12A】単独モードにおけるチャンネル累算回路の構成を示すブロック図である。

20

【図12B】制御モードにおけるチャンネル累算回路の構成を示すブロック図である。

【図13】初期化プログラムのフローチャートである。

【図14】自動演奏プログラムのフローチャートである。

【図15】制御音生成プログラムのフローチャートである。

【図16】制御音生成処理の一例を説明する説明図である。

【図17】楽譜表示装置の全体構成を示すブロック図である。

【図18】図17の復号回路の構成を示すブロック図である。

【図19A】本発明の変形例に係る制御波形データの配置を示すメモリマップである。

【図19B】本発明の変形例に係る制御波形データの構成を示す説明図である。

【図20】図19A及び図19Bの制御波形データを構成する基本波形データの組み合わせを表わした組み合わせ表である。

30

【図21】本発明の変形例に係る制御音生成プログラムのフローチャートである。

【図22】本発明の変形例に係る制御音生成処理の一例を説明する説明図である。

【図23A】本発明の他の変形例に係る制御波形データの配置を示すメモリマップである。

【図23B】本発明の他の変形例に係る制御波形データの構成を示す説明図である。

【図24】本発明の他の変形例に係る制御音生成プログラムのフローチャートである。

【図25】本発明の他の変形例に係る制御音生成処理の一例を説明する説明図である。

【図26】本発明のさらに他の変形例に係る制御モードにおけるチャンネル累算回路の構成を示すブロック図である。

40

【図27】基本波形データと差動符号との対応の例を表わす表である。

【図28】基本波形データと差動符号との対応の他の例を表わす表である。

【図29】図28の基本波形データの取り出しを説明する説明図である。

【発明を実施するための形態】

【0012】

a. 全体構成

本発明の一実施形態に係る演奏装置10の全体概略について図1を用いて説明する。演奏装置10は、メロディ、伴奏などの演奏を表わす演奏情報に基づいて、楽器の演奏音(以下、単に楽音という)を放音する。また、演奏装置10は、演奏装置10とともに使用される楽譜表示装置20を制御する楽譜データSDを用いて搬送波を変調した制御音も放

50

音する。楽譜表示装置 20 は、演奏装置 10 から放音された制御音を入力して、制御音に従って楽譜を表示器 22 に表示する。

【0013】

つぎに、演奏装置 10 について詳しく説明する。演奏装置 10 は、図 2 に示すように、鍵盤 11、パネル操作子 12、操作子インターフェース回路 13、表示器 14、音源回路 15、サウンドシステム 16、コンピュータ部 17、記憶装置 18 及び外部インターフェース回路 19 を備えている。

【0014】

鍵盤 11 は、演奏者の手によって操作されて、それぞれ発生させる楽音信号の音高を指定するとともに楽音信号の発生及び停止を指示する複数の白鍵及び黒鍵からなる。パネル操作子 12 は、電子楽器の操作パネル上に設けられた複数の操作子からなる。これらの操作子も、演奏者の手によって操作されて、発生される楽音信号の音色、音量、効果等の楽音特性を設定する操作子を含み、電子楽器全体の動作を設定するためのものである。演奏装置 10 は、楽譜表示装置 20 を制御する制御モード及び楽譜表示装置 20 を制御しない単独モードを備えており、ユーザは、パネル操作子 12 を用いて、いずれかのモードを選択することができる。また、演奏装置 10 は、予め記憶しておいた演奏情報に基づいて自動演奏する自動演奏機能を備えており、ユーザは、パネル操作子 12 を用いて、自動演奏する曲を選択し、演奏開始、演奏停止などを指示することができる。また、ユーザは、パネル操作子 12 を用いて、自動演奏における演奏パートの音量バランス、定位などを設定することができる。例えば、パネル操作子 12 に含まれるマスターボリューム操作子は、発生中の全ての楽音の音量を同時に変化させる操作子である。これらの操作子には、オン・オフ操作子に加えて、回転式操作子、スライド式操作子などの各種操作子が含まれる。また、パネル操作子 12 にはオン・オフ操作子に対応したスイッチ、回転式操作子に対応したボリューム又はロータリーエンコーダ、スライド式操作子に対応したボリューム又はリニアエンコーダなど、各操作子に対応した作動素子も含まれる。

【0015】

鍵盤 11 及びパネル操作子 12 は、バス B5 に接続された操作子インターフェース回路 13 に接続されている。そして、鍵盤 11 及びパネル操作子 12 の操作を表す操作情報が、操作子インターフェース回路 13 及びバス B5 を介して後述するコンピュータ部 17 に供給される。表示器 14 は、液晶ディスプレイ (LCD) によって構成され、表示画面上に文字、図形などを表示する。この表示器 14 の表示は、バス B5 を介してコンピュータ部 17 によって制御される。

【0016】

音源回路 15 は、複数の波形データを記憶した波形メモリ WM から、CPU 17a によって指定された楽音波形データ及び制御波形データを読み出してデジタル音信号を生成し、サウンドシステム 16 に供給する。なお、詳しくは後述するように、楽音にコーラス効果、残響効果などの各種効果を付加するエフェクタ回路は、音源回路 15 に含まれている。上記の波形メモリ WM 及び音源回路 15 については、詳しく後述する。サウンドシステム 16 は、音源回路 15 から供給されたデジタル音信号をアナログ音信号に変換する D/A 変換器、変換したアナログ音信号を増幅するアンプ、及び増幅されたアナログ音信号を音響信号に変換して出力する左右一対のスピーカを備えている。

【0017】

コンピュータ部 17 は、バス B5 にそれぞれ接続された CPU 17a、タイマ 17b、ROM 17c 及び RAM 17d からなる。CPU 17a は、操作子インターフェース回路 13 及び外部インターフェース回路 19 から供給される演奏情報に応じて、発音のために必要な情報を、音源回路 15 に供給する。とくに、CPU 17a は、演奏者による鍵盤 11 の押離鍵操作によって発生したキーイベント、及び外部インターフェース回路 19 を介して外部機器から供給される演奏情報又は記憶装置 18 に記憶されていて再生される演奏情報に基づいて発生したイベントに応じて、楽音に関するパラメータ (以下、楽音パラメータという。) を音源回路 15 に供給する。

【 0 0 1 8 】

また、記憶装置 1 8 は、HDD、FDD、CD-ROM、MO、DVDなどの大容量の不揮発性記録媒体と、同各記録媒体に対応するドライブユニットを含むものであり、各種データ及びプログラムの記憶及び読出しを可能にしている。これらのデータ及びプログラムは予め記憶装置 1 8 に記憶されていてもよいし、外部インターフェース回路 1 9 を介して外部から取り込んでよい。そして、記憶装置 1 8 に記憶された各種データ及びプログラムは、CPU 1 7 a によって読み込まれ、電子楽器の制御に利用される。上記の各種データには、楽曲の演奏内容を表わす曲データが含まれる。この曲データは、楽音の発音に関するノートイベントデータ、表示する楽譜に関する楽譜イベントデータ、各種イベントデータ間の時間を表わすデルタタイムデータなどからなる。外部インターフェース回路 1 9 は、MIDIインターフェース回路及び通信インターフェース回路を含んでいる。演奏装置 1 0 は、外部インターフェース回路 1 9 を介して、他の電子音楽装置、パーソナルコンピュータなどのMIDI対応の外部機器に接続可能であり、インターネットなどの通信ネットワークにも接続可能である。

10

【 0 0 1 9 】

つぎに、波形メモリWMについて詳しく説明する。波形メモリWMには、複数の楽音波形データが記憶されている。楽音波形データは、楽音を所定のサンプリング周波数（例えば、44.1kHz）でサンプリングした複数の波高値からなる。1つの楽音についての複数の波高値は、波形メモリWMの連続するアドレスに順に記憶されている。

【 0 0 2 0 】

また、波形メモリWMには、図3A及び図3Bに示すような、制御音の一部を構成する音の波形を表わす制御波形データG1～G8も記憶されている。以下、制御波形データG1～G8の生成について説明する。楽譜データSDは、図4に示すように、ヘッダー部、本体部及びフッター部からなる。ヘッダー部は、本体部の長さを表わす情報を含む1バイトのデータからなる。本体部は、曲の番号を表わす曲情報と楽譜のページ位置を表わすページ情報を含む2バイトのデータからなる。フッター部は、楽譜データSDの終わりを表わす情報を含む1バイトのデータからなる。以下、この楽譜データSDを全体として32ビットのデータとして説明する。すなわち、フッター部の第0ビットを楽譜データSDの最下位ビットLSBと呼び、ヘッダー部の第7ビットを楽譜データSDの最上位ビットMSBと呼ぶ。最上位ビットMSB及び最下位ビットLSBはダミーデータであり、楽譜表示装置 2 0 においては、これらのダミーデータは無視される。

20

30

【 0 0 2 1 】

制御波形データG1～G8は、演奏装置 1 0 及び楽譜表示装置 2 0 とは別に設けられた、図5に示す制御波形データ生成装置WPによって生成されて、波形メモリWMに記憶されている。楽譜データSDは、その最下位ビットLSBから最上位ビットMSBへ向かって、1ビットずつ順に拡散処理部WP1へ入力される。以下、楽譜データSDのそれぞれのビットをシンボルと言う。また、拡散処理部WP1には、拡散符号PNも入力される。拡散符号PNは、一定の周期を有する疑似乱数符号列である。本実施形態においては、拡散符号PNは、図6に示すような、11チップの符号である。なお、拡散符号PNのそれぞれのビットをチップという。ベースバンドにおける楽譜データSDの送信速度であるシンボルレートfaは、400.9sps（シンボル/秒）である（図7参照）。拡散符号PNの周期は、シンボルレートfaに一致している。したがって、拡散符号PNのチップレートfbは、4,410cps（チップ/秒）である。

40

【 0 0 2 2 】

拡散処理部WP1に入力されたシンボルは、拡散符号PNを用いて拡散処理される。すなわち、図7に示すように、シンボルの値が「1」であれば、拡散符号PNが拡散処理部WP1からそのまま出力され、シンボルの値が「0」であれば、拡散符号PNの位相を反転した符号が拡散処理部WP1から出力される。

【 0 0 2 3 】

拡散処理部WP1によって拡散処理されたシンボルは、先頭のチップから末尾のチップ

50

へ向かって1チップごとに、差動位相変調部WP2に入力される。差動位相変調部WP2は、図8に示すように、遅延部WP2aとXOR演算部WP2bからなる。遅延部WP2aは、次に説明するXOR演算部WP2bから出力された演算結果を1チップ分の期間だけ遅延して、XOR演算部WP2bに出力する。XOR演算部WP2bは、遅延部WP2aから入力した符号の値と、拡散処理部WP1から入力した符号の値との排他的論理和を演算して出力する。拡散処理部WP1によって拡散処理されたシンボルは、差動位相変調部WP2によって、図9に示すように、4種類の符号のうちのいずれか1つの符号に変換される。すなわち、値が「1」であるシンボルは、差動符号P1又は差動符号N1に変換され、値が「0」であるシンボルは、差動符号P0又は差動符号N0に変換される。

【0024】

XOR演算部WP2bから出力された差動符号は、ローパスフィルタWP3に入力される。ローパスフィルタWP3は、後述するパスバンド変調部WP5から出力される制御音の周波数帯域を制限するフィルタである。ローパスフィルタWP3から出力された差動符号は、ヒルベルト変換部WP4に入力される。ヒルベルト変換部WP4は、差動符号の位相をシフトさせることにより、差動符号をヒルベルト変換する。パスバンド変調部WP5は、搬送波生成部WP6から出力された搬送波を、ヒルベルト変換部WP4から出力された信号を用いて変調して、差動符号の周波数帯域を可聴帯域内の高周波帯域にシフトするとともに、上側波帯のみを取り出して、この上側波帯に含まれる周波数成分からなる制御音を出力する。このように差動符号の周波数帯域を半分に減らすことにより、ノイズによる影響を低減して、後述する復号回路29における楽譜データSDの復号精度を向上させる。なお、この搬送波の周波数は、17.64kHzであるので、一般には、制御音は聴取され難い。そして、波形データ取り出し部WP7は、制御音をサンプリングして、各サンプリング期間における波高値を制御音の波形データとしてバッファメモリに記憶する。このサンプリング周波数は、44.1kHzである。

【0025】

差動符号P1, P0, N1, N0は、差動位相変調部WP2から順次出力されるが、差動符号の種類の変換の仕方は、図3Bに示す8つの遷移の仕方に限られる。そこで、差動位相変調部WP2の出力として上記の8つの遷移が表れるようなデジタル信号(例えば、1つ又は複数の楽譜データ)を、制御波形データ生成装置WPの拡散処理部WP1に入力して、制御音の波形データをバッファメモリに記憶する。そして、波形データ取り出し部WP7は、バッファメモリに記憶した制御音の波形データから所定の複数の波高値を基本波形データg1~g8として取り出す。具体的には、差動符号の切り替わりに相当する部分を中央とし、この中央の前後に相当する複数の波高値を取り出す。本実施形態においては、サンプリング周波数を44.1kHzとしたので、上記のように、差動符号の切り替わりに対応する部分を中央として110個の波高値を取り出せば、各基本波形データg1~g8の先頭が、前半の差動符号の中央に相当し、各基本波形データg1~g8の終端が後半の差動符号の中央に相当する。

【0026】

さらに具体的には、図10に示すように、差動符号P0の後半から差動符号N1の前半に相当する部分を基本波形データg1として取り出す。基本波形データg2~基本波形データg8についても、基本波形データg1と同様に取り出す。すなわち、差動符号P0の後半から差動符号N0の前半に相当する部分を基本波形データg2として取り出す。また、差動符号N0の後半から差動符号P1の前半に相当する部分を基本波形データg3とし、差動符号N0の後半から差動符号P0の前半に相当する部分を基本波形データg4として取り出す。また、差動符号P1の後半から差動符号P1の前半に相当する部分を基本波形データg5とし、差動符号P1の後半から差動符号P0の前半に相当する部分を基本波形データg6として取り出す。さらに、差動符号N1の後半から差動符号N1の前半に相当する部分を基本波形データg7とし、差動符号N1の後半から差動符号N0の前半に相当する部分を基本波形データg8として取り出す。上記のようにして取り出した基本波形データg1~g8の先頭に、共通の長さの無音部分をそれぞれ付加して、制御波形データ

10

20

30

40

50

G 1 ~ G 8 として波形メモリ W M に記憶する。ただし、上記の無音部分を付加しなくてもよい。各制御波形データを構成する複数の波高値は、制御波形データごとに、連続するアドレスに、サンプリングされた順に記憶されている。制御波形データ G 1 ~ G 8 のデータサイズは共通である。また、各制御波形データにおける、先頭アドレスと基本波形データの先頭アドレスとのオフセット量を表わすオフセットアドレスは共通である。演奏装置 1 0 においては、上記のようにして取り出した制御波形データ G 1 ~ G 8 を組み合わせることにより、任意の楽譜データ S D を用いて搬送波を変調した制御音全体の波形データを構成することができる。

【 0 0 2 7 】

b . 音源回路の構成

次に、音源回路 1 5 の構成について詳しく説明する。まず音源回路 1 5 の全体構成について説明する。音源回路 1 5 は、図 1 1 に示すように、波形メモリ W M から波形データを読み出してデジタル音信号を生成する複数（例えば 3 2 個）の発音チャンネル C H 0 , C H 1 . . . C H 3 1 を備えている。また、音源回路 1 5 は、発音チャンネル C H 0 , C H 1 . . . C H 3 1 にて生成されたデジタル音信号を累算してサウンドシステム 1 6 に出力するチャンネル累算回路 1 5 a を備えている。また、音源回路 1 5 は、C P U 1 7 a から出力された各発音チャンネルを制御する楽音パラメータを入力し、入力した楽音パラメータを各発音チャンネル C H 0 , C H 1 . . . C H 3 1 に所定のタイミングで出力する楽音パラメータ入出力回路 1 5 b を備えている。つぎに、これらの発音チャンネル C H 0 , C H 1 . . . C H 3 1 、チャンネル累算回路 1 5 a 及び楽音パラメータ入出力回路 1 5 b について詳しく説明する。

【 0 0 2 8 】

b 1 . 発音チャンネル

各発音チャンネル C H 0 , C H 1 . . . C H 3 1 は、それぞれ同様に構成されており、サンプリング周期ごとにデジタル音信号をそれぞれ生成する。以下の説明では、発音チャンネルにおける信号のデジタル音信号の生成を単に発音という。各発音チャンネル C H 0 , C H 1 . . . C H 3 1 は、低周波信号発生回路 L F O 、ピッチ変更回路 P E G 、カットオフ周波数変更回路 F E G 及び音量変更回路 A E G を備えている。さらに、各発音チャンネル C H 0 , C H 1 . . . C H 3 1 は、アドレス発生回路 A D R 、サンプル補間回路 S P I 、フィルタ回路 F L T 及び音量制御回路 A M P も備えている。

【 0 0 2 9 】

低周波信号発生回路 L F O は、発音開始後、音高、音色及び音量を周期的に変化させる低周波信号を生成して、アドレス発生回路 A D R 、フィルタ回路 F L T 及び音量制御回路 A M P にそれぞれ供給する。低周波信号発生回路 L F O には、楽音パラメータ入出力回路 1 5 b を介して、C P U 1 7 a から低周波信号制御パラメータが供給される。低周波信号制御パラメータには、低周波信号発生回路 L F O から出力する低周波信号の波形、周波数及び振幅を指定するデータが含まれる。

【 0 0 3 0 】

ピッチ変更回路 P E G は、デジタル音信号の音高を制御する音高制御信号をアドレス発生回路 A D R に供給する。ピッチ変更回路 P E G は、発音開始後の時間経過に従ってエレメント信号の音高が変化するように、時間経過に従って変化する音高制御信号を生成してアドレス発生回路 A D R に供給する。この時間経過に従って変化する一連の音高制御信号をピッチエンベロープと呼ぶ。また、カットオフ周波数変更回路 F E G は、デジタル音信号の周波数特性を制御するカットオフ周波数制御信号をフィルタ回路 F L T に供給する。カットオフ周波数変更回路 F E G は、発音開始後の時間経過に従ってフィルタのカットオフ周波数が変化するように、時間経過に従って変化するカットオフ周波数制御信号を生成して、フィルタ回路 F L T に供給する。この時間経過に従って変化する一連のカットオフ周波数制御信号をカットオフエンベロープと呼ぶ。また、音量変更回路 A E G は、デジタル音信号の音量を制御する音量制御信号を音量制御回路 A M P に供給する。音量変更回路 A E G は、発音開始後の時間経過に従ってデジタル音信号の音量が変化するよう

10

20

30

40

50

に、時間経過に従って変化する音量制御信号を生成して音量制御回路AMPに供給する。この時間経過に従って変化する一連の音量制御信号を音量エンベロープと呼ぶ。

【0031】

アドレス発生回路ADRは、CPU17aから楽音パラメータ入出力回路15bを介して供給された楽音パラメータに含まれる押鍵された鍵の鍵音高を表す音高値、ピッチ変更回路PEGから供給された音高制御信号及び低周波信号発生回路LFOから供給された低周波信号を合成してピッチシフト量を算出する。なお、アドレス発生回路ADRには、CPU17aから、楽音パラメータ入出力回路15bを介して、波形データ情報が供給される。波形データ情報は、波形メモリWMから読み出す波形データの先頭アドレス及び末尾アドレス、ループ開始アドレス、ループ終端アドレス並びにこの波形データの音高を表す元ピッチからなる。

10

【0032】

アドレス発生回路ADRは、ループ開始アドレスとループ終端アドレスの間のアドレスを循環的に生成することができる。これにより、各発音チャンネルは、波形データの一部の区間のデータをループして再生することができる。この機能をループ機能という。また、元ピッチと発音する楽音のピッチとの差が、ピッチシフト量である。アドレス発生回路ADRは、ピッチシフト量に応じて、波形データの読み出しレートを決定する。そして、アドレス発生回路ADRは、前記決定した読み出しレートで波形メモリWMから波形データを読み出す。ただし、ピッチシフト量に応じて決定される読み出しレートは、通常、小数部を含むので、波形データの読み出しアドレスも整数部と小数部からなる。そこで、この波形データの読み出しにおいては、整数部を用いて波形データの隣り合う前後一对の波高値を読み出し、サンプル補間回路SPIへ供給する。ただし、制御波形データの読み出しにおいては、ピッチシフト量は「0」であり、制御音は、元ピッチのまま発音される。サンプル補間部SPIは、供給された一对の波高値とアドレスの小数部とを用いて補間演算して、デジタル楽音データを生成して、フィルタ回路FLTに供給する。

20

【0033】

フィルタ回路FLTは、カットオフ周波数変更回路FEGから供給されたカットオフ周波数制御信号及び低周波信号発生回路LFOから供給された低周波信号を合成して、フィルタのカットオフ周波数を算出する。フィルタ回路FLTには、CPU17aから、楽音パラメータ入出力回路15bを介して、フィルタ制御パラメータも供給される。フィルタ制御パラメータには、フィルタの種類（例えば、ハイパスフィルタ、ローパスフィルタなど）を選択するフィルタ選択情報が含まれる。フィルタ回路FLTは、フィルタ選択情報に従って選択したフィルタのカットオフ周波数を前記算出したカットオフ周波数に設定し、サンプル補間回路SPIから供給された波形データをこのフィルタでフィルタリング処理した後、音量制御回路AMPへ出力する。ただし、制御波形データについては、フィルタリング処理は実行されない。

30

【0034】

音量制御回路AMPは、音量変更回路AEGから供給された音量制御信号及び低周波信号発生回路LFOから供給された低周波信号を合成して、発生すべき楽音信号の音量を算出する。そして、音量制御回路AMPは、フィルタ回路FLTから供給された波形データを前記算出された音量に応じて増幅して、チャンネル累算回路15aへ出力する。ただし、制御波形データについては、前記算出した音量ではなく、所定の音量（例えば、最大音量）に増幅される。

40

【0035】

なお、演奏装置10が、楽譜表示装置20を制御する制御モードに設定されているときは、いずれか1つの発音チャンネル（例えば、発音チャンネルCH31）が、制御音専用に確保される。すなわち、前記確保された発音チャンネルは、制御音のみを生成し、楽音を生成しない。したがって、楽音の同時発音数が31音に制限される。

【0036】

b2. チャンネル累算回路15a

50

チャンネル累算回路15aは、図12Aに示すように、パート累算回路15a1、エフェクト処理回路15a2、音量調整回路15a3、パン調整回路15a4、加算回路15a5及び音響エフェクト回路15a6を備えている。パート累算回路15a1は、サンプリング周期ごとに、各発音チャンネルCH0、CH1・・・CH31から出力されたデジタル音信号をマニュアル演奏パート及び複数の自動演奏パートごとに累算して、エフェクト処理回路15a2に出力するとともに、音量調整回路15a3に出力する。エフェクト処理回路15a2は、マニュアル演奏パート及び複数の自動演奏パートに共通の効果（例えば、コーラス効果、残響効果など）を付加する。また、音量調整回路15a3は、楽音パラメータ入出力回路15bから入力した音量設定パラメータに基づいて、各パートの音量を増幅して、パン調整回路15a4に出力する。パン調整回路15a4は、楽音パラメータ入出力回路15bから入力したパン設定パラメータに基づいて、各パートのデジタル音信号の定位を調整して、加算回路15a5に出力する。加算回路15a5は、入力した各パートのデジタル音信号を加算して、音響エフェクト回路15a6に出力する。音響エフェクト回路15a6は、加算されたデジタル音信号に効果を付加して、サウンドシステム16に出力する。

【0037】

ただし、楽譜表示装置20を制御する制御モードに設定されているときは、発音チャンネルCH31は、制御音のデジタル音信号を生成する発音チャンネルとして設定され、図12Bに示すように、発音チャンネルCH31から出力されたデジタル音信号は、エフェクト処理回路15a2には出力されず、音量調整回路15a3へのみ出力される。また、各演奏パートの音量調整回路15a3にそれぞれ供給されて、演奏パートの音量バランスを設定する音量設定パラメータのうち、制御音用の音量調整回路15a3に供給される音量設定パラメータの値は、固定値である。この音量設定パラメータの固定値は、例えば、最大値「127」である。また、各演奏パートのパン調整回路15a4にそれぞれ供給されて、演奏パートの定位を設定するパン設定パラメータのうち、制御音用のパン調整回路15a4に供給されるパン設定パラメータの値も固定値である。このパン設定パラメータの固定値は、例えば、一方のスピーカ（例えば、左側のスピーカ）のみから出力する設定値である。なお、左右のスピーカから放音される制御音同士の干渉による問題が生じなければ、他方のスピーカから制御音を多少放音してもよい。

【0038】

b3. 楽音パラメータ入出力回路15b

つぎに、楽音パラメータ入出力回路15bについて説明する。楽音パラメータ入出力回路15bは、バスBSを介してCPU17aから供給された楽音パラメータを入力して、各発音チャンネルCH0、CH1・・・CH31の各回路に出力する。楽音パラメータ入出力回路15bは、発音チャンネルCH0、CH1・・・CH31に転送された波形データ情報であって、発音チャンネルCH0、CH1・・・CH31にて、発音中の制御音に関する波形データ情報を記憶している処理用レジスタと、発音チャンネルCH0、CH1・・・CH31にて、次に発音させる制御音に関する波形データ情報を記憶しておく予約用レジスタを備えている。また、楽音パラメータ入出力回路15bは、音源回路15の各回路（アドレス発生回路ADR、ピッチ変更回路PEG、カットオフ周波数変更回路FEG、音量変更回路AEGなど）の状態を表すパラメータを入力して、CPU17aに出力する。

【0039】

つぎに、上記のように構成した演奏装置10の動作について説明する。ユーザがこの演奏装置10の図示しない電源スイッチをオンにすると、CPU17aは、図13の初期化プログラムを実行する。CPU17aは、ステップS10にて初期化処理を開始すると、ステップS12にて、演奏装置10の各回路を初期状態に設定する。すなわち、鍵盤11に割り当てられる音色のデータ、表示器14に表示する画像データなどをROM17cから読み出して、それぞれの初期値として設定する。つぎに、CPU17aは、ステップS14にて、タイマ17bを作動開始させ、所定の間隔（例えば、1ミリ秒間隔）でタイマ

10

20

30

40

50

割り込みを発生させるよう設定する。つぎに、CPU 17 aは、ステップ S 1 6 にて、操作子インターフェース回路 1 3 からの割り込みを許可する。そして、CPU 17 aは、ステップ S 1 8 にて初期化処理を終了する。

【0040】

CPU 17 aは、操作子インターフェース回路 1 3 から割り込みが発生し、その割り込み要因がユーザによる押離鍵操作であることを検出すると、図示しない楽音生成プログラムを実行して、前記押離鍵操作に応じて、楽音の生成を開始又は楽音の生成を停止させる。また、その割り込み要因がユーザによるモード切り替え指示であることを検出すると、図示しないモード切り替えプログラムを実行して、前記モード切り替え指示に応じて、動作モードを切り替える。

10

【0041】

また、CPU 17 aは、操作子インターフェース回路 1 3 からの割り込み要因がユーザによる自動演奏の開始指示であることを検出すると、図 1 4 に示す自動演奏プログラムを実行する。

【0042】

CPU 17 aは、ステップ S 2 0 にて自動演奏処理を開始すると、ステップ S 2 2 にて、タイマ 1 7 b を用いて時間計測を開始する。つぎに、CPU 17 aは、ステップ S 2 4 にて、ユーザによって選択された曲データを記憶装置 1 8 (又は、予めコピーしておいたRAM 1 7 d) から読み出し、前記読み出した曲データに含まれるイベントデータのうち、テンポクロックタイミングと現在時刻が一致するイベントデータを検索する。該当するイベントデータが無い場合には、「No」と判定して、再びステップ S 2 4 を実行する。一方、該当するイベントデータがある場合には、「Yes」と判定して、ステップ S 2 6 にて、そのイベントデータを読み出してイベント処理バッファに記憶する。そして、CPU 17 aは、ステップ S 2 8 にて、イベント処理バッファに記憶されているイベントデータの種類に応じて、次に実行する処理を決定する。すなわち、イベントデータが押鍵又は離鍵に関するキーイベントデータである場合には、ステップ S 3 0 にて、図示しない楽音生成プログラムを実行して、キーイベントデータに対応した楽音の生成を開始又はキーイベントデータに対応した楽音の生成を停止し、ステップ S 2 4 に戻る。

20

【0043】

また、ステップ S 2 8 において検出したイベントデータが、楽譜表示装置 2 0 に表示させる楽譜のページを表わす楽譜データSDを含む楽譜イベントデータである場合には、CPU 17 aは、ステップ S 3 2 にて、現在の動作モードが単独モード又は制御モードのいずれのモードであるか判定する。現在の動作モードが単独モードである場合には、ステップ S 2 4 に戻る。一方、現在の動作モードが制御モードである場合には、ステップ S 3 4 にて、図 1 5 に示す制御音生成プログラムを実行する。

30

【0044】

以下、図 1 5 及び図 1 6 を用いて、制御音の生成について具体的に説明する。なお、図 1 6 の例においては、楽譜データSDの最下位ビットLSB側から最上位ビットMSB側へ向かうシンボルの値の順列が「0101・・・」であるとする。そして、楽譜データSDの最下位ビットLSB側から最上位ビットMSB側へ向かう隣り合う2つのビットには、制御波形データG4、制御波形データG1、制御波形データG8、制御波形データG3・・・がそれぞれ対応している。すなわち、第0ビット及び第1ビットには、制御波形データG4が対応していて、第1ビット及び第2ビットには、制御波形データG1が対応している。また、第2ビット及び第3ビットには、制御波形データG8が対応していて、第3ビット及び第4ビットには、制御波形データG3が対応している。また、図 1 6 においては、後述するステップの実行タイミングに対応する位置にそのステップの番号を記載している。

40

【0045】

CPU 17 aは、ステップ S 4 0 にて制御音生成処理を開始すると、ステップ S 4 2 にて、前記楽譜データSDの先頭部分の2つのシンボル(すなわち、第0ビット及び第1ビ

50

ット)を最初の処理対象のシンボルとして選択する。つぎに、CPU 17aは、ステップS 44にて、制御波形データG 1～G 8のうち、前記選択した2つのシンボルに対応した制御波形データ(図16の例においては、制御波形データG 4)を選択して、前記選択した制御波形データの各種アドレスを、楽音パラメータ入出力回路15bにおける発音チャンネルCH 31の処理用レジスタに書き込む。なお、各種アドレスとは、先頭アドレス、末尾アドレス、ループ先頭アドレス及びループ終端アドレスである。ループ先頭アドレスは、制御波形データを構成する基本波形データの先頭アドレスである。また、ループ終端アドレスは、末尾アドレスである。

【0046】

つぎに、CPU 17aは、ステップS 46にて、前記ステップS 44において選択した制御波形データを用いたデジタル音信号の生成開始を発音チャンネルCH 31に指示する。発音チャンネルCH 31のアドレス発生回路ADRは、サンプリング周期ごとに、オフセットアドレスをインクリメントすることにより、処理用レジスタに書き込まれている先頭アドレスを起点として、読み出しアドレスを1つずつ進める。そして、アドレス発生回路ADRは、読み出しアドレスに記憶されている波高値を読み出す。このようにして、発音チャンネルCH 31は、ステップS 44において選択した制御波形データに対応するデジタル音信号を生成する。

【0047】

つぎに、CPU 17aは、ステップS 48にて、読み出しアドレスが、処理用レジスタに書き込まれているループ先頭アドレスを超えているか否かを判定する。すなわち、オフセットアドレスが、先頭アドレスと無音部分の終端に対応するアドレスとの差分よりも大きいか否かを判定する。読み出しアドレスが、ループ先頭アドレスを超えていなければ、CPU 17aは、再びステップS 48を実行する。一方、読み出しアドレスが、ループ先頭アドレスを超えていれば、CPU 17aは、ステップS 50にて、処理対象のシンボルに楽譜データSDの最上位ビットMSBが含まれているか否かを判定する。処理対象のシンボルに、楽譜データSDの最上位ビットMSBが含まれていないときには、CPU 17aは、「No」と判定して、ステップS 52に処理を進める。CPU 17aは、ステップS 52にて、処理対象の2つのシンボルを1ビット分だけ楽譜データSDの最上位ビットMSB側にずらして、次の処理対象の2つのシンボルとして選択する。例えば、最初、処理対象のシンボルは、ステップS 42において、楽譜データSDの第0ビット及び第1ビットに設定されているので、ステップS 52の初回の実行時には、楽譜データSDの第2ビット及び第1ビットを処理対象のシンボルとして選択する。

【0048】

つぎに、CPU 17aは、ステップS 54にて、前記ステップS 52において選択した処理対象のシンボルに対応する制御波形データを選択し、選択した制御波形データの各種アドレスを、楽音パラメータ入出力回路15bにおける発音チャンネルCH 31の予約用レジスタに書き込む。つぎに、CPU 17aは、ステップS 56にて、読み出しアドレスが、処理用レジスタに書き込まれているループ終端アドレスに到達したか否かを判定する。読み出しアドレスが、ループ終端アドレスに到達していなければ、CPU 17aは、「No」と判定して、再びステップS 56を実行する。一方、読み出しアドレスがループ終端アドレスに到達していれば、CPU 17aは、「Yes」と判定して、ステップS 48に戻る。

【0049】

発音チャンネルCH 31においては、読み出しアドレスが、ループ終端アドレスに到達すると、アドレス発生回路ADRが、予約用レジスタに書き込まれた各種アドレスを処理用レジスタにコピーする。この段階においては、オフセットアドレスは、変更されない。そして、アドレス発生回路ADRは、次のサンプリング周期における読み出しアドレスを、以下のようにして設定する。まず、アドレス発生回路ADRは、前記処理用レジスタにコピーされた先頭アドレスにオフセットアドレスを加算する。この場合、前記加算処理により算出されたアドレスは、処理用レジスタにコピーされた末尾アドレス(ループ終端ア

10

20

30

40

50

ドレス)に相当する。したがって、オフセットアドレスを、処理用レジスタにコピーされた先頭アドレスとループ先頭アドレスとのオフセット量に設定する。これにより、次のサンプリング周期における読み出しアドレスが、処理用レジスタにコピーされたループ先頭アドレスに設定される。

【0050】

以降、CPU17aは、上記のステップS48～ステップS56からなる処理を繰り返すことにより、処理対象の2つのシンボルにそれぞれ対応した制御波形データ(図16の例においては、制御波形データG4、制御波形データG1、制御波形データG8、制御波形データG3・・・)を順に選択するごとに、それらの各種アドレスを予約レジスタに書き込む。そして、ステップS50において、処理対象のシンボルに、楽譜データSDの最上位ビットMSBが含まれていると、CPU17aは、「Yes」と判定し、ステップS58にて、予約用レジスタをクリアする。例えば、予約用レジスタに、先頭アドレス、末尾アドレス、ループ先頭アドレス及びループ終端アドレスとして、「0」をそれぞれ書き込む。予約レジスタに「0」が書き込まれているとき、発音チャンネルCH31は、再生中の制御波形データの末尾のデータを読み出して再生した後、発音を停止する。そして、CPU17aは、ステップS60にて、制御音生成処理を終了する。

10

【0051】

再び、自動演奏処理(図14)の説明に戻る。イベント処理バッファに記憶されているイベントデータがその他のデータである場合には、ステップS36にて、そのイベントデータに応じた処理を実行して、ステップS24に戻る。例えば、イベントデータが音色を変更するプログラムチェンジデータである場合には、音色を変更することを表す楽音制御パラメータを生成して音源回路15に出力し、ステップS24に戻る。また、ステップS26において記憶したイベントデータがエンドデータである場合には、CPU17aは、ステップS38にて、自動演奏処理を終了する。

20

【0052】

つぎに、楽譜表示装置20について説明する。楽譜表示装置20は、小型コンピュータ、携帯電話などの携帯情報端末であり、図17に示すように、パネル操作子21、表示器22、表示制御回路23、タッチパネル24、操作子インターフェース回路25、コンピュータ部26、通信インターフェース回路27、集音装置28及び復号回路29を備えている。パネル操作子21は、楽譜表示装置20の電源をオン・オフするための電源スイッチ、表示器22の明るさを調整するボタンなどからなる。パネル操作子21は、操作子インターフェース回路25に接続されていて、操作子インターフェース回路25によって、パネル操作子21の操作状態が検出される。

30

【0053】

表示器22は、液晶ディスプレイ(LCD)によって構成され、表示画面上に文字、図形などを表示する。この表示器22の表示は、表示制御回路23によって制御される。楽譜表示装置20の表示器22の表示領域は、演奏装置10の表示器14の表示領域よりも広い。表示制御回路23は、バスBUSを介して、後述のコンピュータ部26から表示器22に表示する画像を表す画像データを入力する。

【0054】

タッチパネル24は、表示器22の表示画面に重なるようにして配置されている。タッチパネル24も操作子インターフェース回路25に接続されていて、操作子インターフェース回路25によって制御されて、ユーザによってタッチされた位置の座標を表す座標データを操作子インターフェース回路25に出力する。

40

【0055】

操作子インターフェース回路25は、パネル操作子21の操作及びタッチパネル24の操作に関する各種データを、バスBUSを介して、コンピュータ部26に供給する。

【0056】

コンピュータ部26は、演奏装置10のコンピュータ部17と同様に、CPU26a、タイマ26b、ROM26c及びRAM26dからなる。また、通信インターフェース回

50

路 27 は、楽譜表示装置 20 をパーソナルコンピュータなどの M I D I 対応の外部機器に、無線又は有線で接続可能にするとともに、インターネットなどの通信ネットワークに接続可能にしている。

【 0 0 5 7 】

集音装置 28 は、音響信号を入力するマイク及び増幅回路からなる。集音装置 28 は、楽譜表示装置 20 の角部であって、楽譜表示装置 20 が演奏装置 10 に取り付けられたとき、演奏装置 10 の左側のスピーカに近い位置に設けられている（図 1 参照）。復号回路 29 は、集音装置 28 によって集音されて増幅された音響信号を入力し、演奏装置 10 によって放音された制御音から楽譜データ S D を復号する。復号回路 29 に入力された音響信号は、図 18 に示すように、ハイパスフィルタ 29 a に入力される。ハイパスフィルタ 29 a は、入力した音響信号から、制御音の周波数帯域よりも低い周波数帯域に含まれる周波数成分を除去して、遅延部 29 b 及び乗算部 29 c に出力する。

【 0 0 5 8 】

遅延部 29 b は、入力した信号を差動符号の 1 チップ分の時間だけ遅延させて乗算部 29 c に出力する。乗算部 29 c は、ハイパスフィルタ 29 a から入力した信号と、遅延部 29 b から入力した信号とを乗算することにより、遅延検波処理を実行する。そして、乗算部 29 c からの出力信号は、ローパスフィルタ 29 d によって、ベースバンド信号に変換され、相関部 29 e に入力される。相関部 29 e は、拡散符号 P N（図 6 参照）を用いて、相関係数を出力する。そして、相関部 29 e から出力された相関係数は、ピーク検出部 29 f に入力され、ピーク検出部 29 f において、拡散符号 P N の周期で、入力された相関係数のうちの正負のピーク成分が抽出される。抽出されたピーク成分の値は、符号判定部 29 g に入力される。符号判定部 29 g は、入力したピーク成分の値が「 1 」であれば、符号（すなわち、楽譜データ S D を構成するシンボル）の値を「 0 」とし、入力したピーク成分の値が「 - 1 」であれば、符号の値を「 1 」とする。

【 0 0 5 9 】

なお、制御波形データは、シンボルの中間から隣のシンボルの中間までに相当するので、楽譜データ S D の最下位ビット L S B 及び最上位ビット M S B にそれぞれ対応する差動符号の端部の 5 ビット（又は、6 ビット）の部分に相当する制御音が放音されない。そのため、復号した楽譜データ S D の最下位ビット L S B 及び最上位ビット M S B の値は、演奏装置 10 が送信した楽譜データ S D の最下位ビット L S B 及び最上位ビット M S B の値とは異なることがある。しかし、上記のように、楽譜データ S D の最下位ビット L S B 及び最上位ビット M S B のデータは、ダミーデータであるので問題ない。上記のようにして、復号された楽譜データ S D は、バス B U S を介して C P U 26 a に出力され、C P U 26 a は、入力した楽譜データ S D に対応する画像データを、R O M 26 c から読み出して、表示制御回路 23 に出力する。これにより、復号した楽譜データ S D に対応する画像が表示器 22 に表示される。すなわち、演奏装置 10 による演奏の進行に応じて、楽譜の画像が表示器 22 に表示される。なお、集音装置 28 によって集音されて増幅された音響信号を、復号回路 29 ではなくコンピュータ部 26 に入力し、C P U 26 a は、復号回路 29 を用いることなく、入力した音響信号から楽譜データ S D を復号するプログラムを実行するようにしてもよい。

【 0 0 6 0 】

上記のように構成した演奏装置 10 によれば、演奏装置 10 と楽譜表示装置 20 とをケーブルによって接続する必要が無いので、簡単に楽譜データ S D を楽譜表示装置 20 に送信できる。また、演奏装置 10 と楽譜表示装置 20 とをケーブルによって接続する場合に比べて、楽譜表示装置 20 の配置位置の制限が緩和される。また、上記従来の情報伝達装置のような変調器を搭載する必要が無いので、コストダウンできる。また、複数の制御波形データを組み合わせることにより、任意の楽譜データ S D に対応する制御音を生成することができるので、値の異なる楽譜データ S D ごとに搬送波を変調した制御音全体の波形データをそれぞれ記憶しておく場合に比べて、波形メモリ W M の容量を大幅に節約できる。また、制御波形データは、差動符号の切り替わり部分がデータの中央に位置する基本波

10

20

30

40

50

形データからなるようにした。したがって、前記切り替わり部分が制御波形データの末尾に位置する場合とは異なり、前記切り替わり部分に対応する制御音の区間が不連続になることがない。これにより、楽譜表示装置 20 における楽譜データ S D の復号の精度を向上させることができる。

【 0 0 6 1 】

また、発音チャンネル C H 3 1 のループ機能を用いて、楽譜データ S D を構成する隣り合う 2 つのシンボルにそれぞれ対応する複数の制御波形データを連続して読み出すようにした。これらの複数の制御波形データの発音を、1 つ又は複数の発音チャンネルに割り当てて、複数の制御波形データごとに発音開始を指示する場合、1 つの制御波形データの発音が終了すると同時に、次の制御波形データを割り当てた発音チャンネルに発音を開始させる必要がある。すなわち、複数の制御波形データの読み出し開始タイミングを C P U 1 7 a 又は音源回路 1 5 によって調整する必要がある。しかし、上記のように構成すれば、複数の制御波形データを全体として途切れることなく、簡単かつ確実に再生できる。したがって、C P U 1 7 a、音源回路 1 5 及び制御音制御プログラムの構成を簡単にできる。また、上記のように、楽譜データ S D に対応する制御音全体として途切れることが無いので、楽譜表示装置 20 における楽譜データ S D の復号の精度を向上させることができる。また、上記のように構成した場合、制御音において、シンボルの境界付近に相当する部分に、ローパスフィルタ W P 3 及びヒルベルト変換部 W P 4 における処理の影響が生じる。そこで、基本波形データ g 1 ~ g 8 をシンボル（差動符号）の境界を中心として取り出すようにした。したがって、送信する楽譜データ S D のシンボルの各境界に相当する部分において、広帯域に亘る雑音が発生することを防止できるので、演奏を妨げることが無い。

【 0 0 6 2 】

また、演奏装置 1 0 が制御モードに設定されているとき、制御音を生成する発音チャンネル C H 3 1 の音量を一定にした。すなわち、ユーザがマスターボリューム操作子を操作しても、楽音のパートの音量を変化させるだけで、制御音の音量を最大音量に固定するようにした。また、制御音の音程が元ピッチのままであるように、発音チャンネル C H 3 1 のアドレス発生回路 A D R 及び補間回路 S P I を設定した。したがって、楽譜表示装置 20 における楽譜データ S D の復号の精度を一定に保つことができる。なお、制御音の周波数帯域は、1 8 k H z を中心とした高く、かつ狭い帯域であるので、音量を最大音量に固定しても、ユーザは、制御音の発生をほとんど認識できない。したがって、演奏を妨げることが無い。

【 0 0 6 3 】

また、制御音を左側のスピーカのみから発生するようにした。したがって、複数のスピーカから同時に制御音を発生した場合に発生する複数の制御音同士の干渉を防止することができる。これにより、楽譜表示装置 20 による楽譜データ S D の復号の精度が低下することを防止できる。

【 0 0 6 4 】

さらに、本発明の実施にあたっては、上記実施形態に限定されるものではなく、本発明の目的を逸脱しない限りにおいて種々の変更が可能である。

【 0 0 6 5 】

例えば、上記実施形態においては、発音チャンネル C H 3 1 のループ機能を用いて、複数の制御波形データを途切れることなく連続的に読み出して再生するようにした。しかし、制御音に限られず、発音チャンネル C H 1 ~ C H 3 0 のループ機能を用いて、複数の楽音波形データを途切れることなく連続的に読み出して再生するようにしてもよい。これによれば、連続的に読み出す複数の楽音波形データの順列を変更することにより、多様な音色の楽音を発生させることができる。また、これらの音色の楽音波形データを全体として波形メモリ W M にそれぞれ記憶しておく場合に比べて、波形メモリ W M の容量を大幅に節約することができる。

【 0 0 6 6 】

また、上記実施形態においては、曲データ中に、楽譜データ S D を楽譜イベントデータ

として埋め込んでおき、この楽譜イベントデータを検出したとき、制御音生成処理を実行するようにした。しかし、パネル操作子12のうちのいずれかの操作子に、楽譜のページを変更する機能を割り当てておき、前記操作子が操作されたことを検出したとき、制御音生成処理を実行するようにしてもよい。

【0067】

また、上記実施形態においては、ステップS52及びステップS54を実行して、処理対象のシンボルを選択するごとに、対応する制御波形データを選択するようにしたが、ステップS46による発音開始指示の前に、楽譜データSDに対応する制御波形データの順列を決定するようにしておいてもよい。そして、ステップS52及びステップS54に代えて、前記予め決定した順列に従って、制御波形データの先頭アドレス、末尾アドレス、ループ開始アドレス及びループ終端アドレスを楽音パラメータ入出力回路15bに書き込むようにしてもよい。この場合、所定の楽譜データSDと制御波形データの順列との関係を表わしたテーブルを記憶しておき、このテーブルに従って、制御波形データの順列を決定するようにしてもよい。これによれば、制御音生成プログラムにおける、処理対象シンボルを選択するごとに、前記選択したシンボルに対応する制御波形データを選択する必要が無いので、制御音生成プログラムを簡単にできる。

10

【0068】

また、上記実施形態においては、ユーザがマスターボリューム操作子を操作しても、楽音のパートの音量を変化させるだけで、制御音の音量を最大音量に固定するようにした。しかし、制御音の音量をマスターボリューム操作子の操作に連動させてもよい。この場合、楽音のパートの音量の低下に比べて、制御音の音量の低下が小さくなるように構成すればよい。

20

【0069】

また、例えば、楽音の周波数成分のうち、制御音の周波数帯域に含まれる周波数成分の音量が、制御音の音量よりも十分小さくなるように、楽音を発生する発音チャンネルのフィルタ回路FLTのカットオフ周波数を調整してもよい。また、楽音をサンプリングするときに、制御音の周波数帯域に含まれる周波数成分の音量を十分小さくしておいてもよい。例えば、楽音の周波数成分のうち制御音の周波数帯域に含まれる周波数成分の音量と、制御音の音量との差を10dB以上にするとよい。また、楽音の周波数帯域が制御音の周波数帯域に重ならないように、楽音を発生する発音チャンネルのフィルタ回路FLTのカットオフ周波数を調整してもよい。また、楽音をサンプリングするときに、制御音の周波数帯域に含まれる周波数成分を予め除去しておいてもよい。これによれば、楽譜表示装置20における楽譜データSDの復号の精度をさらに向上させることができる。

30

【0070】

また、例えば、図19A及び図19Bに示すように、基本波形データg1～g8を2つずつ組み合わせた、制御波形データG14, G16, …, G23, G24, …, G84, G87を波形メモリWMに記憶しておいてもよい。基本波形データg1～g8を2つずつ組み合わせることにより、最大で56種類の制御波形データを構成することができる。しかし、連続することがありえない基本波形データを組み合わせる制御波形データは不要であるので、図20に丸印で示した、28種類の制御波形データを波形メモリWMに記憶しておけばよい。それぞれの制御波形データは、先頭に共通の長さの無音部分を有している。ただし、上記実施形態と同様に、この無音部分を設けなくてもよい。

40

【0071】

この場合、図15の制御音生成プログラムに代えて、図21の制御音生成プログラムを実行する。すなわち、CPU17aは、ステップS70にて制御音生成処理を開始すると、ステップS72にて、楽譜データSDの各シンボルの値の順列に応じて、制御波形データの順列を決定する。図22に示す例において、楽譜データSDの最下位ビットLSB側から最上位ビットMSB側へ向かうシンボルの値の順列が「0101・・・」であるとすると、この場合、CPU17aは、まず、楽譜データSDの第0ビットと第1ビットの値に

50

対応する制御波形データG41を第1の制御波形データとして選択する。すなわち、制御波形データG41を構成する、基本波形データg4の後半部と基本波形データg1の前半部とが、楽譜データSDの第0ビットの値に対応している。また、基本波形データg1の後半部と、次に説明する第2の制御波形データを構成する基本波形データg8の前半部とが、楽譜データSDの第1ビットの値に対応している。

【0072】

つぎに、CPU17aは、楽譜データSDの第1ビット及び第2ビットの値、並びに第1の制御波形データに対応する制御波形データG81を第2の制御波形データとして選択する。すなわち、制御波形データG81は、第1の制御波形データと同様に後段部が基本波形データg1により構成されている。また、制御波形データG81を構成する基本波形データg8の前半部は、基本波形データg1の後半部に対応している。また、基本波形データg8の後半部と、次に説明する第3の制御波形データを構成する基本波形データg3の前半部分とが、楽譜データSDの第2ビットの値に対応している。

10

【0073】

つぎに、CPU17aは、楽譜データSDの第2ビット及び第3ビットの値、並びに第2の制御波形データに対応する制御波形データG83を第3の制御波形データとして選択する。すなわち、制御波形データG83は、第2の制御波形データと同様に前段部が基本波形データg8により構成されている。また、制御波形データG83を構成する基本波形データg3の後半部は、楽譜データSDの第3ビットの値に対応している。

20

【0074】

楽譜データSDの容量は、4バイト(32ビット)であるが、CPU17aは、第3ビットよりも上位に位置する隣り合う2つのシンボルに対応する第4の制御波形データ~第32の制御波形データについても、上記の第0ビット~第3ビットの場合と同様にして選択する。すなわち、次の4つの条件を満たすように制御波形データを選択する。第1の条件は、楽譜データの対象のシンボルに対応した制御波形データであることである。第2の条件は、偶数番目の制御波形データの後段部は、1つ前の奇数番目の制御波形データの後段部と同じ基本波形データで構成され、奇数番目の制御波形データの前段部は、1つ前の偶数番目の制御波形データの前段部と同じ基本波形データで構成されていることである。第3の条件は、偶数番目の制御波形データの後段部の基本波形データの後半部と、その制御波形データの前段部を構成する基本波形データの前半部は、同一の差動符号に対応していることである。第4の条件は、奇数番目の制御波形データの前段部の基本波形データの後半部と、その制御波形データの後段部の基本波形データの前半部は、同一の差動符号に対応していることである。

30

【0075】

つぎに、制御波形データの読み出しについて説明する。まず、CPU17aは、ステップS74にて、処理中の制御波形データを識別するための制御波形カウンタnを「1」に初期化する。つぎに、CPU17aは、ステップS76にて、第1の制御波形データの各種アドレスを楽音パラメータ入出力回路15bにおける発音チャンネルCH31の処理用レジスタに書き込む。図22の例においては、制御波形データG41の各種アドレスを楽音パラメータ入出力回路15bにおける発音チャンネルCH31の処理用レジスタに書き込む。なお、ループ先頭アドレスは、無音部分の終端に対応するアドレスである。つぎに、CPU17aは、ステップS78にて、第1の制御波形データを用いたデジタル音信号の生成開始を発音チャンネルCH31に指示して、制御音の発音開始を指示する。

40

【0076】

つぎに、CPU17aは、ステップS80にて、読み出しアドレスが、第nの制御波形データのループ中央アドレス(制御波形データを構成する2つの基本波形データのうちの後段部の基本波形データの先頭アドレス)を超えているか否かを判定する。読み出しアドレスが、第nの制御波形データのループ中央アドレスを超えていなければ、CPU17aは、「No」と判定して、再びステップS80を実行する。一方、読み出しアドレスが、第nの制御波形データのループ中央アドレスを超えていれば、CPU17aは、「Yes

50

」と判定して、ステップS 8 2にて、制御波形カウンタnをインクリメントする。最初、制御波形カウンタnは、「1」に初期化されているから、第1の制御波形データである制御波形データG 4 1のループ中央アドレスを超えていれば、制御波形データを「2」に設定する。

【0077】

つぎに、CPU 17 aは、ステップS 8 4にて、第nの制御波形データの各種アドレスを楽音パラメータ入出力回路15 bにおける発音チャンネルCH 3 1の処理用レジスタに書き込む。ループ先頭アドレスは、第nの制御波形データの前段部を構成する基本波形データの先頭アドレスである。ループ終端アドレスは、第nの制御波形データの末尾アドレスである。発音チャンネルCH 3 1のアドレス発生回路ADRは、第nの制御波形データの先頭アドレスにオフセットアドレスを加算したアドレスを読み出しアドレスとして算出する。このとき、オフセットアドレスは、上記ステップS 8 4の実行によっては変化しない。上記のように、偶数番目の制御波形データとその1つ前の奇数番目の制御波形データは、後段部が同じ基本波形データから構成されていて、かつステップS 8 4による先頭アドレスの変更前後において、オフセットアドレスが変化しないため、アドレス発生回路ADRは、同一の基本波形データの読み出しを継続することができる。

10

【0078】

例えば、図2 2の例においては、第1の制御波形データ及び第2の制御波形データの後段部は、基本波形データg 1から構成されており、アドレス発生回路ADRは、ステップS 8 4の実行前後において、基本波形データg 1の読み出しを継続することができる。そして、アドレス発生回路ADRは、第nの制御波形データにおけるループ終端アドレスまで読み出しアドレスを進めると、次のサンプリング周期における読み出しアドレスを、ループ開始アドレスに設定する。すなわち、オフセットアドレスを先頭アドレスとループ開始アドレスとの差に設定する。そして、第nの制御波形データの前段部の基本波形データの読み出しを開始する。図2 2の例においては、制御波形データG 8 1におけるループ終端アドレスまで読み出しアドレスを進めると、次のサンプリング周期における読み出しアドレスを、制御波形データG 8 1の前段部を構成する基本波形データg 8の先頭アドレスに設定する。

20

【0079】

つぎに、CPU 17 aは、ステップS 8 6にて、読み出しアドレスが、末尾アドレスからループ開始アドレスに遷移したか否かを判定する。未だ、読み出しアドレスが末尾アドレスからループ開始アドレスに遷移していなければ、CPU 17 aは、「No」と判定して、再びステップS 8 6を実行する。

30

【0080】

一方、読み出しアドレスが末尾アドレスからループ開始アドレスに遷移していれば、CPU 17 aは「Yes」と判定して、ステップS 8 8にて、制御波形カウンタnをインクリメントする。図2 2の例において、読み出しアドレスが、第2の制御波形データの末尾アドレスに到達して、第2の制御波形データの前段部を構成する基本波形データg 8の先頭アドレスに遷移していれば、制御波形カウンタnを「3」に設定する。そして、CPU 17 aは、ステップS 9 0にて、第nの制御波形データの各種アドレスを楽音パラメータ入出力回路15 bの処理用レジスタに書き込む。この場合、ループ先頭アドレスは、第nの制御波形データの前段部を構成する基本波形データの先頭アドレスであり、ループ終端アドレスは、第nの制御波形データの末尾アドレスである。

40

【0081】

発音チャンネルCH 3 1のアドレス発生回路ADRは、第nの制御波形データの先頭アドレスにオフセットアドレスを加算したアドレスを読み出しアドレスとして設定する。この場合も、オフセットアドレスは、上記ステップS 9 0の実行によっては変化しない。上記のように、奇数番目の制御波形データと、その1つ前の偶数番目の制御波形データは、前段部が同じ基本波形データから構成されていて、かつステップS 8 0による先頭アドレスの変更前後において、オフセットアドレスが変化しないため、アドレス発生回路ADR

50

は、同一の基本波形データの読み出しを継続することができる。例えば、図 22 の例においては、第 2 の制御波形データ及び第 3 の制御波形データの前段部は、基本波形データ g 8 から構成されており、アドレス発生回路 ADR は、ステップ S 90 の実行前後において、基本波形データ g 8 の読み出しを継続することができる。

【 0 0 8 2 】

つぎに、CPU 17 a は、ステップ S 92 にて、制御波形カウンタ n の値が「 3 2 」であるか否かを判定することにより、楽譜データ SD を構成する 3 2 ビット分の制御音を生成するための指示を終了したか否かを判定する。制御波形カウンタ n の値が「 3 2 」とは異なっていれば、CPU 17 a は「 No 」と判定してステップ S 80 に処理を進める。一方、制御波形カウンタ n の値が「 3 2 」であれば、CPU 17 a は、「 Yes 」と判定して、ステップ S 94 にて、読み出しアドレスが第 n の制御波形データの末尾アドレスに到達したか否かを判定する。未だ、読み出しアドレスが第 n の制御波形データの末尾アドレスに到達していないときには、CPU 17 a は、「 No 」と判定して再びステップ S 94 を実行する。一方、読み出しアドレスが第 n の制御波形データの末尾アドレスに到達したときには、CPU 17 a は「 Yes 」と判定して、ステップ S 96 にて、発音チャンネル CH 31 にデジタル音信号の生成の停止を指示して、制御音の生成を停止させ、ステップ S 98 にて、制御音生成処理を終了して、自動演奏処理に戻る。

【 0 0 8 3 】

これによれば、上記実施形態とは異なり、予約用レジスタが不要であるので、楽音パラメータ入出力回路 15 b の構成を簡単にできる。

【 0 0 8 4 】

また、例えば、図 23 A 及び図 23 B に示すように、基本波形データ g 1 ~ g 8 の前部に基本波形データ g 1 ~ g 8 と同じ長さの無音部分をそれぞれ設け、さらにその前部に短い無音部分を設けた制御波形データ G 0 1 ~ G 0 8 及び基本波形データ g 1 ~ g 8 の後部に基本波形データ g 1 ~ g 8 と同じ長さの無音部分をそれぞれ設け、さらに基本波形データ g 1 ~ g 8 の前部に短い無音部分を設けた制御波形データ G 1 0 ~ G 8 0 を波形メモリ WM に記憶しておいてもよい。制御波形データ G 0 1 ~ G 0 8 及び制御波形データ G 1 0 ~ G 8 0 の先頭部分に設けた短い無音部分の長さは共通であるが、上記実施形態と同様に、この短い無音部分を設けなくてもよい。

【 0 0 8 5 】

なお、この場合、波形メモリ WM には、基本波形データ g 1 ~ g 8 と、無音部分とを交互に連続するアドレスに配置している。この無音部分の長さは、基本波形データと同じ長さの無音部分と、前記先頭に設けた短い無音部分を足した長さである。そして、無音部分が基本波形データ g 1 ~ g 8 の前部に配置されるように先頭アドレス及び末尾アドレスを指定することにより、制御波形データ G 0 1 ~ G 0 8 のうちの 1 つの制御波形データを選択する。また、無音部分が基本波形データ g 1 ~ g 8 の前部及び後部に配置されるように先頭アドレス及び末尾アドレスを指定することにより、制御波形データ G 1 0 ~ G 8 0 のうちの 1 つの制御波形データを選択する。

【 0 0 8 6 】

この場合、上記実施形態及びその変形例とは異なり、制御音の生成のために、発音チャンネル CH 30 と発音チャンネル CH 31 が用いられる。すなわち、演奏装置 10 が、楽譜表示装置 20 を制御する制御モードに設定されているときは、発音チャンネル CH 30 及び発音チャンネル CH 31 は、制御音のデジタル音信号を生成する発音チャンネルとして設定され、発音チャンネル CH 30 及び発音チャンネル CH 31 から出力されたデジタル音信号は、エフェクト処理回路 15 a 2 には出力されず、音量調整回路 15 a 3 へのみ出力される。また、上記実施形態と同様に、制御音用の音量調整回路 15 a 3 に供給される音量設定パラメータの値は、固定値（例えば、最大値「 1 2 7 」）である。また、制御音用のパン調整回路 15 a 4 に供給されるパン設定パラメータの値も固定値（例えば、左側スピーカのみから出力する設定値）である。

【 0 0 8 7 】

10

20

30

40

50

また、この場合、CPU 17 aは、図 15 の制御音生成プログラムに代えて、図 24 の制御音生成プログラムを実行する。CPU 17 aは、ステップ S 100 にて制御音生成処理を開始すると、ステップ S 102 にて、楽譜データ S D の各シンボルの値の順列に応じて、制御波形データの順列を決定する。図 25 に示す例においては、楽譜データ S D の最下位ビット L S B 側から最上位ビット M S B 側へ向かうシンボルの値の順列が「0 1 0 1 . . .」であるとする。この場合、CPU 17 aは、まず、楽譜データ S D の第 0 ビットと第 1 ビットの値に対応する制御波形データ G 4 0 を第 1 の制御波形データとして選択し、制御波形データ G 0 1 を第 2 の波形データとして選択する。第 1 の制御波形データは、発音チャンネル C H 3 0 によって読み出され、第 2 の制御波形データは、発音チャンネル C H 3 1 によって読み出される。制御波形データ G 4 0 を構成する基本波形データ g 4 の後半部と、制御波形データ G 0 1 を構成する基本波形データ g 1 の前半部とが、楽譜データ S D の第 0 ビットの値に対応している。また、基本波形データ g 1 の後半部と、次に説明する第 3 の制御波形データを構成する基本波形データ g 8 の前半部とが、楽譜データ S D の第 1 ビットの値に対応している。

【 0 0 8 8 】

つぎに、CPU 17 aは、楽譜データ S D の第 1 ビット及び第 2 ビットの値、並びに第 1 の制御波形データに対応する制御波形データ G 8 0 を第 3 の制御波形データとして選択し、制御波形データ G 0 3 を第 4 の制御波形データとして選択する。第 3 の制御波形データは、発音チャンネル C H 3 0 によって読み出され、第 4 の制御波形データは、発音チャンネル C H 3 1 によって読み出される。制御波形データ G 8 0 を構成する基本波形データ g 8 の後半部と、制御波形データ G 0 3 を構成する基本波形データ g 3 の前半部とが、楽譜データ S D の第 2 ビットの値に対応している。

【 0 0 8 9 】

楽譜データ S D は 4 バイト (3 2 ビット) であるが、第 3 ビット以上の隣り合う 2 つのシンボルに対応する第 5 の制御波形データ ~ 第 3 2 の制御波形データについても、上記の第 0 ビット ~ 第 2 ビットの場合と同様にして選択する。すなわち、奇数番目の制御波形データの後段部は無音部分であり、偶数番目の制御波形データの前段部は無音部分である。そして、奇数番目の制御波形データの前段部を構成する基本波形データの後半部と、その 1 つ後の偶数番目の制御波形データの後段部を構成する基本波形データの前半部とが、楽譜データ S D の 1 つのシンボルに対応し、この偶数番目の制御波形データの後段部を構成する基本波形データの後半部と、さらに 1 つ後の奇数番目の制御波形データの前半部とが、楽譜データ S D の 1 つのシンボルに対応するように、制御波形データを選択する。

【 0 0 9 0 】

つぎに、CPU 17 aは、ステップ S 104 にて、発音チャンネル C H 3 0 において処理中の制御波形データを識別するための制御波形カウンタ n を「 1 」に初期化し、発音チャンネル C H 3 1 において処理中の制御波形データを識別するための制御波形カウンタ m を「 2 」に初期化する。つぎに、CPU 17 aは、ステップ S 106 にて、第 1 の制御波形データの各種アドレスを楽音パラメータ入出力回路 15 b の発音チャンネル C H 3 0 の処理用レジスタに書き込む。なお、ループ先頭アドレスは、第 1 の制御波形データを構成する基本波形データの先頭アドレスである。ループ終端アドレスは、末尾アドレスである。図 25 の例においては、制御波形データ G 4 0 の各種アドレスを楽音パラメータ入出力回路 15 b の発音チャンネル C H 3 0 の処理用レジスタに書き込む。

【 0 0 9 1 】

つぎに、CPU 17 aは、ステップ S 108 にて、第 2 の制御波形データの各種アドレスを楽音パラメータ入出力回路 15 b の発音チャンネル C H 3 1 の処理用レジスタに書き込む。なお、ループ先頭アドレスは、第 2 の制御波形データを構成する基本波形データの前部に設けられた、基本波形データと同じ長さの無音部分の先頭に対応するアドレスである。ループ終端アドレスは、末尾アドレスである。図 25 の例においては、制御波形データ G 0 1 の各種アドレスを楽音パラメータ入出力回路 15 b の発音チャンネル C H 3 1 の処理用レジスタに書き込む。

10

20

30

40

50

【 0 0 9 2 】

つぎに、CPU 17 aは、ステップ S 1 1 0 にて、第 1 の制御波形データ及び第 2 の制御波形データを用いたデジタル音信号の生成開始を発音チャンネル CH 3 0 及び発音チャンネル CH 3 1 にそれぞれ指示して、両チャンネルに制御音の発音を同時に開始させる。第 2 の制御波形データの前半は無音部分なので、最初、発音チャンネル CH 3 0 のみが発音する。

【 0 0 9 3 】

つぎに、CPU 17 aは、ステップ S 1 1 2 にて、発音チャンネル CH 3 0 の読み出しアドレスが、第 n の制御波形データのループ中央アドレス（制御波形データを構成する基本波形データの後部に付加された無音部分の先頭に対応するアドレス）を超えているか否かを判定する。発音チャンネル CH 3 0 の読み出しアドレスが、第 n の制御波形データのループ中央アドレスを超えていなければ、CPU 17 aは、再びステップ S 1 1 2 を実行する。一方、発音チャンネル CH 3 0 の読み出しアドレスが、第 n の制御波形データのループ中央アドレスを超えていれば、CPU 17 aは、ステップ S 1 1 4 にて、制御波形カウンタ n に「 2 」を加算する。

【 0 0 9 4 】

つぎに、CPU 17 aは、ステップ S 1 1 6 にて、第 n の制御波形データの各種アドレスを楽音パラメータ入出力回路 1 5 b の発音チャンネル CH 3 0 の処理用レジスタに書き込む。この場合、ループ先頭アドレスは、第 n の制御波形データを構成する基本波形データの先頭アドレスである。ループ終端アドレスは、末尾アドレスである。最初、制御波形カウンタ n は「 1 」に初期化されているので、読み出しアドレスが、第 1 の制御波形データのループ中央アドレスを超えていれば、ステップ S 1 1 4 にて、制御波形カウンタ n を「 3 」に設定し、ステップ S 1 1 6 にて、第 3 の制御波形データの各種アドレスを楽音パラメータ入出力回路 1 5 b の発音チャンネル CH 3 0 の処理用レジスタに書き込む。図 2 5 の例においては、読み出しアドレスが、制御波形データ G 4 0 のループ中央アドレスを超えていれば、制御波形データ G 8 0 の各種アドレスを楽音パラメータ入出力回路 1 5 b の発音チャンネル CH 3 0 の処理用レジスタに書き込む。

【 0 0 9 5 】

発音チャンネル CH 3 0 のアドレス発生回路 ADR は、先頭アドレスにオフセットアドレスを加算したアドレスを読み出しアドレスとして算出する。このとき、オフセットアドレスは、上記ステップ S 1 1 6 の実行によっては変化しない。上記のように、奇数番目の制御波形データは、後段部が無音部分から構成されていて、かつステップ S 1 1 6 による先頭アドレスの変更前後において、オフセットアドレスが変化しないため、発音チャンネル CH 3 0 のアドレス発生回路 ADR は、ステップ S 1 1 6 の実行直後において、無音部分の波形データの読み出しを継続する。図 2 5 の例においては、制御波形データ G 4 0 及び制御波形データ G 8 0 の後段部は、無音部分から構成されており、発音チャンネル CH 3 0 のアドレス発生回路 ADR は、ステップ S 1 1 6 の初回（ $n = 3$ ）の実行において、制御波形データ G 4 0 の無音部分の読み出しから制御波形データ G 8 0 の無音部分の読み出しに切り替える。

【 0 0 9 6 】

一方、発音チャンネル CH 3 0 の読み出しアドレスが、第 n の制御波形データのループ中央アドレスを超えると、発音チャンネル CH 3 1 の読み出しアドレスも、第 m の制御波形データのループ中央アドレスを超える。これにより、発音チャンネル CH 3 1 のアドレス発生回路 ADR は、第 m の制御波形データ後段を構成する基本波形データの読み出しを開始する。図 2 5 の例において、ステップ S 1 1 6 の初回（ $m = 2$ ）の実行後、発音チャンネル CH 3 1 のアドレス発生回路 ADR は、第 2 の制御波形データの後段部を構成する基本波形データ g 1 の読み出しを開始する。

【 0 0 9 7 】

発音チャンネル CH 3 0 のアドレス発生回路 ADR は、第 n（ $= m + 1$ ）の制御波形データにおけるループ終端アドレスまで読み出しアドレスを進めると、次のサンプリング周

10

20

30

40

50

期における読み出しアドレスをループ開始アドレスに設定する。すなわち、オフセットアドレスを先頭アドレスとループ開始アドレスとの差に設定する。そして、第 n の制御波形データの前段部を構成する基本波形データの読み出しを開始する。図 25 における制御波形カウンタ n の値が「3」である場合において、読み出しアドレスを制御波形データ $G 8 0$ の末尾まで進めると、次のサンプリング周期における読み出しアドレスを、基本波形データ $g 8$ の先頭アドレスに設定する。一方、発音チャンネル $C H 3 1$ のアドレス発生回路 $A D R$ も、第 m の制御波形データにおけるループ終端アドレスまで読み出しアドレスを進めると、次のサンプリング周期における読み出しアドレスをループ開始アドレスに設定する。そして、第 m の制御波形データの前段部を構成する無音部分の読み出しを開始する。したがって、発音チャンネル $C H 3 0$ のみが発音する。図 25 における制御波形カウンタ m の値が「2」である場合において、読み出しアドレスを制御波形データ $G 0 1$ の末尾まで進めると、次のサンプリング周期における読み出しアドレスを、基本波形データ $g 1$ の前部に設けられた、基本波形データ $g 1$ と同じ長さの無音部分の先頭に対応するアドレスに設定する。

【0098】

つぎに、CPU 17a は、ステップ $S 1 1 8$ にて、発音チャンネル $C H 3 0$ 及び発音チャンネル $C H 3 1$ の読み出しアドレスが、ループ終端アドレスからループ開始アドレスに遷移したか否かを判定する。未だ、読み出しアドレスがループ終端アドレスからループ開始アドレスに遷移していなければ、CPU 17a は、「No」と判定して、再びステップ $S 1 1 8$ を実行する。

【0099】

一方、発音チャンネル $C H 3 0$ 及び発音チャンネル $C H 3 1$ の読み出しアドレスがループ終端アドレスからループ開始アドレスに遷移していれば、CPU 17a は「Yes」と判定して、ステップ $S 1 2 0$ にて、制御波形カウンタ m に「2」を加算する。そして、CPU 17a は、ステップ $S 1 2 2$ にて、第 m の制御波形データの各種アドレスを発音チャンネル $C H 3 1$ の楽音パラメータ入出力回路 $1 5 b$ の処理用レジスタに書き込む。この場合、ループ先頭アドレスは、先頭に付加された無音部分の終端のアドレスであり、ループ終端アドレスは、第 m の制御波形データの末尾アドレスである。最初、制御波形カウンタ m は「2」に初期化されているので、読み出しアドレスがループ終端アドレスからループ開始アドレスに遷移していれば、ステップ $S 1 2 0$ にて、制御波形カウンタ m を「4」に設定し、ステップ $S 1 2 2$ にて、第 4 の制御波形データの各種アドレスを楽音パラメータ入出力回路 $1 5 b$ の発音チャンネル $C H 3 1$ の処理用レジスタに書き込む。図 25 の例においては、読み出しアドレスが制御波形データ $G 0 1$ のループ終端アドレスからループ開始アドレスに遷移していれば、制御波形データ $G 0 3$ の各種アドレスを楽音パラメータ入出力回路 $1 5 b$ の発音チャンネル $C H 3 1$ の処理用レジスタに書き込む。

【0100】

発音チャンネル $C H 3 1$ のアドレス発生回路 $A D R$ は、第 m の制御波形データの先頭アドレスにオフセットアドレスを加算したアドレスを読み出しアドレスとして設定する。この場合も、オフセットアドレスは、上記ステップ $S 1 2 2$ の実行によっては変化しない。上記のように、偶数番目の制御波形データは、前段部が無音部分から構成されていて、かつステップ $S 1 2 2$ による先頭アドレスの変更前後において、オフセットアドレスが変化しないため、発音チャンネル $C H 3 1$ のアドレス発生回路 $A D R$ は、第 m ($= n + 1$) の制御波形データの無音部分を読み出す。図 25 の例においては、制御波形データ $G 0 1$ 及び制御波形データ $G 0 3$ の前段部は、無音部分から構成されており、発音チャンネル $C H 3 1$ のアドレス発生回路 $A D R$ は、ステップ $S 1 2 2$ の初回 ($m = 4$) の実行において、制御波形データ $G 0 1$ の無音部分の読み出しから制御波形データ $G 0 3$ の無音部分の読み出しに切り替える。このとき、発音チャンネル $C H 3 0$ のアドレス発生回路 $A D R$ は、第 3 の制御波形データを構成する基本波形データ $g 8$ の読み出しを開始している。

【0101】

つぎに、CPU 17a は、ステップ $S 1 2 4$ にて、制御波形カウンタ n の値が「32」

10

20

30

40

50

であるか否かを判定することにより、楽譜データSDを構成する32ビット分の制御音を生成するための指示を終了したか否かを判定する。制御波形カウンタnの値が「32」とは異なっていれば、CPU17aは「No」と判定してステップS112に処理を進める。一方、制御波形カウンタnの値が「32」であれば、CPU17aは、「Yes」と判定して、ステップS126にて、読み出しアドレスが第nの制御波形データの末尾アドレスに到達したか否かを判定する。未だ、読み出しアドレスが第nの制御波形データの末尾アドレスに到達していないときには、CPU17aは、「No」と判定して再びステップS126を実行する。一方、読み出しアドレスが第nの制御波形データの末尾アドレスに到達したときには、CPU17aは「Yes」と判定して、ステップS128にて、発音チャンネルCH31にデジタル音信号の生成の停止を指示して、制御音の生成を停止させ、ステップS130にて、制御音生成処理を終了して、自動演奏処理に戻る。

10

【0102】

上記のように構成しても、図19A乃至図22を用いて説明した例と同様に、予約レジスタが不要なので、楽音パラメータ入出力回路15bの構成を簡単にできる。

【0103】

また、例えば、次に説明するように、基本波形データg1~g8を波形メモリWMではなく、ROM17cに記憶しておいてもよい。そして、CPU17aが、波形データ生成装置WPと同様に、送信する楽譜データSDのシンボルを差動符号化し、その差動符号の順列に応じて、基本波形データg1~g8のうちの複数の基本波形データを選択して、音源回路15に供給する。すなわち、音源回路15は、図26に示すように、基本波形データを書き込むためのバッファメモリBFを備えていて、CPU17aは、前記選択した基本波形データが、バッファメモリBF内において、対応する差動符号の順に並び、かつそれらを構成する波高値のアドレスが連続するように、各基本波形データを書き込む。音源回路15は、バッファメモリBFに基本波形データが書き込まれると、サンプリング周期ごとに、バッファメモリBFの先頭アドレスから読み出しアドレスを1つずつ進めて、各基本波形データを構成する波高値を読み出して、制御音を生成する。これによれば、発音チャンネルのループ機能を用いることなく、制御音を放音することができる。

20

【0104】

上記のように、発音チャンネルを用いない場合、波形データ取り出し部WP7において、差動符号の種類に対応するように基本波形データを取り出すようにしてもよい。すなわち、波形データ取り出し部WP7は、差動符号の境界を跨ぐことの無いように、基本波形データを取り出すようにしてもよい。具体的には、図27に示すように、入力した制御音のうちの、差動符号P0に対応する部分を、基本波形データf1として取り出し、差動符号N0に対応する部分を、基本波形データf2として取り出す。また、差動符号P1に対応する部分を、基本波形データf3として取り出し、差動符号N1に対応する部分を、基本波形データf4として取り出す。

30

【0105】

上記のようにして取り出した基本波形データf1~f4を、ROM17cに記憶しておけばよい。この場合も、CPU17aは、送信する楽譜データSDのシンボルを差動符号化し、その差動符号の順列に対応するように、基本波形データを選択すればよい。そして、CPU17aは、上記のようにして選択した基本波形データを、バッファメモリBFに書き込めばよい。これによっても、発音チャンネルのループ機能を用いることなく、制御音を放音することができる。

40

【0106】

さらに、この場合、波形データ生成装置WPにおいて、拡散処理、差動符号化などを省略して、シンボルの値（「1」及び「0」）に対応した変調波を生成するようにしてもよい。例えば、シンボルの値に応じて振幅を異ならせてもよいし、位相を異ならせてもよい。この場合、演奏装置10から楽譜表示装置20に対して、同期信号を別途送信してもよい。

【0107】

50

ただし、上記実施形態及びその変形例のように、1つのシンボル（又は差動符号）に対応する音が次のシンボルに対応する音の先頭部分に影響を与えるような変調方式を採用した場合は、対応する波形データを取り出す対象のシンボルの最上位ビットMSB側及び最下位ビットLSB側に隣接するシンボルの値に応じて、異なる種類の基本波形データとして取り出す。

【0108】

具体的には、図28及び図29に示すように、値が「0」であるシンボルを対象のシンボルとすると、この対象のシンボルの最上位ビットMSB側及び最下位ビットLSB側に隣接するシンボル（以下、単に両隣のシンボルという）の値がそれぞれ「0」及び「0」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh1として取り出す。また、両隣のシンボルの値がそれぞれ「0」及び「1」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh2として取り出す。また、両隣のシンボルの値がそれぞれ「1」及び「0」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh3として取り出し、両隣のシンボルの値がそれぞれ「1」及び「1」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh4として取り出す。

【0109】

値が「1」であるシンボルに対応する基本波形データh5～h8の取り出しについても、値が「0」である場合と同様である。すなわち、両隣のシンボルの値がそれぞれ「0」及び「0」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh5として取り出し、両隣のシンボルの値がそれぞれ「0」及び「1」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh6として取り出す。また、両隣のシンボルの値がそれぞれ「1」及び「0」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh7として取り出し、両隣のシンボルの値がそれぞれ「1」及び「1」であれば、前記対象のシンボルに対応する部分の波形を基本波形データh8として取り出す。なお、図29においては、基本波形データh4及び基本波形データh6を取り出す例を示している。

【0110】

上記のようにして取り出した基本波形データh1～h8を、ROM17cに記憶しておき、CPU17aは、送信する楽譜データSDのビットパターンに対応するように、複数の基本波形データを選択すればよい。ただし、楽譜データSDを構成する1つのシンボルに対応する基本波形データを選択するとき、そのシンボルの両隣のシンボルの値も考慮する必要がある。例えば、値が「0」であるシンボルに対応する基本波形データを選択する場合、そのシンボルの両隣のシンボルの値に応じて、基本波形データh1～h4のうちの1つを選択する。値が「1」であるシンボルに対応する基本波形データを選択する場合も、対象のシンボルの両隣のシンボルの値に応じて、基本波形データh5～h8のうちの1つを選択する。なお、最下位のシンボルに対応する基本波形データを選択する場合には、最上位ビットMSB側に隣接するシンボルの値のみを考慮し、最上位のシンボルに対応する基本波形データを選択する場合には、最下位ビットLSB側に隣接するシンボルの値のみを考慮する。

【0111】

例えば、楽譜データSDの第0ビット（最下位ビットLSB）の値が「0」であるとき、第1ビットの値に応じて、基本波形データh1又はh3を選択する。また、楽譜データSDの第0ビットの値が「1」であるとき、第1ビットの値に応じて、基本波形データh5又はh7を選択する。また、楽譜データSDの第31ビット（最上位ビットMSB）の値が「0」であるとき、第30ビットの値に応じて、基本波形データh1又はh2を選択する。また、楽譜データSDの第31ビットの値が「1」であるとき、第30ビットの値に応じて、基本波形データh5又はh6を選択する。これによっても、発音チャンネルのループ機能を用いることなく、制御音を放音することができる。

【0112】

なお、上記実施形態及びその変形例において、制御波形データG1～G8のデータ長は

10

20

30

40

50

同一なので、処理用レジスタ及び予約用レジスタには、末尾アドレス（すなわち、ループ終端アドレス）を書き込むこと無く、先頭アドレスのみを書き込んでおいて、先頭アドレスに、制御波形データ G 1 ~ G 8 のデータ長に応じたオフセットアドレスを加算することにより、末尾アドレスを算出するようにしてもよい。また、各制御波形データ G 1 ~ G 8 の先頭に設けられた無音部分のデータ長は同一なので、先頭アドレスに、無音部分のデータ長に応じたオフセットアドレスを加算することにより、ループ先頭アドレスを算出するようにしてもよい。

【 0 1 1 3 】

また、楽譜データ S D の形式は、上記実施形態及びその変形例に限られず、どのような形式であってもよい。また、演奏装置 1 0 から放音する制御音によって制御する制御対象は、楽譜表示装置 2 0 に限られず、演奏装置 1 0 とともに用いられる外部機器であればよい。

10

【 0 1 1 4 】

また、上記実施形態及びその変形例においては、発音チャンネル C H 3 0 及び発音チャンネル C H 3 1 を制御音のデジタル音信号を生成する発音チャンネルとして設定した。しかし、これに限られず、他の発音チャンネルを制御音のデジタル音信号を生成する発音チャンネルとして設定してもよい。また、単独モードにおいて、幾つかの発音チャンネルを用いて楽音のデジタル音信号を生成している最中に制御モードに移行した場合には、楽音の生成に使用されていない発音チャンネル、生成中の楽音のデジタル音信号の音量が十分に小さい発音チャンネルを C P U 1 7 a によって選択し、前記選択した発音チャンネルを制御音のデジタル音信号を生成する発音チャンネルとして設定してもよい。

20

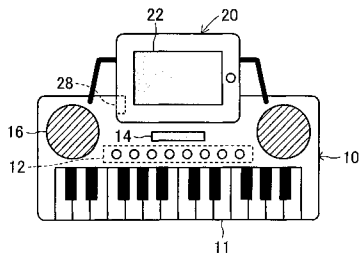
【 符号の説明 】

【 0 1 1 5 】

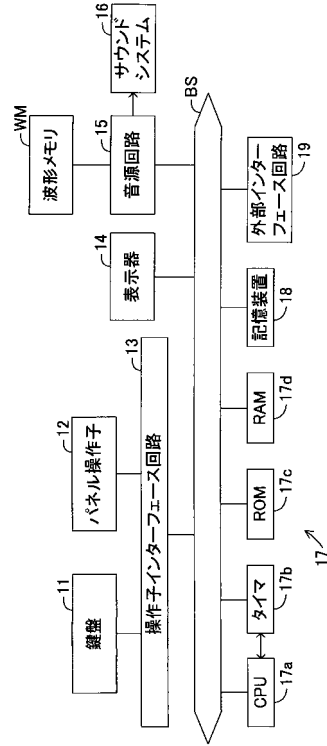
1 0 . . . 演奏装置、 1 5 . . . 音源回路、 1 5 a . . . チャンネル累算回路、 1 5 a 3 . . . 音量調整回路、 1 5 a 4 . . . パン調整回路、 1 6 . . . サウンドシステム、 1 7 . . . コンピュータ部、 W M . . . 波形メモリ、 A D R . . . アドレス発生回路、 F L T . . . フィルタ回路、 A M P . . . 音量制御回路、 G 1 ~ G 8 , G 1 4 ~ G 8 7 , G 0 1 ~ G 8 0 . . . 制御波形データ、 S D . . . 楽譜データ、 P N . . . 拡散符号、 P 0 , P 1 , N 0 , N 1 . . . 差動符号

30

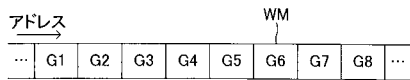
【図1】



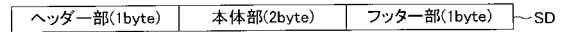
【図2】



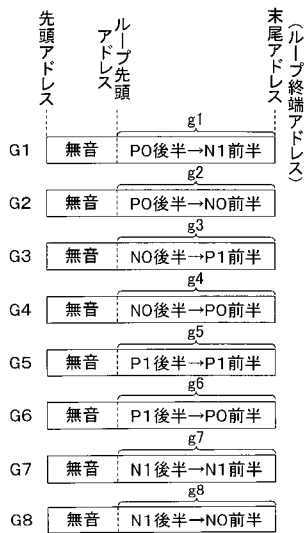
【図3A】



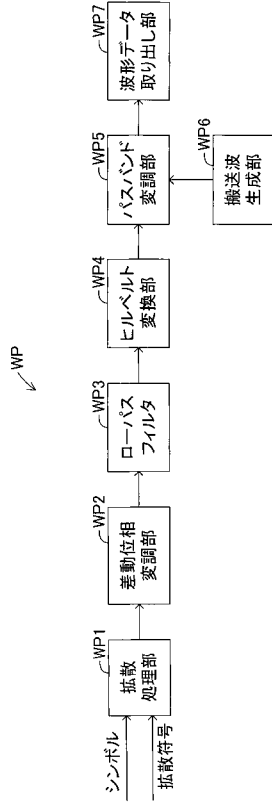
【図4】



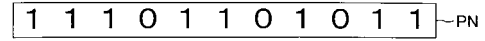
【図3B】



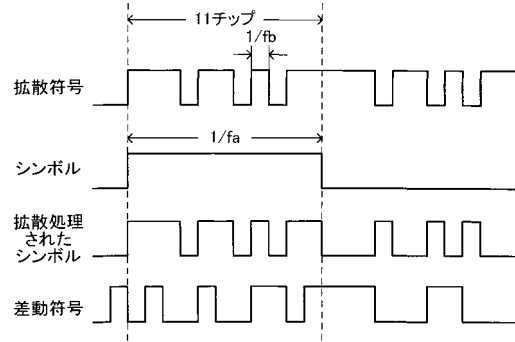
【図5】



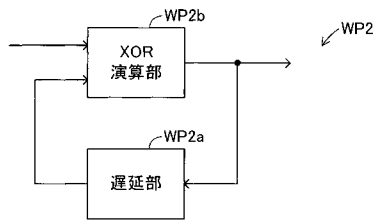
【図6】



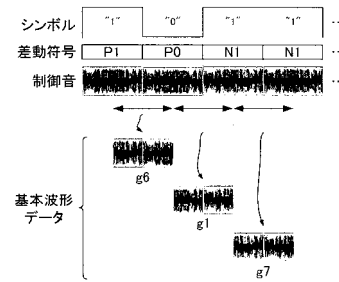
【図7】



【図8】



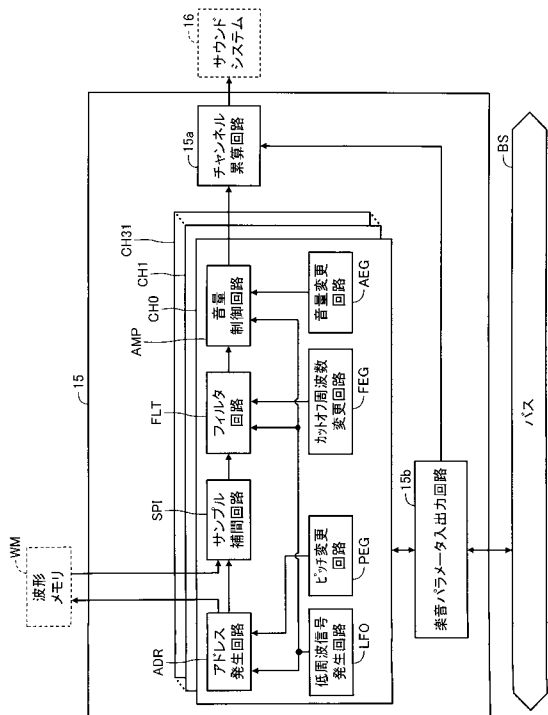
【図10】



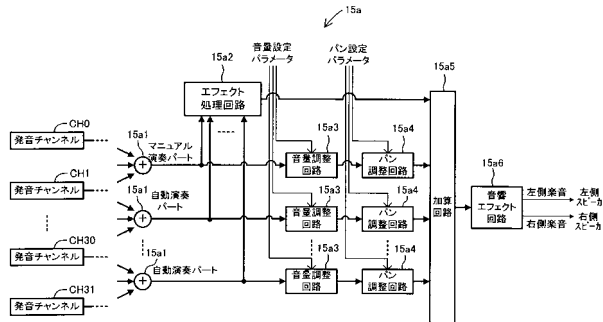
【図9】

| | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|----|
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | P1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | N1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | P0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | N0 |

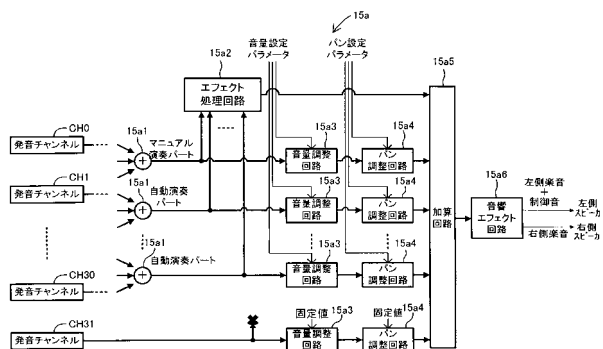
【図11】



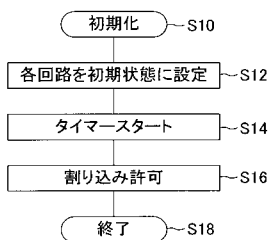
【図12A】



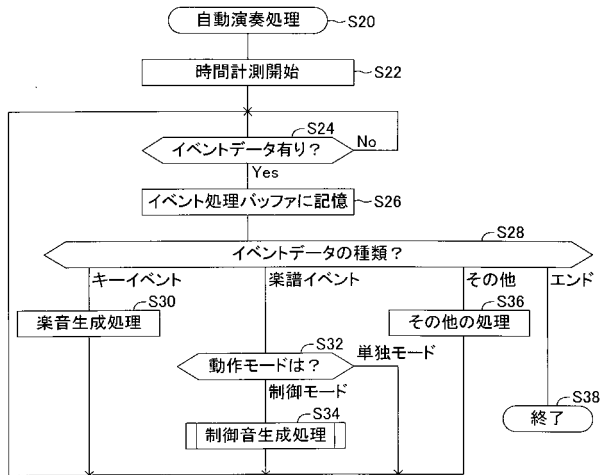
【図12B】



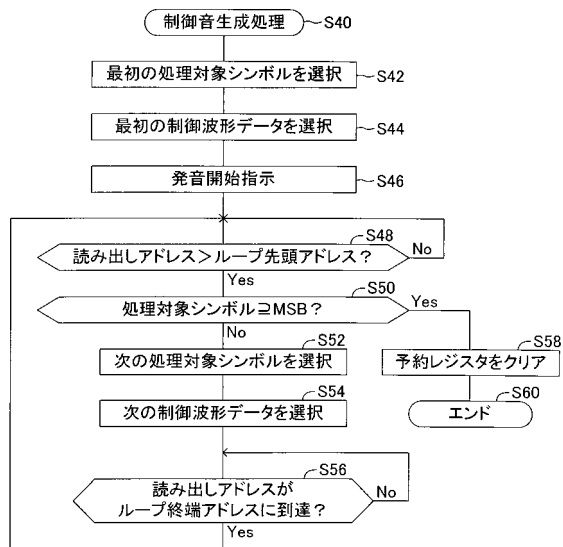
【図13】



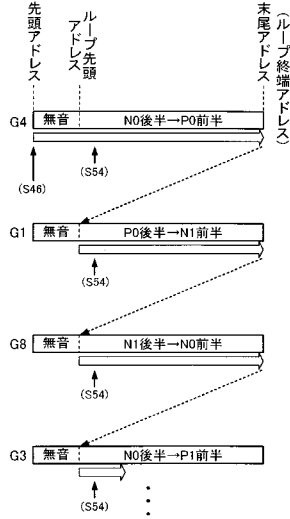
【図14】



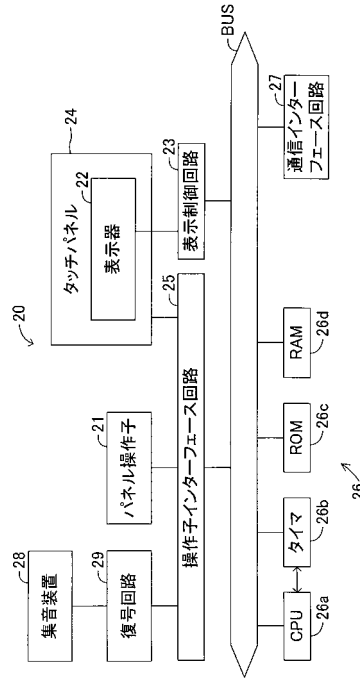
【図15】



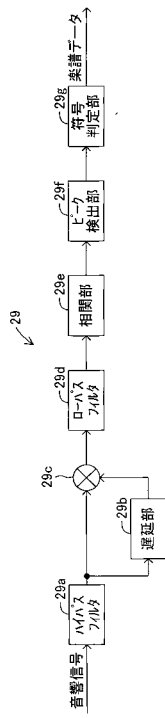
【図16】



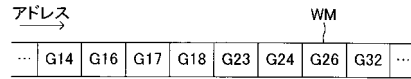
【図17】



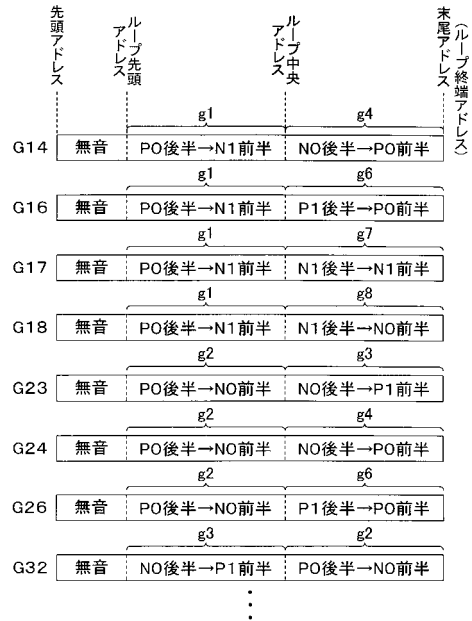
【図18】



【図19A】



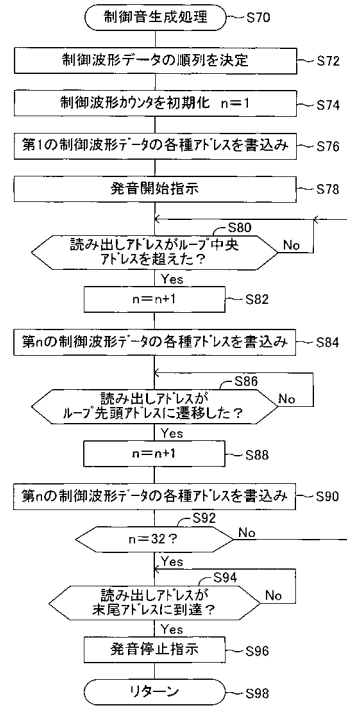
【図19B】



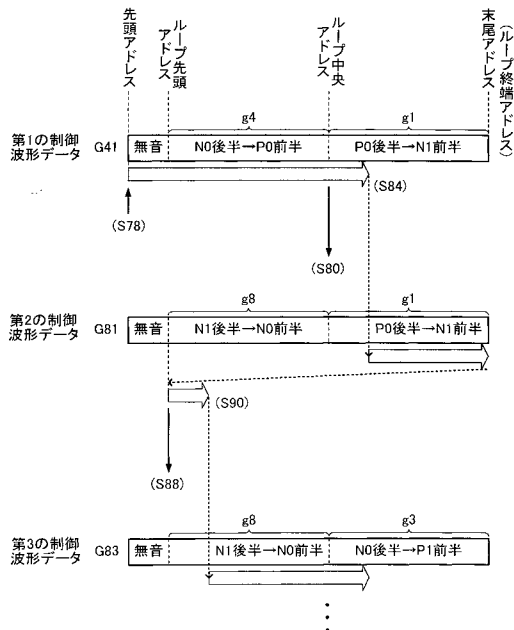
【図20】

| 先頭側 | 末尾側 | g1 | g2 | g3 | g4 | g5 | g6 | g7 | g8 |
|-----|-----|----|----|----|----|----|----|----|----|
| g1 | | | | | ○ | | ○ | ○ | ○ |
| g2 | | | | ○ | ○ | | ○ | | |
| g3 | | | ○ | | | ○ | ○ | | ○ |
| g4 | ○ | ○ | | | | | | | ○ |
| g5 | | | ○ | | | ○ | ○ | | |
| g6 | ○ | ○ | ○ | | | ○ | | | |
| g7 | ○ | | | | | | | ○ | ○ |
| g8 | ○ | | ○ | ○ | | | | ○ | |

【図21】



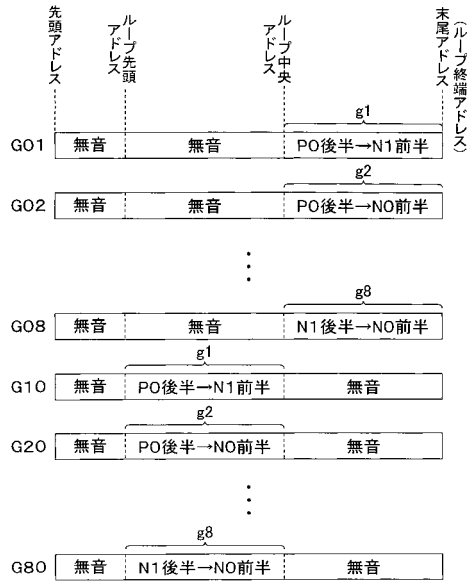
【図22】



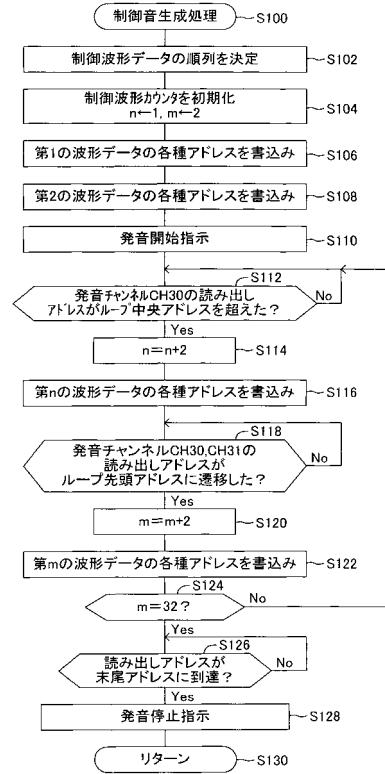
【図23A】



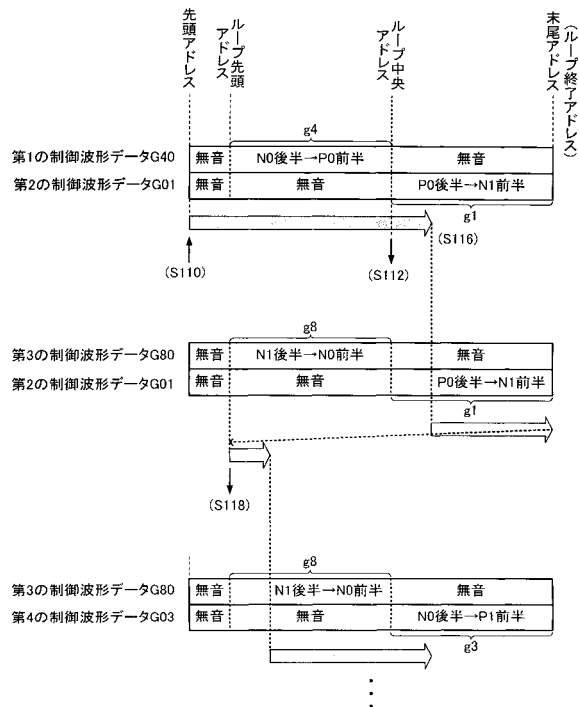
【図23B】



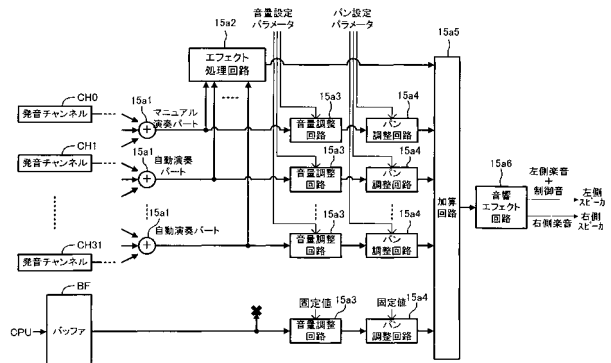
【図24】



【図25】



【図26】



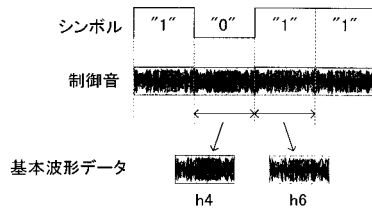
【図27】

| 基本波形データ | 差動符号 |
|---------|------|
| f1 | P0 |
| f2 | NO |
| f3 | P1 |
| f4 | N1 |

【図28】

| 基本波形データ | MSB側のシンボル | 基本波形データを 取り出すシンボル | LSB側のシンボル |
|---------|-----------|----------------------|-----------|
| h1 | 0 | 0 | 0 |
| h2 | 0 | 0 | 1 |
| h3 | 1 | 0 | 0 |
| h4 | 1 | 0 | 1 |
| h5 | 0 | 1 | 0 |
| h6 | 0 | 1 | 1 |
| h7 | 1 | 1 | 0 |
| h8 | 1 | 1 | 1 |

【図29】



フロントページの続き

- (56)参考文献 特開2000-056872(JP,A)
特開平07-240763(JP,A)
特開2010-055077(JP,A)
国際公開第2010/016589(WO,A1)
特開2004-214851(JP,A)
特開2000-276170(JP,A)

(58)調査した分野(Int.Cl., DB名)

| | |
|------|-------|
| H04J | 11/00 |
| G10H | 1/00 |
| G10H | 7/02 |