

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7062409号
(P7062409)

(45)発行日 令和4年5月16日(2022.5.16)

(24)登録日 令和4年4月22日(2022.4.22)

(51)国際特許分類

F I

H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	T
H 0 1 L	27/04 (2006.01)	G 0 1 R	31/28	V
G 0 1 R	31/28 (2006.01)	G 0 6 F	11/27	
G 0 6 F	11/27 (2006.01)	G 0 6 F	11/22	6 7 5 F
G 0 6 F	11/22 (2006.01)	G 0 6 F	11/22	6 7 3 D

請求項の数 12 外国語出願 (全14頁)

(21)出願番号 特願2017-215840(P2017-215840)
 (22)出願日 平成29年11月8日(2017.11.8)
 (65)公開番号 特開2018-82169(P2018-82169A)
 (43)公開日 平成30年5月24日(2018.5.24)
 審査請求日 令和2年11月6日(2020.11.6)
 (31)優先権主張番号 16199631.9
 (32)優先日 平成28年11月18日(2016.11.18)
 (33)優先権主張国・地域又は機関
 欧州特許庁(EP)

(73)特許権者 510145967
 ユー・ブロックス、アクチエンゲゼルシ
 ャフト
 u - b l o x A G
 スイス国、ツェーハー - 8 8 0 0 ター
 ルビル, チュルヒャーシュトラッセ 6 8
 (74)代理人 100091982
 弁理士 永井 浩之
 (74)代理人 100091487
 弁理士 中村 行孝
 (74)代理人 100082991
 佐藤 泰和
 (74)代理人 100105153
 弁理士 朝倉 悟
 (74)代理人 100107582

最終頁に続く

(54)【発明の名称】 自己テスト可能な集積回路装置及び集積回路を自己テストする方法

(57)【特許請求の範囲】

【請求項1】

自己テスト可能な集積回路装置であって、

パターン生成器と、

結果ストアと、

前記パターン生成器と前記結果ストアとの間に動作可能にそれぞれ結合されている複数の

スキャン・チャンネルを備えるテスト可能ロジックと、

自己テスト結果データを生成するように、前記テスト可能ロジックに関する自己テストを

監督するように構成された自己テスト・コントローラであって、前記自己テスト結果デー

タは前記結果ストアに格納される、自己テスト・コントローラと、

前記自己テスト・コントローラに動作可能に結合され、前記パターン生成器と前記結果ス

トアとの間に動作可能に結合された処理リソースであって、前記結果ストアに格納された

前記自己テスト結果データを評価可能な処理リソースと、を備え、

前記テスト可能ロジックは前記処理リソースを備え、前記処理リソースは、前記自己テ

ストが前記処理リソースにも関してあり、前記処理リソースが前記自己テストの後に前記自

己テスト結果データを評価できるように、前記自己テスト・コントローラと連携するよう

に構成され、

前記自己テスト・コントローラは、テスト完了信号を生成するようにさらに構成され、

前記テスト完了信号をリセット信号に変換するように構成されたりセット回路を更に備え、

前記リセット回路は、

前記テスト完了信号を受けるように構成された第1入力と、前記テスト完了信号の時間遅延版を受けるように構成された第2入力と、を有する論理XNORゲートであって、前記論理XNORゲートによって生成された出力信号が前記リセット信号を構成する、論理XNORゲートを更に備える、集積回路装置。

【請求項2】

請求項1に記載の集積回路装置であって、

テスト完了インジケータ・ストアを更に備え、

前記自己テスト・コントローラは、前記自己テストの完了の際に前記テスト完了インジケータ・ストアの中身を変更し、前記テスト完了インジケータ・ストアの中身の変更によって前記自己テストが完了したことの表示を格納するように構成される、集積回路装置。

10

【請求項3】

請求項1または2に記載の集積回路装置であって、前記リセット信号はパルス形状の信号である、集積回路装置。

【請求項4】

請求項1から3の何れか1項に記載の集積回路装置であって、前記テスト完了信号を受け、前記テスト完了信号を所定の期間遅延させ、前記テスト完了信号の遅延によって前記テスト完了信号の前記時間遅延版を生成するように構成された遅延素子を更に備える、集積回路装置。

【請求項5】

請求項1乃至4の何れか1項に記載の集積回路装置であって、前記処理リソースは、通常動作モードと、前記処理リソースがブートの際に一時的に入る自己テスト・モードと、を有する、集積回路装置。

20

【請求項6】

請求項2に従属する場合の請求項5に記載の集積回路装置であって、前記自己テスト・モードは、前記自己テストが実行されたかを判定するために前記処理リソースが前記テスト完了インジケータ・ストアにアクセスすることを含む、集積回路装置。

【請求項7】

請求項6に記載の集積回路装置であって、前記処理リソースは、前記自己テストが実行されたことの表示を前記テスト完了インジケータ・ストアが備えることに応じて、前記自己テスト結果データの前記評価を実行するように構成される、集積回路装置。

30

【請求項8】

請求項7に記載の集積回路装置であって、

期待自己テスト結果データを格納するように構成された期待結果データ・ストアを更に備え、

前記自己テスト結果データの前記評価は、前記処理リソースが、前記期待結果データ・ストア及び前記結果ストアにアクセスし、前記自己テスト結果データを前記期待自己テスト結果データに対して比較することを有する、集積回路装置。

【請求項9】

請求項1乃至8の何れか1項に記載の集積回路装置であって、前記自己テストは、前記処理リソースおよび前記複数のスキャン・チャンネルを略同時にテストする、集積回路装置。

40

【請求項10】

請求項1乃至9の何れか1項に記載の集積回路装置であって、前記テスト可能ロジックは、自身に関連した電源投入シーケンスを有し、前記処理リソースは、前記電源投入シーケンスの完了の際に前記自己テスト・コントローラをプログラミングするように構成される、集積回路装置。

【請求項11】

請求項10に記載の集積回路装置であって、前記自己テスト・コントローラは、前記プログラミングの完了に続いて前記処理リソースによって提供される前記プログラミングを実行するように構成される、集積回路装置。

【請求項12】

50

処理リソースおよび複数のスキャン・チャンネルを備えるテスト可能ロジックと、自己テスト・コントローラと、結果ストアと、を含む集積回路を自己テストする方法であって、前記処理リソースが、前記テスト可能ロジックに関して自己テストを実行するように前記自己テスト・コントローラをプログラミングすることと、前記複数のスキャン・チャンネルと前記処理リソースとの入力ヘデジタル・データ・パターンをそれぞれ適用することによって、前記複数のスキャン・チャンネル及び前記処理リソースに関して前記自己テストを実行することと、前記デジタル・データ・パターンに応じて前記複数のスキャン・チャンネル及び前記処理リソースによって生成されたデータを前記結果ストアに格納することと、前記自己テストのテスト完了信号から変換されたリセット信号によって、前記テスト可能ロジックをリセットすることと、前記処理リソースが、前記リセットの後に、前記自己テストの実行の結果として生成された前記データを評価することと、を有する方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は自己テスト可能な集積回路装置に関し、当該装置は、例えば処理リソースを含むテスト可能ロジックを備えるタイプのものである。本発明はまた、集積回路を自己テストする方法に関し、当該方法は、例えば処理リソースを含むテスト可能ロジックを自己テストすることを備えるタイプのものである。

20

【背景技術】

【0002】

信頼可能な動作を保証するために、集積回路はテストを必要とする。テストが必要なものに依存して、種々のテスト技術が利用可能である。しかし、集積回路をテストすることは段々と複雑になってきており、新たな安全性規則を満たすために新たな技術が必要である。例えば、集積回路のためのいわゆる“インフィールド”テスト・ソリューションの配備への需要が増加している。実際に、自動車産業において、ISO 26262のような機能安全性についての直近の標準への準拠の文脈で、集積回路の製品寿命の間に集積回路のロジックの周期的テストを維持するためのインフィールド・テストを提供するためにロジック組み込み自己テスト(LBIST)メカニズムが採用される。LBISTは、集積回路が自身の動作をテストできるように集積回路に組み込まれるハードウェア及び/又はソフトウェアである。

30

【0003】

“ロジックLBIST：最新技術及び未解決問題”(ナンリー、ガンナー、カールソン、イレーナ、ダブロバ、キム、ピーターセン; CoRR abs/1503.04628(2015))は、LBIST技術のレビューを提供する。

【0004】

米国特許出願公開第2016/033571号は、LBISTシステムで集積回路上の故障についての根本原因識別を実行する方法を開示する。当該システムは、関連した1つ以上のマクロを有する1つ以上のチャンネル・スキャン・パスを含み、1つ以上のチャンネル・スキャン・パスのそれぞれはテスト・サイクル中に実行される。チャンネル・スキャン・パスは、疑似ランダム・パターン生成器と複数入力信号レジスタ(MISR)との間に延びる。LBISTコントローラを介してテスト・サイクルのうちの1つ以上を開始するためにプロセッサが提供される。しかし、開示されるアーキテクチャは、テストされるべき集積回路のロジックの一部のテストを管理するためにオンチップ・テスト処理機能を集積回路が備えることを必要とする。そのようなものとして、オンチップ・テスト処理機能はテストの対象とならず、それゆえ、オンチップ・テスト処理機能がLBISTの一部としてテストされないままであるので、集積回路のテストは全体として低いロバスト性を有する。

40

【0005】

米国特許出願公開第2009/327824号はまた、疑似ランダム・パターン生成器と

50

M I S Rとの間に延びる複数のテスト・チャンネルを開示する。L B I S Tテスト・パラメータ及びシグニチャ（結果）を格納するためにメモリ・モジュールが提供される。スキャンされるべきロジックに追加して決定ロジックが提供されるが、米国特許出願公開第2016/033571号のオンチップ・テスト処理機能と同様に決定ロジック自体はテストの対象ではない。

【0006】

スキャンされるロジックとスキャンを制御するロジックとが互いに交代でスキャンする実装でさえ、スキャンされるべきロジックのテストを実行するための専用ロジックの使用がダイ・スペースの浪費となる。

【発明の概要】

【0007】

本発明によれば、自己テスト可能な集積回路装置であって、パターン生成器と、結果ストアと、前記パターン生成器と前記結果ストアとの間に動作可能にそれぞれ結合されている複数のスキャン・チャンネルを備えるテスト可能ロジックと、自己テスト結果データを生成するように、使用中に前記テスト可能ロジックに関する自己テストを監督するように構成された自己テスト・コントローラであって、前記自己テスト結果データは前記結果ストアに格納される、自己テスト・コントローラと、前記自己テスト・コントローラに動作可能に結合され、前記パターン生成器と前記結果ストアとの間に動作可能に結合された処理リソースであって、前記結果ストアに格納された前記自己テスト結果データを評価可能な処理リソースと、を備え、前記テスト可能ロジックは前記処理リソースを備え、前記処理リソースは、前記自己テストが前記処理リソースにも関しており、前記処理リソースが前記自己テストの後に前記自己テスト結果データを評価できるように、前記自己テスト・コントローラと連携するように構成される、集積回路装置が提供される。

【0008】

プロセッサは、自己テスト結果データの評価をサポートする自己テスト・モードにブートするように構成されてもよい。

【0009】

前記装置は、テスト完了インジケータ・ストアを更に備えてもよく、前記自己テスト・コントローラは、前記自己テストの完了の際に前記テスト完了インジケータ・ストアの中身を変更し、それによって前記自己テストが完了したことの表示を格納するように構成されてもよい。

【0010】

前記自己テスト・コントローラは、テスト完了信号を生成するように構成されてもよい。

【0011】

前記装置は、前記テスト完了信号をリセット信号に変換するように構成されたリセット回路を更に備えてもよい。前記リセット信号はパルス形状の信号であってもよい。

【0012】

前記リセット回路は、前記テスト完了信号を受けるとともに構成された第1入力と、前記テスト完了信号の時間遅延版を受けるとともに構成された第2入力と、を有する論理XNORゲートであってもよく、前記論理XNORゲートによって生成された出力信号が前記リセット信号を構成してもよい。

【0013】

前記装置は、前記テスト完了信号を受け、前記テスト完了信号を所定の期間遅延させ、それによって前記テスト完了信号の前記時間遅延版を生成するように構成された遅延素子を更に備えてもよい。

【0014】

前記処理リソースは、通常動作モードと、前記処理リソースがブートの際に一時的に入る自己テスト・モードと、を有してもよい。

【0015】

前記自己テスト・モードは、前記自己テストが実行されたかを判定するために前記処理リ

10

20

30

40

50

ソースが前記テスト完了インジケータ・ストアにアクセスすることを含んでもよい。

【0016】

前記処理リソースは、前記自己テストが実行されたことの表示を前記テスト完了インジケータ・ストアが備えることに応じて、前記自己テスト結果データの前記評価を実行するように構成されてもよい。

【0017】

前記装置は、期待自己テスト結果データを格納するように構成された期待結果データ・ストアを更に備えてもよく、前記自己テスト結果データの前記評価は、前記処理リソースが、前記期待結果データ・ストア及び前記結果ストアにアクセスし、前記自己テスト結果データを前記期待自己テスト結果データに対して比較することを有してもよい。

10

【0018】

前記自己テストは、前記処理リソースで前記複数のスキャン・チャンネルを略同時にテストしてもよい。

【0019】

前記テスト可能ロジックは、自身に関連した電源投入シーケンスを有してもよく、前記処理リソースは、前記電源投入シーケンスの完了の際に前記自己テスト・コントローラをプログラミングするように構成されてもよい。

【0020】

前記処理リソースは、前記電源投入シーケンスを監督するデジタル・ロジックを備えてもよい。

20

【0021】

前記自己テスト・コントローラは、前記プログラミングの完了に続いて前記処理リソースによって提供される前記プログラミングを実行するように構成されてもよい。

【0022】

前記処理リソースは、プロセッサであってもよい。

【0023】

本発明によれば、集積回路を自己テストする方法であって、処理リソースが、複数のスキャン・チャンネル及び前記処理リソースを備えるテスト可能ロジックに関して自己テストを実行するように自己テスト・コントローラをプログラミングすることと、前記複数のスキャン・チャンネルと前記処理リソースとの入力へデジタル・データ・パターンをそれぞれ適用することによって、前記複数のスキャン・チャンネル及び前記処理リソースに関して前記自己テストを実行することと、前記デジタル・データ・パターンに応じて前記複数のスキャン・チャンネル及び前記処理リソースによって生成されたデータを格納することと、前記テスト可能ロジックをリセットすることと、前記処理リソースが、前記リセットの後に、前記自己テストの実行の結果として生成された前記データを評価することと、を有する方法も提供される。

30

【0024】

よって、例えば結果データを起動及び/又は検証するためにテストされるべきロジックの外部の補助的なロジックを必要とせずに、テスト可能ロジックを自己テストできる装置及び方法を提供することが可能である。よって、装置及び方法は、集積回路の1つの部分が集積回路の別の部分をテストする必要がある、その逆も成り立つように、単一のステップでの自己テストも可能にする。期待結果データを書き換え可能に記憶することも提供可能であり、それによって自己テストの変形をサポートする。さらに、装置は、電源投入において自動的に自身をテスト可能であり、又はユーザ固有の用途のために電源投入に続く任意の時点で又は集積回路のデジタル・ロジックの周期的チェックを実行するためにテストが実装されうる。自己テストの目的のために決定ロジックとしてスキャンされるべきロジックを用いることは、スキャンされるロジックが、集積回路の電源投入を監督するプロセッサ又は他の計算ユニットを備える場合に特に有用である。この点において、プロセッサは、ブート・シーケンスがデコードされる及び/又はユーザ固有のLBISTテストが実行されうるリード・オンリ・メモリ又はワンタイム・プログラマブル・メモリのようなメ

40

50

メモリ素子を含む集積回路のすべてのコンポーネントにアクセスし、それによって、プロセッサが、自己テストによってテスト可能でもありつつ、特に自己テストに参加するのに適するようになされる。

【図面の簡単な説明】

【0025】

本発明の少なくとも1つの実施形態が、添付の図面を参照しつつ、例示のみによって以下に記載される。

【図1】自己テストをサポートする集積回路の概略図である。

【図2】図1の集積回路の詳細な概略図であって、自己テスト可能な集積回路装置として構成され、本発明の実施形態を構成する概略図である。

【図3】図2の集積回路によって採用されるリセット回路の概略図である。

【図4】集積回路を自己テストする方法のフロー図であって、本発明の別の実施形態を構成するフロー図である。

【図5】図4の方法を採用する自己テスト可能な集積回路装置で生成される信号のタイミング図である。

【発明を実施するための形態】

【0026】

以下の記載を通じて、同一の参照符号は同様の部分を識別するために用いられる。

【0027】

図1を参照して、集積回路100は、アドバンスト・マイクロコントローラ・バス・アーキテクチャ（AMBA）アドバンスト・ハイパフォーマンス・バス（AHB）102を備え、これはAHB/APBブリッジ107を介してAMBAアドバンスト周辺機器バス（APB）104に動作可能に結合されている。もちろんこれは集積回路アーキテクチャの例であり、当業者は他の相互接続アーキテクチャを使用してもよいことを理解するはずである。

【0028】

処理リソース108、例えばプロセッサは、AMBA AHB102に動作可能に結合されている。不揮発性メモリ、例えばリード・オンリ・メモリ（ROM）108も、AMBA AHB102に動作可能に結合されている。他の機能エンティティによるAMBA AHB102へのアクセスをサポートするために、AMBA AHB102への他のアーキテクチャ・ブロックの動作可能な結合をサポートするように他のインタフェース110が提供されうることも当業者は理解するだろう。

【0029】

AMBA APB104を参照して、オンチップ電源コントローラ112と、デジタル・メモリ、例えばワнтаイム・プログラマブル（OTP）メモリ114と、テスト完了インジケータ・ストア、例えばロジック組み込み自己テスト（LBIST）状態レジスタ116と、自己テスト・コントローラ、例えばLBISTコントローラ118とがそれぞれAMBA APB104に動作可能に結合されている。これに関して、テスト関連機能素子、例えばLBIST状態レジスタ116、LBISTコントローラ118及び電源及びクロック信号を制御するための他のテスト・ロジックのバス102への接続は、JTAGインタフェース等の専用インタフェースを介した接続とは対照的に、バス102に接続された周辺機器へも接続される。このようなものとして、自己テスト・スキャンが容易化される。

【0030】

AMBA AHB102のように、他の周辺エンティティによるAMBA APB104へのアクセスをサポートするために、AMBA APB104への他のアーキテクチャ・ブロックの動作可能な結合をサポートするように他のインタフェース120が提供されうることも当業者は理解するだろう。この例で、LBISTエンジン・モジュール122は、LBIST状態レジスタ116とLBISTコントローラ118とに動作可能に結合されている。

10

20

30

40

50

【 0 0 3 1 】

図 1 の集積回路は、自己テストされうるテスト可能ロジックを備える。この例で、テスト可能ロジックは、処理リソース 1 0 6 のデジタル・ロジックだけでなく、テストを必要とする集積回路の他のデジタル・ロジックを含む。テスト・モードでデジタル・ロジックをテストするために、テスト・パターンがデジタル・ロジックのフリップフロップに適用されうるように、図 1 の集積回路の機能ブロックが再構成可能である。この点において、処理リソース 1 0 6 のデジタル・ロジック及び / 又は集積回路の他のデジタル・ロジックがバス、例えば AMBA AHB 1 0 2 及び AMBA APB 1 0 4 を介して接続されているおかげで、集積回路の種々の部分のデジタル・ロジックの相互接続が再構成可能である。集積回路の通常の動作中に、この機能接続性は、集積回路の種々の機能ブロックがバス上で通信することを可能にする。しかし、特有の利点として、接続性の再構成可能な性質は、スキャン・テストについて構成されたデジタル・ロジック間の接続性が所望のように再構成されることを可能にする。上述のように、このようなテスト・モードにおいて、例えば図 2 のようにデジタル・ロジックは再構成される。この点において、LBIST エンジン・モジュール 1 2 2 は、パターン生成器、例えば疑似ランダム・パターン生成器 (PRPG) 2 0 0 を備える。テストされるべき集積回路のデジタル・ロジックは、個別の入力及び出力を有する複数のスキャン・チャンネルに再構成される。例えば、第 1 スキャン・チャンネル 2 0 2 は、PRPG 2 0 0 に動作可能に結合された入力と、この例において LBIST 状態レジスタ 1 1 6 の一部である結果データ・ストア 2 0 5 に動作可能に結合された出力とを有する。第 2 スキャン・チャンネル (不図示) は同様に、PRPG 2 0 0 に動作可能に結合された入力と、結果データ・ストア 2 0 5 に動作可能に結合された出力とを有する。同様に、第 n スキャン・チャンネル 2 0 4 は、PRPG 2 0 0 に動作可能に結合された入力と、結果データ・ストア 2 0 5 に動作可能に結合された出力とを有する。

10

20

【 0 0 3 2 】

上述のデジタル・ロジックの一部の再構成と同様に、処理リソース 1 0 6 のロジック 2 0 6 は、適切な時点で、例えば電源及びクロック・コントローラを安定状態にプログラミングした後や、PRPG 2 0 0 に動作可能に結合された入力及び結果データ・ストア 2 0 5 に動作可能に結合された出力を提供するように LBIST コントローラ 1 1 8 をプログラミングした後に再構成される。処理リソース 1 0 6 はまた、上述された例における自己テストをサポートするために、オンチップ・メモリ・リソース、例えば ROM 1 0 8 及び OTP 1 1 4 に動作可能に結合される。処理リソース 1 0 6 のロジック 2 0 6 はマルチプレクサ 2 0 8 の第 1 入力にも動作可能に結合されており、マルチプレクサ 2 0 8 の第 2 入力は、集積回路の外部のソースからのテストをサポートするために JTAG レジスタにオプションとして動作可能に結合されている。マルチプレクサ 2 0 8 の出力は、LBIST コントローラ 1 1 8 に動作可能に結合されており、LBIST コントローラ 1 1 8 は、LBIST エンジン・モジュール 1 1 2 の PRPG 2 0 0 と LBIST 状態レジスタ 1 1 6 とにも結合されている。JTAG レジスタ 2 1 0 及びマルチプレクサ 2 0 8 が採用されない場合に、処理リソース 1 0 6 のロジック 2 0 6 は、LBIST コントローラ 1 1 8 に動作可能に結合される。LBIST コントローラ 1 1 8 は、テスト完了信号をリセット信号に変換するように構成されたリセット信号生成器 2 1 2 に動作可能に結合された出力も有し、リセット信号は、LBIST 実行が終了した後に集積回路 1 0 0 が不明な状態にスタックされることを防ぐために、例えば短期間のロー・レベル・パルスであるべきである。

30

40

【 0 0 3 3 】

リセット信号生成器 2 1 2 (図 3) は、実装されたスキャン・チェーンのレジームから (テスト・モードとは反対の) 通常の動作モードの機能接続性の 1 つへ集積回路 1 0 0 が自動的に復旧するための “メカニズム” を提供するために用いられる。この例で、リセット信号生成器 2 1 2 は、上述の LBIST コントローラ 1 1 8 の出力に動作可能に結合された入力を備える。信号スプリッタ 3 0 0 は、リセット信号生成器 2 1 2 の入力に動作可能に結合されており、第 1 出力と第 2 出力とを提供し、第 1 出力は遅延要素 3 0 2 の入力に動作可能に結合されており、遅延入力の出力は XNOR ゲート 3 0 4 の第 1 入力に動作可能

50

に結合されている。信号スプリッタ300の第2出力は、XNORゲート304の第2入力に動作可能に結合されている。XNORゲート304は、リセット信号を提供するための出力306を有し、遅延要素302への入力信号が自身の状態を論理ローから論理ハイに変更すると仮定して、リセット信号の期間は、遅延要素302によって提供される遅延によって規定される。もちろん、当業者は、これが単に1つのこのような実装であり、他の実装、例えばLBISTコントローラ118がXNORゲート304（又は任意の他の適切なロジック）の両方の入力を直接に駆動するように構成されているために信号スプリッタ300が存在しない実装が予期されることを理解するはずである。この点において、上記の回路構成は、複数の実装の単なる一例である。実際に、回路の1つ以上の部分は代替物で置き換えられうる。例えば、信号スプリッタ300は概念レベルで信号を分離する例であり、マイクロ電子回路レベルでは単独で又は他の回路素子と組み合わせてスイッチ・デバイス例えばトランジスタ・デバイスを用いて複数の種々の方法で実装されうる。

10

【0034】

動作において（図4及び図5）、処理リソース106は例えば電源投入され、処理リソース106は電源及びクロック設定を取得するためにROM108を読み出し（ステップ400）、処理リソース106は、集積回路100の電源コントローラ112及びクロック・コントローラ（不図示）を設定する（ステップ402）ためにこの設定を用いる。図5を参照して、処理リソース106が起動され基準クロック信号REFCLK（図5）がサイクルし始めた場合にハードウェア・リセット信号HW_RSTN（図5）が生成される。一部の实装において、1つよりも多いクロックが採用されうる。

20

【0035】

電源及びクロック・コントローラが設定されると、処理リソース106は、自己テストがスキップされるべきかを判定する（ステップ405）ために格納されたバイパス・ビットを検査するために、例えばOTPメモリ114に格納されうるバイパス状態レジスタにアクセスする（ステップ404）。自己テストがバイパスされるべきであることを示すバイパス・ビットが設定される場合に、処理リソース106は、テスト・モードから通常動作モードに続けて入り、ここで処理リソース106は、自身の当初意図された機能振る舞いを実行する。そうでなければ、処理リソース106は、自身の自己テスト・モードを続け、自己テストが既に実行されたかを判定する（ステップ406）ためにLBIST状態レジスタ116にアクセスする。一部の環境において、例えば不適切な自己テスト実行に起因して集積回路100が無限ループにスタックするようになる場合に、このバイパス機能はリスクを回避するため及び/又はデバッグ及び診断目的に採用されうる。リスクの例は、集積回路100が無限ループにスタックするようになることを含むが、別のリスクは、自己テストが完了するが処理リソース106が機能継続性及びソフトウェア・リセット信号の後続の発行を復旧しないことである。バイパス状態レジスタをプログラミングする方法は自己テストがデフォルトで実行されるべきかどうかに依存しうることも理解されるべきである。この点において、1つの実装において、集積回路100は、不活性化される自己テストのデフォルト状態を反映するようにバイパス状態レジスタを設定するように構成されてもよく、このデフォルト状態からの逸脱を示すように、すなわち自己テストが実行されるべきであることを示すように所定の方法でバイパス状態レジスタがプログラミングされることを要求する。本書に記載される実装で、集積回路100は、デフォルトで自己テストを実行するように構成され、自己テストの実行の状態を“無効”に設定するようにバイパス状態レジスタがプログラミングされることを要求する。

30

40

【0036】

自己テストが実行されていないことをLBIST状態レジスタ116が示す場合に、これはバイパス・ビットが読み出され分析された（ステップ405及び406）後に例えば本書に記載されるプロセスでテスト可能ロジックについて電源投入シーケンスの完了の際に判定され、自己テストが実行される必要があることを示すバイパス・ビットの分析に応じて、処理リソース106は、自己テスト・モードに入り、OTPメモリ114からLBIST構成データを読み出す（ステップ408）。その後、処理リソース106は、LBIST

50

Tコントローラ118がLBIST構成データに従って自己テストを監督できるようにOTPメモリ114から取得されたパラメータでLBISTコントローラ118をプログラミングする(ステップ410)。その後、LBISTコントローラ118は、PRPG200及び結果データ・ストア205に通信されるLBIST_START(図5)信号の状態を変更し、そして、LBISTコントローラ118は、この例において、処理リソース106によって提供されるプログラミングを実行することによってLBISTスキャンを実行する(ステップ412)。LBISTスキャン、すなわち自己テストは、PRPG200によって生成されたデジタル・データ・パターンを処理リソース106のロジック206の個別の入力及び複数のスキャン・チャンネル202、204に適用することによって、処理リソース106のデジタル・ロジックを含む集積回路のデジタル・ロジックで実行し、デジタル・ロジックは、後続の評価のために結果データ・ストア205に格納される出力シグニチャ・データを算出するためにLBISTコントローラ118によって用いられる出力データを生成することによって応答する。デジタル・ロジックのフリップフロップのテストの詳細は本書で説明される実施形態の理解の中核ではないので、デジタル・データ・パターンの生成及び適用は詳細に記載されない。しかし、処理リソース106及び他のデジタル・ロジック、例えば複数のスキャン・チャンネル202、204は自己テストによって略同時にテストされることが理解されるはずである。

10

【0037】

スキャンが完了すると、LBISTコントローラ118は、自己テストが実行され完了したことを示すために、LBIST状態レジスタ116に書き込む(ステップ414)。LBISTコントローラ118はまた、リセット信号生成器212に結合されている自身の出力でテスト完了、すなわちLBIST_DONE信号の状態を変更する。この点において、自己テストの実行中に、LBIST_DONE信号の状態は論理ローである。リセット信号生成器212において、論理ロー信号は分離され、XNORゲート304に適用される前に1つの信号パスに沿って遅延を受けるが、無遅延の論理ロー信号が別の信号パスに従い、XNORゲート304に直接に適用される。XNORゲート304は、論理ハイ出力信号(図5のSW_RSTN)を生成することによって応答する。しかし、自己テストが完了した場合に、LBIST_DONE信号は状態を論理ハイ信号に変更する。リセット信号生成器212において、無遅延論理ハイ・ステップがXNORゲート304に直接に適用され、遅延版の結果として、遅延LBIST_DONE信号の状態の変更がXNORゲート304に到達する前の所定の期間、XNORゲート304に論理ロー信号が適用される。この状況で、論理ハイ及び論理ロー信号はともに、遅延素子302によってもたらされた遅延によって決定される所定の期間、XNORゲート304に適用される。これら2つの信号レベルに応じて、XNORゲート304は、LBIST_DONE信号が論理ローの場合に、上述の遅延に対応する所定の期間、SW_RSTN信号を論理ハイから論理ローへ移行し、その後論理ハイレベルに戻し、論理状態の一時的な変化はパルス形状となる(ステップ416)。

20

30

【0038】

集積回路は、自身をリセットすることによって、リセット信号生成器212の出力で生成されるリセット信号(SW_RSTN)に応答し、処理リソース106は自己テスト・モードに入る又は始動するためのコードをリロードする。別の例で、処理リソース106は、初期化ステップ(ステップ404と402)を繰り返す。実際に、ROM108からのブート・シーケンスの読み出しは、種々のブート・シナリオ及び種々の再開ポイントのために提供されるサポートを可能にし、例えば、初期化ステップの要求し、又はこれを省略する。

40

【0039】

しかし、この例で、自身をリセットした後に、処理リソース106は、自己テストが既に実行されたかを判定する(ステップ406)ためにLBIST状態レジスタ116にアクセスする。しかし、今回は、処理リソース106は、自己テストが実行されたことを示すようにLBISTレジスタ116が設定されていることを見出す。

50

【 0 0 4 0 】

このようなものとして、自身を再構成する代わりに、処理リソース 1 0 6 は、ここで、自己テストの実行の結果として、すなわち自己テストが実行されたことを示すように L B I S T レジスタ 1 1 6 が設定されていることに応じて生成された結果データの評価を行う。この点において、処理リソース 1 0 6 は、結果データ・ストア 2 0 5 から結果データを読み出し（ステップ 4 1 8 ）、“ゴールデン”シグニチャと称されることもある期待結果データを O T P メモリ 1 1 4 から読み出す（ステップ 4 2 0 ）。その後、処理リソース 1 0 6 は、結果データを期待結果データに対して比較する（ステップ 4 2 2 ）。その後、処理リソース 1 0 6 は、比較の結果として結果シグニチャ・データと期待結果データとが一致するかを判定する（ステップ 4 2 4 ）。一致が見つかった場合に、処理リソース 1 0 6 は一致を記録し（ステップ 4 2 6 ）、他の場合に処理リソース 1 0 6 は、自己テストに関する失敗を記録する（ステップ 4 2 8 ）。自己テストが合格として記録された場合に、処理リソース 1 0 6 は自己テスト・モードを抜け、上述の主目的機能の振る舞いに従事する。しかし、自己テストが失敗として記録された場合に、失敗したテストは集積回路の設計者の失敗自己テスト・プロトコルに従って処理される。このプロトコルは本書で説明される発明原理の理解の中核でないので、プロトコルの詳細は記載されない。

10

【 0 0 4 1 】

したがって、処理リソース 1 0 6 が自己テストの結果を評価可能となるが、処理リソース 1 0 6 が自己テストの一部としてテストされることも可能となるようにするために、L B I S T コントローラ 1 1 8 が処理リソース 1 0 6 と連携することが見て取れる。処理リソース 1 0 6 は、上述のタスク、すなわち L B I S T コントローラ 1 1 8 のプログラミング及び自己テスト結果データの評価を実行するために、ブート後、例えば電源投入又はリセットの後に、例えば処理リソース 1 0 6 のロジック 2 0 6 が 1 つ以上のスキャン・チェーンとして再構成された場合に自己テスト・モードに入る。

20

【 0 0 4 2 】

上述の実装が添付の特許請求の範囲内と理解できる様々な実装の単なる例であることを当業者は理解するはずである。実際に、上記の記載を通じて、処理リソース、例えばプロセッサに対して参照が行われた。しかし、処理リソースは、集積回路の電源投入シーケンスを制御又は監督でき、そうして上述の方法で進行する自身の動作モードを有することをサポートする集積回路の任意のデジタル・ロジックでありうるということが理解されるはずである。

30

【 0 0 4 3 】

さらに、上述の自己テストの例は L B I S T の文脈でなされた。しかし、上述の技術及び構成は、他の自己テストの方法の観点での実装を意図しており、デジタル・ロジックの観点で自己テストが実行されることが望ましく、デジタル・ロジックは自己テストの少なくとも一部を実装するために用いられるロジックを備えることを当業者は理解するはずである。

【 0 0 4 4 】

上記の例で、自己テスト・プロセスは集積回路 1 0 0 の電源投入に応じて開始される。この点において、テストは任意の適切なメカニズムを用いて開始されてもよく、例えばテストの開始はブート R O M によってサポートされてもよく、周期的、例えば毎時又は毎日であってもよい。これに代えて又はこれに加えて、テストはオンデマンドで、例えばユニバーサル・シリアル・バス・ポート（不図示）を通じたもののような自己テストに対応した集積回路 1 0 0 を備える装置の周辺機器を通じてユーザによって提供された命令を通じて開始されてもよい。

40

【 0 0 4 5 】

上記の実施形態のシステム及び方法は、記載された構造的コンポーネント及びユーザ・インタラクションに加えて、コンピュータ・システムで（特にコンピュータ・ハードウェア又はコンピュータ・ソフトウェアで）又は特別に製造された又は構成された集積回路で実施されてもよい。

【 0 0 4 6 】

50

本書における論理ハイ及び論理ローへの参照は、デジタル・ロジック・レベルを指すと理解されるべきである。この点において、本書で説明された例は、例えば論理ハイ及び論理ローを表すためにそれぞれバイナリ・ロジック、例えば1及び0を採用することが想定される。しかし、本書に記載された原理は適用選好を受けて採用される任意の適切なロジック方式に適用されうる。

【0047】

上記の実施形態の方法は、コンピュータ・プログラムとして、又はコンピュータ又は他のプロセッサで実行された場合に上述の方法を実行するように構成されたコンピュータ・プログラムを伝達するコンピュータ・プログラム製品又はコンピュータ可読媒体として提供されてもよい。

10

【0048】

“コンピュータ可読媒体”という用語は、限定することなく、コンピュータ又はコンピュータ・システムによって直接に読み出し及びアクセスされうる任意の媒体を含む。媒体は、フロッピー・ディスク、ハードディスク記憶媒体のような磁気記憶媒体と、光学ディスク又はCD-ROMのような光学記憶媒体と、RAM、ROM及びフラッシュ・メモリを含むメモリのような電子記憶媒体と、磁気/光学記憶媒体のような上記のハイブリッド及び組み合わせとを含みうるがこれらに限定されない。

【0049】

発明の特定の例が上記に記載されてきたが、多くの均等な修正及び変更が可能であることを当業者は理解する。したがって、上記で説明された発明の例示の実施形態は、説明的であり限定でないとみなされる。発明の精神及び範囲から逸脱することなく、記載された実施形態の様々な変更が行われてもよい。

20

30

40

50

【図面】

【図 1】

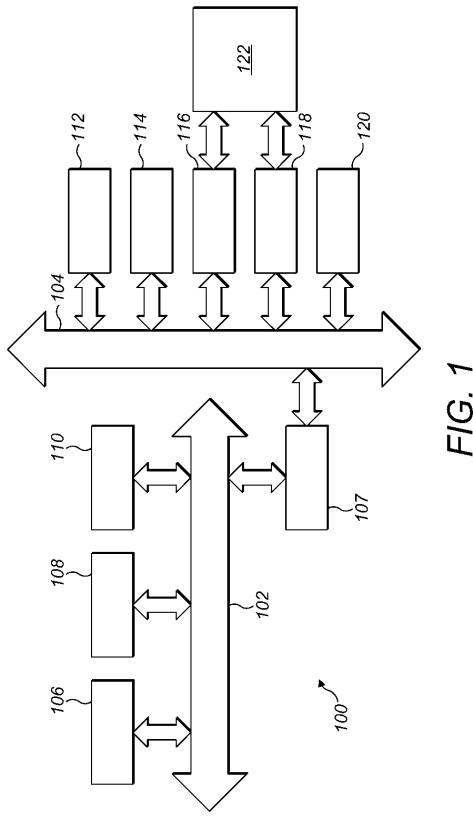


FIG. 1

【図 2】

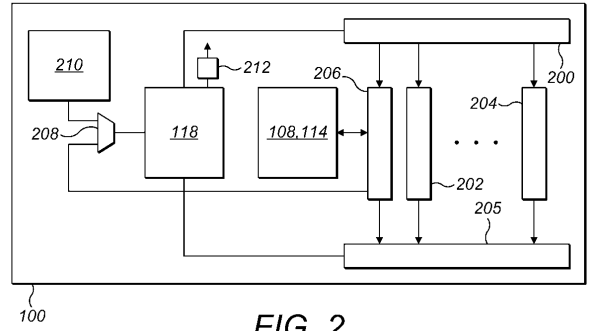


FIG. 2

【図 3】

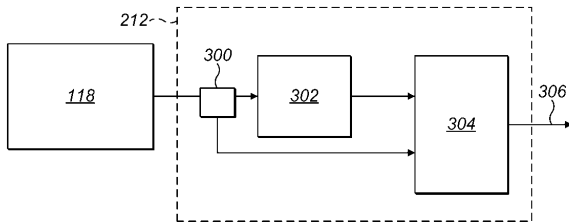


FIG. 3

【図 4】

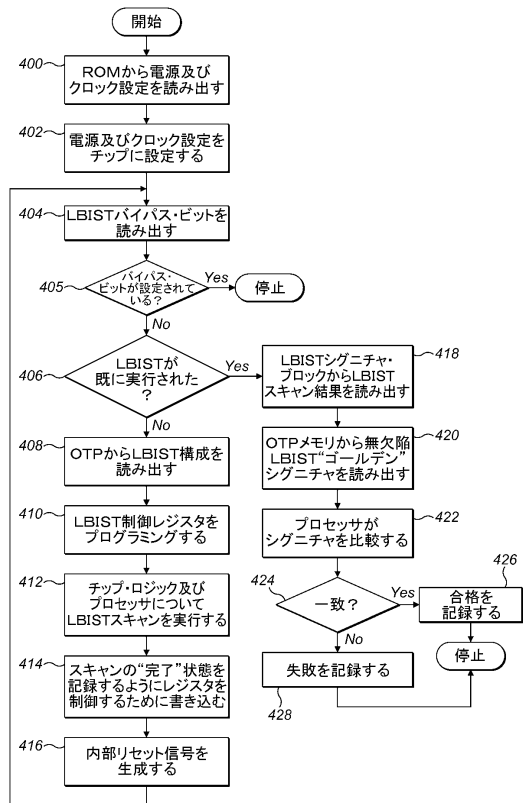


FIG. 4

10

20

30

40

50

【 5 】

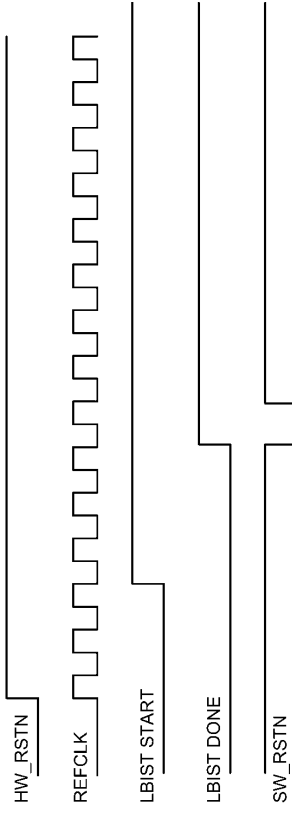


FIG. 5

10

20

30

40

50

フロントページの続き

- 弁理士 関根 毅
 (74)代理人 100096921
 弁理士 吉元 弘
 (72)発明者 フキ ヤッシーネ
 スイス国 タルウィル 8800, チュルヒャーシュトラーセ 68, ユー ブロックス アクチ
 エンゲゼルシャフト内
 (72)発明者 チェガラック ジョルジェ
 スイス国 タルウィル 8800, チュルヒャーシュトラーセ 68, ユー ブロックス アクチ
 エンゲゼルシャフト内
 (72)発明者 デメイ エリック
 スイス国 タルウィル 8800, チュルヒャーシュトラーセ 68, ユー ブロックス アクチ
 エンゲゼルシャフト内
 (72)発明者 ブルーティノ ルカ
 スイス国 タルウィル 8800, チュルヒャーシュトラーセ 68, ユー ブロックス アクチ
 エンゲゼルシャフト内
 (72)発明者 サピエンツァ マルチア
 スイス国 タルウィル 8800, チュルヒャーシュトラーセ 68, ユー ブロックス アクチ
 エンゲゼルシャフト内
 審査官 市川 武宜
 (56)参考文献 特開2001-027958(JP,A)
 特開平09-134599(JP,A)
 特開2007-278727(JP,A)
 特開2002-357642(JP,A)
 特開平03-231507(JP,A)
 (58)調査した分野 (Int.Cl., DB名)
 H01L 21/822
 G01R 31/28
 G06F 11/27
 G06F 11/22