

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200710085019.0

H01L 27/12 (2006.01)
H01L 27/32 (2006.01)
H01L 23/522 (2006.01)
H01L 23/532 (2006.01)
H01L 23/528 (2006.01)
H01L 29/786 (2006.01)

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573884C

[51] Int. Cl. (续)

H01L 29/423 (2006.01)

H01L 29/49 (2006.01)

G02F 1/1362 (2006.01)

[22] 申请日 2002.3.27

[21] 申请号 200710085019.0

分案原申请号 02108075.5

[30] 优先权

[32] 2001.3.27 [33] JP [31] 91192/01

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 须泽英臣 小野幸治

楠山义弘

[56] 参考文献

US5464500A 1995.11.7

CN1258103A 2000.6.28

US5670062A 1997.9.23

JP2001-53283A 2001.2.23

CN1282107A 2001.1.31

US5912506A 1999.6.15

审查员 颜庙青

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘春元 梁永

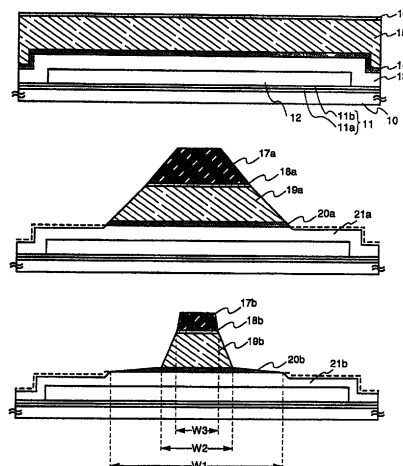
权利要求书 7 页 说明书 37 页 附图 22 页

[54] 发明名称

显示器件

[57] 摘要

本发明的布线具有层叠结构，它包括具有第一宽度的第一导电层(第一层)，由选自 W 和 Mo，或主要含该元素的合金或化合物的一种或多种元素制成；低阻的第二导电层(第二层)，其具有小于第一宽度的第二宽度，由主要含 Al 的合金或化合物制成；及第三导电层(第三层)，其具有小于第二宽度的第三宽度，由主要含 Ti 的合金或化合物制成。采用这种结构，使本发明为像素段的扩大留有充分的余地。至少第二导电层的边缘具有锥形的截面。由于这种形状，使得能够获得令人满意的覆盖范围。



1. 一种显示器件，该显示器件包括：
在绝缘表面上方的源线；
在所述绝缘表面上的栅布线，其中所述栅布线包括：
在所述绝缘表面上的第一导电层；
在第一导电层上包含铜或铝的第二导电层；和
在该第二导电层上的第三导电层；
在所述栅布线上方的栅绝缘膜；
在该栅绝缘膜上方的半导体层，其包括沟道形成区域；
在所述源线和该半导体层上方的绝缘薄膜；以及
电连接到所述栅布线的栅线，以及
电连接到该半导体层的像素电极，
其中所述栅线和像素电极在所述绝缘薄膜上并且与所述绝缘薄膜直接接触，
其中所述源线电连接到该半导体层，以及
其中所述第一导电层、第二导电层、第三导电层三者中的至少一个的边缘的截面具有锥形形状。
2. 根据权利要求1所述的显示器件，其中
所述第一导电层包含选自构成W和Mo的组中的至少一种元素。
3. 根据权利要求1所述的显示器件，其中
所述第三导电层包含Ti。
4. 根据权利要求1所述的显示器件，其中
所述第一导电层、第二导电层、第三导电层中的至少一个的锥形角是 $5^{\circ} - 30^{\circ}$ 。
5. 根据权利要求1所述的显示器件，其中
通过干法刻蚀形成所述的栅布线。
6. 根据权利要求1所述的显示器件，其中
所述第二导电层与第一导电层、第三导电层、栅绝缘膜接触，并且接触该栅绝缘膜的第二导电层的区域是被氧化的。
7. 根据权利要求1所述的显示器件，其中
该半导体层还包括源区和漏区。
8. 根据权利要求1所述的显示器件，其中

所述半导体器件被用于液晶显示器和发光器件两者中的至少一个。

9. 根据权利要求 1 所述的显示器件，其中该半导体层是晶体。

10. 一种显示器件，该显示器件包括：

像素部分，所述像素部分包括：

像素薄膜晶体管；

电容器；以及

在绝缘表面上方的源线，

其中所述像素薄膜晶体管包括：

在所述绝缘表面上的栅布线，其中所述栅布线包括：

在所述绝缘表面上的第一导电层；

在第一导电层上包含铜或铝的第二导电层；和

在该第二导电层上的第三导电层；

在该栅布线上方的栅绝缘膜；和

在所述栅绝缘膜上方的半导体层，其包括沟道形成区域；

在所述源线和该半导体层上方的绝缘薄膜；以及

电连接到所述栅布线的栅线，以及

电连接到该半导体层的像素电极，

其中所述栅线和像素电极在所述绝缘薄膜上并且与所述绝缘薄膜直接接触，

其中所述源线电连接到该半导体层，以及

其中所述第一导电层、第二导电层、第三导电层三者中的至少一个的边缘的截面具有锥形形状。

11. 根据权利要求 10 所述的显示器件，其中

所述第一导电层包含选自构成 W 和 Mo 的组中的至少一种元素。

12. 根据权利要求 10 所述的显示器件，其中

所述第三导电层包含 Ti。

13. 根据权利要求 10 所述的显示器件，其中

所述第一导电层、第二导电层、第三导电层中的至少一个的锥形角是 5° - 30° 。

14. 根据权利要求 10 所述的显示器件，其中

通过干法刻蚀形成所述的栅布线。

15. 根据权利要求 10 所述的显示器件，其中所述第二导电层与第一导电层、第三导电层、栅绝缘膜接触，并且接触该栅绝缘膜的第二导电层的区域是被氧化的。

16. 根据权利要求 10 所述的显示器件，其中该半导体层还包括源区和漏区。

17. 根据权利要求 10 所述的显示器件，其中所述半导体器件被用于液晶显示器和发光器件两者中的至少一个。

18. 根据权利要求 10 所述的显示器件，其中该半导体层是晶体。

19. 一种显示器件，该显示器件包括：

形成在基板上方的驱动电路，所述驱动电路包括：

n 沟道型薄膜晶体管；和

p 沟道型薄膜晶体管，

形成在该基板上方的像素部分，所述像素部分包括：

像素薄膜晶体管；

电容器；以及

在绝缘表面上方的源线，

其中所述 n 沟道型薄膜晶体管、p 沟道型薄膜晶体管、像素薄膜晶体管中的每一个包括：

在基板上方的所述绝缘表面上的栅布线，其中所述栅布线包括：

在所述绝缘表面上的第一导电层；

在第一导电层上包含铜或铝的第二导电层；和

在该第二导电层上的第三导电层；

在该栅布线上方的栅绝缘膜；和

在所述栅绝缘膜上方的半导体层，其包括沟道形成区域；

在所述源线和该半导体层上方的绝缘薄膜；以及

电连接到所述栅布线的栅线，以及

电连接到该半导体层的像素电极，

其中所述栅线和像素电极在所述绝缘薄膜上并且与所述绝缘薄膜直接接触，

其中所述源线电连接到该半导体层，以及
其中所述第一导电层、第二导电层、第三导电层三者中的至少一个的边缘的截面具有锥形形状。

20. 根据权利要求 19 所述的显示器件，其中
所述第一导电层包含选自构成 W 和 Mo 的组中的至少一种元素。

21. 根据权利要求 19 所述的显示器件，其中
所述第三导电层包含 Ti。

22. 根据权利要求 19 所述的显示器件，其中
所述第一导电层、第二导电层、第三导电层中的至少一个的锥形角是 $5^{\circ} - 30^{\circ}$ 。

23. 根据权利要求 19 所述的显示器件，其中
通过干法刻蚀形成所述的栅布线。

24. 根据权利要求 19 所述的显示器件，其中
所述第二导电层与第一导电层、第三导电层、栅绝缘膜接触，并且接触该栅绝缘膜的第二导电层区域是被氧化的。

25. 根据权利要求 19 所述的显示器件，其中
该半导体层还包括源区和漏区。

26. 根据权利要求 19 所述的显示器件，其中
所述半导体器件被用于液晶显示器和发光器件两者中的至少一个。

27. 根据权利要求 19 所述的显示器件，其中
该半导体层是晶体。

28. 一种显示器件，该显示器件包括：

象素部分，所述象素部分包括：

电流控制薄膜晶体管；

开关薄膜晶体管；以及

在绝缘表面上方的源线，

其中所述电流控制薄膜晶体管和所述开关薄膜晶体管中的每一个包括：

形成在基板上方的所述绝缘表面上的栅布线，其中所述栅布线包括：

在所述绝缘表面上的第一导电层；

在第一导电层上包含铜或铝的第二导电层；和
在第二导电层上的第三导电层；
在栅布线上方的栅绝缘膜；和
在栅绝缘膜上方的半导体层，其包括沟道形成区域；
在所述源线和该半导体层上方的绝缘薄膜；以及
电连接到所述栅布线的栅线，以及
电连接到该半导体层的像素电极，
其中所述栅线和像素电极在所述绝缘薄膜上并且与所述绝缘薄膜直接接触，

其中所述源线电连接到该半导体层，以及
其中所述第一导电层、第二导电层、第三导电层三者中的至少一个的边缘的截面具有锥形形状。

29. 根据权利要求 28 所述的显示器件，其中
所述第一导电层包含选自构成 W 和 Mo 的组中的至少一种元素。

30. 根据权利要求 28 所述的显示器件，其中
所述第三导电层包含 Ti。

31. 根据权利要求 28 所述的显示器件，其中
所述第一导电层、第二导电层、第三导电层中的至少一个的锥形角是 $5^{\circ} - 30^{\circ}$ 。

32. 根据权利要求 28 所述的显示器件，其中
通过干法刻蚀形成所述的栅布线。

33. 根据权利要求 28 所述的显示器件，其中
所述第二导电层与第一导电层、第三导电层、栅绝缘膜接触，并且接触该栅绝缘膜的第二导电层的区域是被氧化的。

34. 根据权利要求 28 所述的显示器件，其中
该半导体层还包括源区和漏区。

35. 根据权利要求 28 所述的显示器件，其中
所述半导体器件被用于液晶显示器和发光器件两者中的至少一个。

36. 根据权利要求 28 所述的显示器件，其中
该半导体层是晶体。

37. 一种显示器件，该显示器件包括：

形成在基板上方的驱动电路，所述驱动电路包括：

n 沟道型薄膜晶体管；和

p 沟道型薄膜晶体管，

形成在该基板上方的象素部分，所述象素部分包括：

电流控制薄膜晶体管；

开关薄膜晶体管；以及

在绝缘表面上方的源线，

其中所述 n 沟道型薄膜晶体管、所述 p 沟道型薄膜晶体管、所述电流控制薄膜晶体管、所述开关薄膜晶体管中的每一个包括：

形成在基板上方的绝缘表面上的栅布线，

其中所述的栅布线包括：

在所述绝缘表面上的第一导电层；

在第一导电层上包含铜或铝的第二导电层；和

在该第二导电层上的第三导电层；

在该栅布线上方的栅绝缘膜；和

在所述栅绝缘膜上方的半导体层，其包括沟道形成区域；

在所述源线和该半导体层上方的绝缘薄膜；以及

电连接到所述栅布线的栅线，以及

电连接到该半导体层的像素电极，

其中所述栅线和像素电极在所述绝缘薄膜上并且与所述绝缘薄膜直接接触，

其中所述源线电连接到该半导体层，以及

其中所述第一导电层、第二导电层、第三导电层三者中的至少一个的边缘的截面具有锥形形状。

38. 根据权利要求 37 所述的显示器件，其中所述第一导电层包含选自构成 W 和 Mo 的组中的至少一种元素。

39. 根据权利要求 37 所述的显示器件，其中所述第三导电层包含 Ti。

40. 根据权利要求 37 所述的显示器件，其中所述第一导电层、第二导电层、第三导电层中的至少一个的锥形角是 5° - 30° 。

41. 根据权利要求 37 所述的显示器件，其中

通过干法刻蚀形成所述的栅布线。

42. 根据权利要求 37 所述的显示器件，其中所述第二导电层与第一导电层、第三导电层、栅绝缘膜接触，并且接触该栅绝缘膜的第二导电层的区域是被氧化的。

43. 根据权利要求 37 所述的显示器件，其中该半导体层还包括源区和漏区。

44. 根据权利要求 37 所述的显示器件，其中所述半导体器件被用于液晶显示器和发光器件两者中的至少一个。

45. 根据权利要求 37 所述的显示器件，其中该半导体层是晶体。

显示器件

本申请是已于2002年3月27日提交的以下发明专利申请的分案申请，申请号：02108075.5、发明名称：“布线和制造布线的方法以及布线板和制造布线板的方法”。

技术领域

本发明涉及使用薄膜技术形成的布线及制造布线的方法。本发明还涉及布线板及制造布线板的方法。在本说明书中，布线板是指用玻璃等制造的绝缘基板或具有使用薄膜技术形成的布线的各种基板。

背景技术

近年来，使用在有绝缘表面的基板上形成的半导体薄膜（厚度约几至几百nm）来形成薄膜晶体管（TFT）的技术已受到人们的注意。TFT广泛地应用于电子器件如集成电路（IC）和电光仪器。特别是TFT作为图象显示仪的开关元件正在得到迅速地发展。

通常，液晶显示器件是作为图象显示仪器为人们所知的。与无源型液晶显示器件相比，由于能得到精度更高的图象，有源矩阵型液晶显示器件正在更多地使用。在有源矩阵型液晶显示器件中，排列在矩阵中的象素电极受到驱动，从而在屏幕上形成显示图形。更具体地说，电压加在选出的象素电极和与此象素电极相对应的反电极之间，由此配置在象素电极和反电极之间的液晶层就受到光学调制，而这种光学调制是由观测者以显示图形而认知的。

这种有源矩阵型液晶显示器件得到了比较广泛的应用，而且对高精度、高孔径比，高稳定性，以及屏幕尺寸的扩大存在日益增长的需要。对提高生产力和降低成本也有要求。

在使用铝（Al）作为上述TFT的布线来制造TFT的情况下，由于热处理而形成凸出物如凸起和须状物，Al原子会扩散到绝缘膜和有源区（特别是沟道形成区），这就会造成TFT工作故障或TFT电气特性下降。

在这种情况下，考虑使用耐热处理的金属材料（有代表性的是，

具有高熔点的金属元素，诸如钨（W）和钼（Mo））。然而这些元素的电阻与 Al 的电阻相比却非常高（见表 1）。

表 1

布线材料	电阻率 ($\mu\Omega\text{cm}$)
Al	2
W	10 - 20
Mo	15 - 25

因此，在屏幕尺寸扩大时，线路延迟就成了问题。有鉴于此，考虑通过使布线变得较厚来降低电阻的方法。但是，在布线宽度增大时，设计自由度和象素段的孔径比都会降低。此外，在布线的薄膜厚度做得更大时，很可能在布线相互三维交叉区段造成短路，并且在布线阶差段其覆盖范围也会下降。

发明内容

因此，考虑到上述情况，本发明的目的是提供便于屏幕扩大的布线和制造此布线的办法，以及提供布线板和布线板的制造方法。

根据本发明，布线为层叠结构，它包括：作为第一层是主要含有选自 W 和 Mo 的一种或多种元素的导电膜，或选自 W 和 Mo 的一种或多种元素；作为第二层，主要含 Al 的低阻导电膜；及作为第三层，主要含 Ti 的导电膜，由此试图降低布线电阻。根据本发明，主要含 Al 的低阻导电膜用其他导电膜夹在当中，由此能够避免因热处理而形成凸出物如凸起和须状物。此外，由于第一和第二层用高熔点的导电膜制成，它们起阻挡金属的作用，这就能防止 Al 原子扩散到绝缘膜和有源区（表 2）。还有，在本发明的布线上形成绝缘膜且与此布线形成接触时，第三层对绝缘膜的蚀刻起挡板的作用，所以接触能够易于形成。当 Al 与 ITO 膜（典型的透明导电膜）接触时，Al 引起电腐蚀使接触电阻增加。但是，第三层由主要含 Ti 的导电膜制成，所以接触电阻变得令人满意。

表 2

布线材料	熔点 [°C]
Al	660.4
W	3387
Mo	2610
Ti	1675

此外，根据本发明，至少由主要含 Al 的低阻导电膜制成的第二层的边缘呈锥形。由于这种锥形形状，在阶差段的覆盖范围提高了。在本说明书中，锥形角是指由材料层的水平表面和侧表面所形成的角度。还有，在本说明书中，为方便起见，有锥形角的侧表面称为锥形形状，呈锥形的区段称为锥形段。

在本说明书中公开的本发明的结构涉及到呈层叠结构的布线，它包括具有第一宽度的第一导电层作为第一层，具有小于第一宽度的第二宽度第二导电层作为第二层，以及具有小于第二宽度的第三宽度第三导电层作为第三层，其特征在于第一导电层，第二导电层，或第三导电层的边缘的截面呈锥形形状。

在上述结构中，布线的特点是具有层叠结构，它包括由主要含 W 的合金或化合物制成的导电层（第一层），由主要含 Al 的合金或化合物制成的导电层（第二层），以及由主要含 Ti 的合金或化合物制成的导电层（第三层）。另一种情况是，布线的特点是呈层叠结构，它包括由主要含 Mo 的合金或化合物制成的导电层（第一层），由主要含 Al 的合金或化合物制成的导电层（第二层），以及由主要含 Ti 的合金或化合物制成的导电层（第三层）。例如，作为第一层，能够使用 W，WN，Mo，或其他类似材料等。作为第二层，能使用 Al，Al-Si (2 wt %)，Al-Ti (1 wt %)，Al-Nd (1 wt %)，Al-Sc (0.18 wt %)，或其他类似材料等。作为第三层能使用 Ti，TiN，或其他类似材料等。这些层可以通过溅射，等离子体 CVD，或诸如此类的方法来形成。此外，当在第二层中形成 Al-Si 或类似材料时，对元素如 Si 能溶入 Al 的比率有限制（固溶度限制）。因为溶解度较高时，电阻增加，热阻也发生变化。因此，本领域的技术人员可根据适合于布线的电阻和热阻以及元素例如 Si 的固溶度限制，适当地确定 Si 或类似材料对 Al 的比率。

表 3 示出构成布线的各导电层中电阻的实例。从表 3 了解到由主要含 Al 的合金或化合物制成的导电层与其他导电层相比，具有非常低的电阻。

表 3

布线材料		电阻率 [$\mu\Omega\text{cm}$]
主要含 W 的材料	W	10-20
	WN	150-220
主要含 Al 的材料	Al	2
	Al-Si (2wt%)	3.5-4.5
	Al-Ti (1wt%)	8-10
	Al-Nd (1wt%)	7-10
	Al-Sc (0.18wt%)	3.5-4.0
主要含 Ti 的材料	Ti	50-60
	TiN	130-200

任何蚀刻方法都可以采用，只要具有热阻和电导的第一，第二，及第三导电膜能够以高速度和良好的精度蚀刻，并且薄膜的边缘段能做成锥形就行。这其中，最好使用利用高密度等离子体的干法蚀刻法。使用微波，螺旋波等离子体（HWP），或感应耦合等离子体（ICP）的蚀刻仪适合于获得高密度等离子体。例如，电子回旋共振（ECR）蚀刻仪，表面波等离子体（SWP）蚀刻仪，ICP 蚀刻仪，双频平行板激发型蚀刻仪，或其他类似仪器等都可以使用。尤其是 ICP 蚀刻仪易于控制等离子体，而且便于待处理基板的扩大。

例如，为了进行高精度等离子体处理，使用的方法是通过多重螺旋线圈（其中多个螺旋线圈段通过阻抗匹配电路并联连接）施加高频电功率来形成等离子体。此外，高频电功率也加在持有待处理基板的低电极上，从而供给其偏压。

当使用采用这种多重螺旋线圈的 ICP 蚀刻仪时，锥形角可有显著地改变，要视加在基板侧的偏压电功率而定。因此，通过进一步增加偏压电功率并改变压力，能在 $50^\circ - 85^\circ$ 范围改变锥形角。

作为用于蚀刻第二和第三层的气体，最好是氟气。例如，可以使用 SiCl_4 ， HCl ， CCl_4 ， BCl_3 ， Cl_2 ，或其他类似气体等。

作为用于蚀刻第一层的气体，最好是氟气。例如可以使用 NF_3 ， CF_4 ，

C_2F_6 , SF_6 , 或其他类似气体等。在氯气与氟气同时采用时, 第一层中的蚀刻率提高, 这是所希望的。

此外, 通过使布线具有包括上述导电层的层叠结构, 使用 ICP 蚀刻法或其他类似方法使布线边缘形成锥形。通过使布线边缘形成锥形, 在后面过程中将要形成的薄膜其覆盖范围能够令人满意。

在上述结构中, 第一导电层的边缘最好做成锥形。呈锥形形状的区域(即锥形段)是一个与第二导电层不相重叠的区域, 该区的宽度与从第一宽度中减掉第二宽度所得到的宽度相当。还有, 最好是第二导电层做成锥形, 且使其锥形角大于第一导电层锥形段的锥形角。此外, 最好第三导电层做成锥形, 且使其锥形角基本上与第二导电层锥形段的锥形角相同。

实现本方案的结构涉及到制造布线的方法, 其包括的步骤为: 形成第一形状导电层, 其包括绝缘表面上第一导电层, 第二导电层, 以及第三导电层组成的叠层; 蚀刻第一导电层, 第二导电层, 以及第三导电层以形成第二形状导电层, 其包括第一宽度第一导电层, 第二宽度第二导电层, 以及第三宽度第三导电层组成的叠层; 及蚀刻第二宽度第二导电层和第三宽度第三导电层以形成第三形状导电层, 其包括第四宽度第一导电层, 第五宽度第二导电层, 及第六宽度第三导电层组成的叠层, 其中第一导电层, 第二导电层, 或第三导电层的边缘截面呈锥形。

在上述结构中, 布线的特点是具有层叠结构, 其包括由主要含 W 的合金或化合物制成的导电层(第一层), 由主要含 Al 的合金或化合物制成的导电层(第二层), 以及由主要含 Ti 的合金或化合物制成的导电层(第三层)。另一种情况是, 布线特点是呈层叠结构, 其包括由主要含 Mo 的合金或化合物制成的导电层(第一层), 由主要含 Al 的合金或化合物制成的导电层(第二层), 以及由主要含 Ti 的合金或化合物制成的导电层(第三层)。

此外, 通过使布线能具有包括上述导电层的层叠结构, 使用 ICP 蚀刻法或其他类似的方法等使布线边缘形成锥形。通过使布线边缘形成锥形, 在后面的过程中将要形成的薄膜其覆盖范围能够令人满意。

在上述结构中, 第一导电层的边缘最好做成锥形。呈锥形形状的区域(即锥形段)是一个与第二导电层不相重叠的区域, 该区的宽度

与从第一宽度中减掉第二宽度所得到的宽度相当。还有最好第二导电层也做成锥形，且使其锥形角大于第一导电层锥形段的锥形角。此外，最好第三导电层做成锥形，且使其锥形角基本上与第二导电层锥形段的锥形角相同。

本发明的结构涉及到包括绝缘基板和布线的布线板，其特征在于布线为层叠结构，其包括；具有第一宽度的第一导电层作为第一层；具有小于第一宽度的第二宽度第二导电层作为第二层；以及具有小于第二宽度的第三宽度第三导电层作为第三层，并且其特征还在于第一导电层，第二导电层或第三导电层的边缘截面呈锥形形状。

在上述结构中，布线形成方法的特征在于主要含 W 的导电膜，主要含 Al 的导电膜，以及主要含 Ti 的导电膜都叠放在彼此的顶上，再带掩模进行蚀刻。此外，在上述结构中，布线形成过程的特征在于主要含 Mo 的导电膜，主要含 Al 的导电膜，以及主要含 Ti 的导电膜都叠放在彼此的顶上，再用掩膜进行蚀刻。

在上述结构中，第一导电层的边缘最好做成锥形。呈锥形形状的区域（即锥形段）是一个与第二导电层不相重叠的区域，该区的宽度与从第一宽度中减掉第二宽度所得到的宽度相当。还有最好第二导电层也做成锥形，且使其锥形角大于第一导电层锥形段的锥形角。此外，最好第三导电层做成锥形，且使其锥形角基本上与第二导电层锥形段的锥形角相同。

此外，实现本发明的结构涉及到布线板的制造方法，其特点包括上述步骤：在绝缘表面上形成第一导电层；在第一导电层上形成第二导电层；在第二导电层上形成第三导电层，并对第一至第三导电层进行蚀刻以形成有锥形段的导电层。

在上述结构中，布线形成过程的特征在于主要含 W 的导电膜，主要含 Al 的导电膜，以及主要含 Ti 的导电膜都叠放在彼此的顶上，再带掩模进行蚀刻。此外，在上述结构中，布线形成过程的特征在于主要含 Mo 的导电膜，主要含 Al 的导电膜，以及主要含 Ti 的导电膜都叠放在彼此的顶上，再带掩模进行蚀刻。

此外，通过使布线能具有包括上述导电层的层叠结构，使用 ICP 蚀刻法或其他类似方法等使布线边缘形成锥形。通过使布线边缘形成锥形，在后面的过程中将要形成的薄膜，其覆盖范围能够令人满意。

在上述结构中，第一导电层的边缘最好做成锥形。呈锥形形状的区域（即锥形段）是一个与第二导电层不相重叠的区域，该区的宽度与从第一宽度中减掉第二宽度所得到的宽度相当。还有最好第二导电层也做成锥形，且使其锥形角大于第一导电层锥形段的锥形角。此外，最好第三导电层做成锥形，且使其锥形角基本上与第二导电层锥形段的锥形角相同。

根据本发明，凭借适合于常规布线或制造布线板的过程的简单方法，布线中能够实现低电阻。因此，设计自由和象素段孔径比的程度可以提高。由于布线包括具有锥形形状的导电层，故得到了满意的覆盖范围。因为有这些优点，在以有源矩阵型液晶显示器件为代表的半导体器件中，本发明对因象素段面积增加所致的屏幕扩大留充分的余地，这就使半导体器件的工作特性和可靠性得以提高。

本发明的这些优点和其他优点对本领域技术人员在参照附图阅读和理解下面的详细说明时会变得明显起来。

附图说明

在附图中：

图 1A - 1C 示出本发明的典型原理；

图 2A 和 2B 示出根据本发明生产的布线的典型形状；

图 3A 和 3B 示意性地示出根据本发明生产的布线的形态；

图 4A - 4C 示出根据本发明生产的布线的典型形状；

图 5A - 5C 示出根据本发明生产的布线的典型形状；

图 6A - 6C 示出根据本发明生产的布线的典型形状；

图 7A - 7C 示出根据本发明的典型原理；

图 8A - 8C 为截面视图，其说明象素 TFT 和 TFT 驱动电路的制造过程；

图 9A - 9C 为截面视图，其说明象素 TFT 和 TFT 驱动电路的制造过程；

图 10 为截面视图，其示出象素 TFT 和 TFT 驱动电路的制造过程；

图 11 为顶视图，其示出象素 TFT 的配置；

图 12 为截面视图，其说明有源矩阵型液晶显示器件的制造过程；

图 13 为截面视图，其说明有源矩阵型液晶显示器件的制造过程；

图 14 为发光器件的驱动电路和象素段的截面结构视图；

图 15A 为发光器件的顶视图，图 15B 为该发光器件驱动电路和象素段的截面结构视图；

图 16 为发光器件驱动电路和象素段的截面结构视图；

图 17A 和 17B 示出本发明的典型原理；

图 18A 和 18B 为截面视图，其说明有源矩阵型液晶显示器件的制造过程；

图 19 为发光器件象素段的截面结构视图；

图 20A 至 20C 示出半导体器件实例；

图 21 为截面视图，其说明象素 TFT 和 TFT 驱动电路的制造过程；
及

图 22 示意性地示出根据第一蚀刻工况生产的布线的形状。

具体实施方案

下面，将通过例证性实施方案参照图 1A - 1C 对本发明予以说明。在本实施方案中，将对采用本发明的装有 TFT，栅极的布线板予以说明。

首先，在基板 10 上形成底绝缘膜 11。作为基板 10，可以使用玻璃基板，石英基板，硅基板，塑料基板，金属基板，挠性基板，或其他类似基板等。玻璃基板的实例包括用玻璃如钡硼硅玻璃或铝硼硅玻璃制成的玻璃基板。此外，挠性基板是指用 PET，PES，PEN，丙烯酸树脂，或诸如此类材料所制成的薄膜形状基板。如果半导体器件使用挠性基板制造，可以料到其重量会轻。在挠性基板的正面或其正面和背面最好形成单层或多层的屏障层如 Al 膜 (Al₂O₃, AlN, AlO, 等等)，碳膜 (类金刚石碳 (DLC), 等等)，或 SiN 膜以提高寿命。

此外，作为底绝缘膜 11，形成了由绝缘膜如氧化硅膜，氮化硅膜，或氮氧化硅膜制成的底膜 11。其中，双层结构 (11a, 11b) 的底膜 11 是作为例子；但是，底膜 11 可以是单层膜的绝缘膜或可具有两层或更多层的多层结构。注意也可以不形成底绝缘膜。

然后，在底绝缘膜 11 上形成半导体层 12。通过用已知的方法 (溅射，LPCVD，等离子体 CVD，等等) 形成非晶结构半导体膜，用已知的结晶法 (激光结晶法，热结晶法，使用催化剂如镍的热结晶法，等等) 使该半导体膜结晶，并使用第一光掩膜使结晶的半导体膜形成图形具有所要求的形状，就得到了半导体层 12。形成的半导体层 12 厚度在

25 - 80 nm (最好是 30 - 60 nm)。对结晶半导体膜的材料没有特别的限制;但是,结晶半导体膜最好用硅,硅锗 (SiGe) 合金,或其他类似材料等形成。

然后,形成绝缘膜 13 以覆盖半导体 12。形成的绝缘膜 13 厚度在 40 - 150 nm 以便通过等离子体 CVD 或溅射使含硅绝缘膜具有单层结构或多层结构。绝缘膜 13 将成为栅绝缘膜。

其次,第一导电膜 14 (厚度: 20 - 100 nm), 第二导电膜 15 (厚度: 100 - 800 nm), 及第三导电膜 16 (厚度: 20 - 100 nm) 被层叠在绝缘膜 13 上。这里,这些导电膜可以利用溅射,等离子体 CVD 或其他类似方法形成,而由于第一导电膜 14 与绝缘膜 13 接触,可以使用主要含 W 或 Mo 的导电膜 (W, WMo, Mo 等) 以防止杂质从基板 10 扩散到沟道形成区。此外,作为第二导电膜 15,可以使用主要含 Al 的低阻导电膜 (Al, Al - Ti, Al - Sc, Al - Si, 等)。作为第三导电膜 16,可以使用主要含 Ti (Ti, TiN, 等) 接触电阻低的导电膜。

然后,使用第二光掩模形成抗蚀掩模 17a,而第一蚀刻过程在感应耦合等离子体 (ICP) 蚀刻仪或其他类似仪器中进行。由于第一蚀刻过程,第一至第三导电膜 14 - 16 被蚀刻,得到如图 1B 所示的边缘处有锥形段的导电层 18a - 20a。

第二蚀刻过程在 ICP 蚀刻仪或其他类似仪器中进行,使用如原来在第二光刻法中形成的抗蚀掩模 17a。由于第二蚀刻过程,第二导电层 19a 和第三导电层 18a 被选择性地蚀刻得到如图 1C 所示的第二导电层 19b 和第三导电层 18b。在第二蚀刻过程中,抗蚀掩膜 17a,第一导电层 20a,及绝缘膜 13 进行轻微蚀刻以形成抗蚀掩膜 17b,第一导电层 20b,及绝缘膜 21b。第一导电层 20b 具有第一宽度 (W1),第二导电层 19b 具有第二宽度 (W2),及第三导电层 18b 具有第三宽度 (W3)。第一宽度大于第二宽度,而第二宽度大于第三宽度。

这里,为了抑制绝缘膜 13 的膜还原,蚀刻进行两次 (第一和第二蚀刻过程)。然而,只要能够形成如图 1C 所示的电极结构 (第三导电层 18b,第二导电层 19b,及第一导电层 20b 的层叠结构),就不存在特别的限制。蚀刻可以进行一次。

如上所述,根据本发明,由低阻导电层形成栅线。因此,即使象素段面积扩大,其也足以被驱动。不用说,本发明适用于各种布线以

及栅线，并且能够制造其上形成有此类布线的布线板。此外，根据本发明，其上形成有此类布线的半导体器件，其工作特性和可靠性也能够提高。

具有上述结构的本发明将通过下述实施方案予以详细说明。

本发明将通过实施方案进行说明，但是，应当指出本发明并不局限于此。

[实施方案 1]

下面将说明使用本发明装有栅电极的布线板的典型结构。

首先，在基板 10 上形成底绝缘膜 11。作为基板 10，可以使用玻璃基板，石英基板，硅基板，或金属基板，或其上形成有绝缘膜的挠性基板。此外，可以使用具有耐受处理温度热阻的塑料基板。在本实施方案中，使用玻璃基板（Corning 公司生产的 1737）。

作为底绝缘膜 11，形成了由绝缘膜如氧化硅膜，氮化硅膜，或氮氧化硅膜制成的底膜 11。这里，双层结构（11a，11b）的底膜 11 是作为例子，但是，底膜 11 可以是单层膜的绝缘膜或可以有两层或更多层的多层结构。注意也可以不形成底绝缘膜。在本实施方案中，形成的是厚度为 50 nm 的氮氧化硅膜 11a（组成比：Si=32%，O=27%，N=24%，H=17%）。其次，形成的是厚度为 100 nm 的氮氧化硅膜 11b（组成比：Si=32%，O=59%，N=7%，H=2%）。

然后，在底绝缘膜 11 上形成半导体层 12。通过用已知的方法（溅射，LPCVD，等离子体 CVD，等）形成非晶结构的半导体膜，用已知的结晶法（激光结晶法，热结晶法，使用催化剂如镍的热结晶法，等）使该半导体膜结晶，并使用第一光掩模使结晶的半导体膜形成图形具有所要求的形状，就得到了半导体层 12。形成的半导体 12 厚度在 25 - 80 nm（最好是 30 - 60 nm）。对结晶半导体膜的材料没有特别的限制；但是，结晶半导体膜最好用硅，硅锗（SiGe）合金，或其他类似材料等形成。在本实施方案中，通过等离子体 CVD 形成的非晶硅膜其厚度为 55 nm，而含镍的溶液则放在非晶硅薄膜上。非晶硅膜在 500 °C 下脱氢 1 小时。并在 550 °C 下热结晶 4 小时。为改善结晶情况而实施激光退火法来形成结晶硅膜。结晶硅膜用光刻法成形来形成半导体层 12。

然后,形成绝缘膜 13 以覆盖半导体层 12。通过等离子体 CVD 或溅射形成的绝缘膜 13 厚度在 40-150 nm 以便使含硅绝缘膜具有单层或多层结构。绝缘膜 13 将成为栅绝缘膜。在本实施方案中,通过等离子体 CVD 形成的氮氧化硅膜(组成比: Si=32%, O=59%, N=7%, H=2%)厚度为 110 nm。

其次,第一导电膜 14(厚度: 20 到 100 nm),第二导电膜 15(厚度: 100 到 800 nm),及第三导电膜 16(厚度: 20 到 100 nm)被层叠在绝缘膜 13 上。这里,这些导电膜 3 用溅射等方法形成,而由于第一导电膜 14 与绝缘膜 13 接触,可以使用主要含 W 或 Mo 的导电膜(W, WMo, Mo, 等)以防止杂质从基板 10 扩散到沟道形成区。此外,作为第二导电膜 15,可以使用主要含 Al 的低阻导电膜(Al, Al-Ti, Al-Sc, Al-Si 等)作为第三导电膜 16,可以使用主要含 Ti(Ti, TiN, 等)接触电阻低的导电膜。在本实施方案中,由 W 膜(厚度: 30 nm)制的第一导电膜 14,由 Al-Ti 膜(厚度: 500 nm)制的第二导电膜 15,及由 Ti 膜(厚度: 50 nm)制的第三导电膜 16 通过溅射进行叠层。第二导电膜 15 的 Ti 比为 1%,并且使用 Al-Ti 作为靶子来形成第二导电膜 15。

然后,进行第一蚀刻过程。第一蚀刻过程在第一蚀刻工况和第二蚀刻工况下进行。在本实施方案中,在第一蚀刻工况下使用 ICP 蚀刻法。更具体地说,是使用 BCl_3 , Cl_2 , 和 O_2 作为蚀刻气体,气体流量比率为 65:10:5 (sccm),而 450W 的 RF (13.56 MHz) 功率在 1.2Pa 的压力下,供给到线圈形电极上。通过产生等离子体进行 147 秒钟的蚀刻。这里,使用干法蚀刻仪(型号为 E645-ICP),其使用 Matsubshita 电气工业有限公司生产的 ICP。300W 的 RF (13.56 MHz) 功率也供给到基板侧(样品台),因此对其施加的基本上是负的自偏压。在第一蚀刻工况下,对抗蚀掩模的蚀刻速度是 235.5 nm/min,对 Al-Ti 的蚀刻速度是 233.4 nm/min,对 W 的蚀刻速度是 133.8 nm/min。对 Ti 的蚀刻速度几乎与对 Al-Ti 的蚀刻速度相同。如图 22 所示,Al-Ti 膜和 Ti 膜按第一蚀刻工况进行蚀刻以得到第二导电膜 29 和第三导电膜 28。在第一蚀刻工况下,对 Al-Ti 膜和 Ti 膜蚀刻使第二和第三导电层的边缘成锥形。此外,在第一蚀刻工况下,Al-Ti 膜和 Ti 膜的锥形角约变成 45° 。因为对 W 的蚀刻速度对抗蚀掩模, Ti, 及 Al-Ti 的蚀刻

速度要小得多，故主要对第一导电膜 14 的表面进行蚀刻以形成用参考数字 30 所指示的形状。

其后，蚀刻工况改变成第二蚀刻工况而不去掉抗蚀掩模 17a。在第二蚀刻工况下，使用 CF_4 ， Cl_2 ，和 O_2 作为蚀刻气体，气体流量比率为 25: 25: 10 (sccm)，500W 的 RF (13.56 MHz) 功率在 1Pa 的压力下供给到线圈形电极上，通过产生等离子体进行 30 秒钟的蚀刻。20W 的 RF (13.56 MHz) 功率也供给到基板侧 (样品台)，由此对其施加的基本上是负的自偏压。在第二蚀刻工况下， CF_4 ， Cl_2 ，和 O_2 混合，只对 W 膜蚀刻。在第二蚀刻工况下对 W 的蚀刻速度是 124.6 nm/min。为了进行蚀刻而不在栅绝缘膜上留下残留物，蚀刻时间可以增加约 10-20%。

在第一蚀刻过程中，通过把抗蚀掩模形状做得适当，由于加在基板侧偏压的作用，第一和第二导电层的边缘就形成锥状。锥形角可以设定在 15° - 45° 。从而，通过第一蚀刻过程就形成了包括第一导电层 20a，第二导电层 19a，及第三导电层 18a 的第一形状导电层。第一导电层 20a 在沟道长度方向的宽度与在上述实施方案模式中示出的 W1 相当。参考数字 21a 代表栅绝缘膜，而栅绝缘膜 21a 未被第一形状导电层覆盖的区域要轻微蚀刻约 20-50 nm。此处的第一蚀刻过程与上述实施方案模式中说明的第一蚀刻过程 (图 1B) 相当。图 2A 示出当时形成的第一形状导电层的扫描电子显微镜照片。

然后，进行第二蚀刻过程而不去掉抗蚀掩模。这里，使用 BCl_3 和 Cl_2 作为蚀刻气体。气体流量比率为 20: 60 (sccm)，600W 的 RF (13.56 MHz) 功率在 1.2Pa 的压力下供给到线圈形电极上，通过产生等离子体进行蚀刻。100W 的 RF (13.56 MHz) 功率也供给到基板侧 (样品台)，由此对其施加的基本上是负自偏压。在第二蚀刻过程中，对 Al-Ti 膜和 Ti 膜进行选择性的蚀刻。由于第二蚀刻过程，Al-Ti 膜和 Ti 膜的锥形角变成为 80° 。在第二蚀刻过程中，形成了第二导电层 19b 和第三导电层 18b。另一方面，第一导电层 20a 与第二导电层 19b 和第三导电层 18b 相比几乎不能蚀刻来形成第一导电层 20b。这里的第二蚀刻过程与上述实施方案模式中说明的第二蚀刻过程 (图 1C) 相当。因此，形成了第二形状导电层，它由在沟道长度方向上宽度为 W1 的第一导电层，在沟道长度方向上宽度为 W2 的第二导电层，以及在沟道长度方向上宽度为 W3 的第三导电层组成。图 2B 示出第二形状导电层的扫描电

子显微镜照片。

表 4 示出, 在 Al-Ti 膜下形成的膜对 Al-Ti 膜的蚀刻率为 2-10 的情况下, 考虑到 Al-Ti 膜蚀刻率的面内变化, 通过计算待蚀刻底层膜的厚度 (nm) 而得到的结果。当时是假定 Al-Ti 膜厚度为 500 nm, 面内存在 $\pm 5\%$ 的变化而计算的厚度。

表 4

对Al-Ti膜蚀刻率的变化($\pm\%$)	对底层膜的选择比								
	2	3	4	5	6	7	8	9	10
1	300.0	200.0	150.0	120.0	100.0	85.7	75.0	66.7	60.0
2	350.1	233.4	175.1	140.1	116.7	100.0	87.5	77.8	70.0
3	400.4	266.9	200.2	160.1	133.5	114.4	100.1	89.0	80.1
4	450.7	300.5	225.4	180.3	150.2	128.8	112.7	100.2	90.1
5	501.3	334.2	250.6	200.5	167.1	143.2	125.3	111.4	100.3
6	552.0	368.0	276.0	220.8	184.0	157.7	138.0	122.7	110.4
7	603.0	402.0	301.5	241.2	201.0	172.3	150.7	134.0	120.6
8	654.2	436.1	327.1	261.7	218.1	186.9	163.5	145.4	130.8
9	705.7	470.5	352.9	282.3	235.2	201.6	176.4	156.8	141.1
10	757.6	505.1	378.8	303.0	252.5	216.5	189.4	168.4	151.5
11	809.8	539.9	404.9	323.9	269.9	231.4	202.4	180.0	162.0
12	862.4	574.9	431.2	345.0	287.5	246.4	215.6	191.6	172.5
13	915.5	610.3	457.7	366.2	305.2	261.6	228.9	203.4	183.1
14	969.0	646.0	484.5	387.6	323.0	276.9	242.2	215.3	193.8
15	1023.0	682.0	511.5	409.2	341.0	292.3	255.8	227.3	204.6

如表 4 所示, 随着对 Al-Ti 膜蚀刻率变化的增加, 要蚀刻的厚度变大。此外, 随着对底层膜选择比的增加, 待蚀刻厚度变薄。如果这些特性得到利用, 就能形成所需形状的布线。

如上所述, 根据本发明, 由于栅线由低阻导电层形成, 所以即使象素段的面积扩大, 象素段也足以能被驱动。此外, 其上形成有此种布线的半导体器件之工作特性和可靠性也能提高。

[实施方案 2]

在本实施方案中, 将参照图 3A-3B 到图 6A-6C 对实施方案 1 中第一蚀刻过程第一蚀刻工况改变的情况予以说明。这里, 第一蚀刻工况改变了, 实施方案 1 中只有两层 (第一和第三导电层) 构成了栅线。但是, 本发明也适用于栅线由三层组成的情况, 其使用实施方案 1 中

的第一导电层作为底层。

首先，通过溅射在 1737 玻璃基板 10 上形成氮氧化膜 33 使其厚度为 200 nm。然后，由 Al-Ti 膜（厚度：500 nm）制的第一导电膜 34 和由 Ti 膜（厚度：100 nm）制的第二导电膜 35 通过溅射进行层叠（图 3A）。

然后，蚀刻过程在第二导电层 35 上形成抗蚀膜后进行。该蚀刻过程在第一实施方案中的第一蚀刻工况下进行。在本实施方案中，使用 ICP 蚀刻法，用 BCl_3 和 Cl_2 作蚀刻气体，压力在 1.2Pa。通过改变如表 5 所示的气体流量率和供给到线圈形电极和基板侧（样品台）的电功率进行蚀刻（图 3B）。由于这一蚀刻过程，抗蚀膜，第二导电膜 35，及第一导电膜被蚀刻，形成了第二导电层 37，第一导电层 38，还有氮氧化物膜 40。参考数字 36 代表蚀刻过程后的抗蚀膜。

表 5

工况	ICP (W)	偏压 (W)	气体	流量率 (sccm)	蚀刻时间 (sec.)
1	100	300	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	268
2	300	300	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	168
3	700	300	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	159
4	500	100	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	175
5	500	200	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	147
6	500	400	$\text{BCl}_3 : \text{Cl}_2$	60 : 20	147
7	500	300	$\text{BCl}_3 : \text{Cl}_2$	20 : 60	60
8	500	300	$\text{BCl}_3 : \text{Cl}_2$	40 : 40	81
9	500	300	$\text{BCl}_3 : \text{Cl}_2$	70 : 10	350

图 4A-4C 至 6A-6C 示出用扫描电子显微镜，放大倍数为 15000 倍时观测到的表 5 所示工况下得到的导电层图形。图 4A 示出在工况 1 下形成的导电层。图 4B 示出工况 2 下形成的导电层。图 4C 示出工况 3 下形成的导电层。图 5A 示出工况 4 下形成的导电层。图 5B 示出工况 5 下形成的导电层。图 5C 示出工况 6 下形成的导电层。图 6A 示出工况 7 下形成的导电层。图 6B 示出工况 8 下形成的导电层。图 6C 示出工况 9 下形成的导电层。从图 4A-4C 了解到随着加在线圈形电极上电功率的增加，锥形角变大。从图 5A-5C 了解到随着加在基板侧上电功率的增加，锥形角变大。从图 6A-6C 了解到随着 BCl_3 气体流量率的增加，锥

形角变大。因而，锥形角的改变视工况而定。此外，表 6 示出了在表 5 所示工况下得到的蚀刻率。表 7 示出了对各种膜的选择比。在 Al-Ti 与 W 间选择比大的工况下，能进行各向异性蚀刻，因而可以形成具有所需形状的导电层。

表 6

工况	ICP	偏压	流量率	Al-Si (nm/min)		抗蚀膜 (nm/min)		W (nm/min)		SiON (nm/min)	
	(W)			(Ave)	(3 σ)	(Ave)	(3 σ)	(Ave)	(3 σ)	(Ave)	(3 σ)
1	100	300	60:20	168.8	39.3	122.4	33.1	37.1	6.4	38.4	8.1
2	300	300	60:20	236.9	51.4	197.9	36.7	59.4	16.2	66.4	8.9
3	700	300	60:20	262.1	63.2	263.1	33.2	110.7	23.1	107.6	12.0
4	500	100	60:20	236.7	40.6	133.7	26.3	41.4	17.0	56.0	8.2
5	500	200	60:20	246.8	46.1	199.6	23.7	69.1	22.3	81.8	8.8
6	500	400	60:20	251.0	55.2	255.3	24.4	102.6	21.3	104.0	13.4
7	500	300	20:60	750.7	111.0	395.2	70.7	127.8	49.9	104.0	17.6
8	500	300	40:40	495.6	116.5	351.1	62.2	112.4	39.4	101.0	16.8
9	500	300	70:10	142.3	24.2	148.6	17.7	61.0	10.8	99.3	9.7

表 7

工况	对 Al-Si 的选择比			对抗蚀膜的选择比			对 W 的选择比			对 SiON 的选择比		
	抗蚀膜	W	SiON	Al-Si	W	SiON	Al-Si	抗蚀膜	SiON	Al-Si	抗蚀膜	W
1	1.38	4.55	4.40	0.73	3.30	3.19	0.22	0.30	0.97	0.23	0.31	1.03
2	1.20	3.99	3.57	0.84	3.33	2.98	0.25	0.30	0.89	0.28	0.34	1.12
3	1.00	2.37	2.44	1.00	2.38	2.45	0.42	0.42	1.03	0.41	0.41	0.97
4	1.77	5.72	4.23	0.56	3.23	2.39	0.17	0.31	0.74	0.24	0.42	1.35
5	1.24	3.57	3.02	0.81	2.89	2.44	0.28	0.35	0.85	0.33	0.41	1.18
6	0.98	2.45	2.41	1.02	2.49	2.46	0.41	0.40	0.99	0.41	0.41	1.01
7	1.90	5.88	7.22	0.53	3.09	3.80	0.17	0.32	1.23	0.14	0.26	0.81
8	1.41	4.41	4.91	0.71	3.12	3.47	0.23	0.32	1.11	0.20	0.29	0.90
9	0.96	2.33	1.43	1.04	2.44	1.50	0.43	0.41	0.61	0.70	0.67	1.63

如上所述，通过改变工况，能够得到所需形状的导电层。此外，即使象素段面积扩大，象素也足以能被驱动。其上形成有这种布线的半导体器件之工作特性和可靠性也能够提高。

[实施方案 3]

在本实施方案中，对实施方案 1 中形成的布线进行等离子体处理的情况将参照图 17A 和 17B 予以说明。在本说明书中，等离子体处理

是指将样品暴露在等离子体处理气体环境中。

首先，根据实施方案 1，得到图 1C 所示的状态。图 17A 和图 17C 示出同一状态，而且相应的区段用同样的参考数字表示。

如此形成的布线要经受使用氧，主要含氧的气体，或 H₂O 的等离子体处理（图 17B）。使用等离子体发生仪（等离子体 CVD 仪，干法蚀刻仪，溅射仪，等）进行 30 秒-20 分钟的等离子体处理（最好 3-15 分钟）。此外，最好是布线在气流量在 50-300 sccm，基板温度在室温至 200℃，RF 功率在 100-2000W 的工况下处理。由于等离子体处理，在构成三层结构的导电层当中由 Al，或主要含 Al 的合金或化合物制成的导电层所组成的第二导电层 19b 可能被氧化。因此，与其他导电层不接触的导电层 19b 的区段 22 被氧化。这就使凸出物的形成如凸起和须状物能进一步减小。

不用说，如果使用氧气或主要含氧的气体，或 H₂O 进行灰化以去除抗蚀膜 17b，那么第二导电层 19b 的暴露段就被氧化了。但是，在去除抗蚀膜 17b 后进行等离子体处理时将更可能形成足够的氧化膜。

如上所述，根据本发明，栅线是由低阻电导层形成的。因此，即使象素段面积扩大，象素也足以能被驱动。此外，其上形成有这种布线的半导体器件，其工作特性和可靠性能够提高。

[实施方案 4]

对本发明应用在与实施方案 1 至 3 中布线结构不同的布线结构上而制造的布线板实例，将参照图 7 予以说明。

首先，作为基板 10，可以使用玻璃基板，石英基板，硅基板，金属基板，或其上形成有绝缘膜的挠性基板。此外，可以使用具有耐受处理温度热阻的塑料基板。在本实施方案中，使用玻璃基板（Corning 公司生产的 1737）。

然后，第一导电膜 44（厚度：20-100 nm），第二导电膜 45（厚度：100-800 nm），及第三导电膜 46（厚度：20-100 nm）被层叠基板 10 上。这里，这些导电膜可通过溅射来形成，而由于第一导电膜 44 与绝缘膜接触，故可以使用主要含 W 或 Mo 的导电膜以使防止杂质从基板 10 扩散到沟道形成区。此外，作为第二导电膜 45，可以使用主要含 Al 或 Cu 的低阻导电膜。作为第三导电膜 46，可以使用主要含 Ti 接触

电阻低的导电膜。在本实施方案中，这些导电膜可以通过溅射形成，由 Mo 膜（厚度：30 nm）制的第一导电膜 44，由 Al-Ti 膜（厚度：500 nm）制的第二导电膜 45，及由 Ti 膜（厚度：50 nm）制的第三导电膜 46 进行层叠。

然后，进行蚀刻过程。蚀刻过程在第一蚀刻工况和第二蚀刻工况下进行。在本实施方案中，在第一蚀刻工况下，使用 ICP 蚀刻法。更具体地说，使用 BCl_3 ， Cl_2 和 O_2 作为蚀刻气体，气体流量比率为 65:10:5 (sccm)，450W 的 RF (13.56 MHz) 功率在 1.2Pa 的压力下供给到线圈形电极上，通过产生等离子体进行蚀刻。这里，使用利用 Matsubshita 电气工业有限公司生产的 ICP 的干法蚀刻仪(型号 E645-□ICP)。300W 的 RF (13.56 MHz) 功率也供给到基板侧（样品台），因此加在其上的基本上是负自偏压。在第一蚀刻工况下，对 Al-Ti 膜和 Ti 膜进行蚀刻使第一导电层的边缘成锥形。此外，在第一蚀刻工况下，尽管 Al-Ti 膜和 Ti 膜的锥形角成为约 45° ，但 Mo 未被蚀刻。

其后，蚀刻工况改变成第二蚀刻工况而不去掉抗蚀掩模 47。在第二蚀刻工况下，使用 CF_4 ， Cl_2 ，及 O_2 作为蚀刻气体/气体流量比率为 25:25:10 (sccm)，500W 的 RF (13.56 MHz) 功率在 1.2Pa 的压力下供给到线圈形电极上，通过产生等离子体进行蚀刻。20W 的 RF (13.56 MHz) 功率也供给到基板侧（样品台），因而，对其施加的基本上是负自偏压。在第二蚀刻工况下 CF_4 ， Cl_2 ，和 O_2 混合，只对 Mo 膜蚀刻。为了进行蚀刻而又不在于栅绝缘膜上留下残留物，蚀刻时间可以增加约 10-20%。

在上述蚀刻过程中，通过把抗蚀掩模形状做得适当，由于加在基板侧偏压的作用，第一和第二导电层的边缘就形成锥形。锥形角可以定在 15° - 45° 。从而，通过蚀刻过程就形成了由第一导电层 50，第二导电层 49，和第三导电层 48 组成的导电层。

然后，形成绝缘膜 51 以覆盖该导电层。通过等离子体 CVD 或溅射形成绝缘膜 51，其厚度为 40-150 nm 以便得到单层结构或多层结构的含硅绝缘膜。在本实施方案中，利用等离子体 CVD 形成氮氧化硅膜（组成比：Si=32%，O=59%，N=7%，H=2%），厚度为 110 nm。

然后，在绝缘膜 51 上形成半导体层 52。通过用已知的方法（溅射，LPCVD，等离子体 CVD，等）形成非晶结构的半导体膜，用已知的结晶

法（激光结晶法，热结晶法，使用催化剂如镍的热结晶法，等）使该半导体膜结晶，并使用光掩模使结晶的半导体膜形成图形具有所要求的形状，就得到了半导体层 52。形成的半导体层 52 厚度在 25-300 nm（最好在 30-150 nm）。对结晶半导体膜的材料没有特别的限制；但是，结晶半导体膜最好用硅，硅锗（SiGe）合金，或其他类似材料等形成。在本实施方案中，通过等离子体 CVD 形成的非晶硅膜其厚度为 55 nm，且此非晶硅膜要经过激光退火过程以形成结晶硅膜。结晶硅膜通过光刻法成形以形成半导体层 52。

如上所述，根据本发明，栅线由低阻导电层形成。因此，在使用反向交错结构的 TFT 时，即使象素段面积扩大，象素也足以能被驱动。此外，其上形成有这种布线的半导体器件之工作特性和可靠性也能提高。

[实施方案 5]

在本实施方案中，作为利用本发明的典型布线板，对有源矩阵基板的制造方法将参照图 8A-11 予以说明。在本说明书中，对其上同时形成有 CMOS 电路的驱动电路，有象素 TFT 的象素段和存储电容器的基板，为方便起见将称这为有源矩阵基板。

在本实施方案中，使用由玻璃如钡硼硅玻璃（例如 Corning 公司生产的 #7059 玻璃，#1737 玻璃）或铝硼硅玻璃制的基板 400。作为基板 400，可以使用石英基板，硅基板，或其上形成有绝缘膜的金属基板或挠性基板。另一方面，可以使用本实施方案的有耐受处理温度热阻的塑料基板。

然后，由绝缘膜如氧化硅膜，氮化硅膜，或氮氧化硅膜组成的底膜 401 在基板 400 上形成。在本实施方案中，底膜 401 为双层结构；但是，底膜 401 可以为单层结构或者有两层或更多层绝缘膜的多层结构。作为底膜 401 的下层，氮氧化硅膜 401a，使用 SiH_4 ， NH_3 和 N_2O 作为反应气体通过等离子体 CVD 形成，其厚度为 10-200 nm（最好 50-100 nm）。在本实施方案中，形成了厚度为 50 nm（组成比：Si=32%，O=27%，N=24%，H=17%）的氮氧化硅膜 401a。然后，作为底膜 401 的上层，氮氧化硅膜 401b，使用 SiH_4 和 N_2O 作为反应气体通过等离子体 CVD 形成，其厚度为 50-200 nm（最好 100-150 nm）。在本实施方案

中，形成了厚度为 100 nm（组成比：Si=32%，O=59%，H=2%）的氮氧化硅膜 401b。

然后，在底膜 401 上形成半导体层 402-406。通过用已知的方法（溅射，LPCVD，等离子体 CVD，等）形成厚度为 25-300 nm（最好 30-200 nm）的半导体膜，用已知的结晶法（激光结晶法，热结晶法如使用退火炉的热退火和快速热退火（RTA），使用金属元素加速结晶的热结晶法，等等）使半导体膜结晶，并使结晶半导体膜形成图形为所要求的形状。半导体膜的实例包括非晶半导体膜，微晶体半导体膜，及晶体半导体膜，并且可以使用具有非晶结构的复合半导体膜如非晶硅锗膜。在本实施方案中，通过等离子体 CVD 形成非晶硅膜，厚度为 55 nm，而含镍溶液则留在非晶硅膜上。非晶膜在 500℃下脱氢 1 小时，并在 550℃经受热结晶 4 小时。晶体硅膜通过光刻法成形以形成半导体层 402-406。

在利用激光结晶法制造晶体半导体膜的情况下，可以使用持续振荡型或脉冲振荡型固态激光器，气体激光器，或金属激光器。固态激光器的实例包括持续振荡型或脉冲振荡型 YAG 激光器，YVO₄ 激光器，YLF 激光器，YA10₃ 激光器，玻璃激光器，红宝石激光器，翠绿宝石激光器，Ti:蓝宝石激光器，等等。气体激光器的实例包括持续振荡型或脉冲振荡型激发物激光器，Ar 激光器，Kr 激光器，CO₂ 激光器，等等。金属激光器的实例包括氦镉激光器，铜蒸汽激光器，及金蒸汽激光器。在使用这些激光器的情况下，激光振荡器发射出的激光束可以通过光学系统浓聚成直线形再辐射到半导体膜上。结晶工况要由本领域的技术人员进行适当地选择。在使用脉冲振荡型激发物激光器的情况下，脉冲振荡频率设定在 300 Hz，激光能量密度设在 100-1200 mJ/cm²（典型情况是 200-800 mJ/cm²）。此外，在使用脉冲振荡型 YAG 激光器的情况下，使用二次谐波，脉冲振荡频率设定在 1-300 Hz，而激光能量密度设定在 300-1200 mJ/cm²（典型情况是 350-1000 mJ/cm²）。被浓聚成宽度为 100-1000 μm（例如，400 μm）直线形的激光光线辐射到基板整个表面上也是可能的，直线束的重叠比设定在 50-98%。此外，在使用持续振荡型激光器情况下的能量密度要求在约 0.01-100 MW/cm²（最好是 0.1-10 MW/cm²）。以约 0.5-2000 cm/s 的速度相对于激光束移动样品台来进行辐照。

但是，在本实施方案中，非晶膜是使用金属元素加速结晶法结晶的，所以金属元素仍留在晶体硅膜中。因此，在晶体硅膜上形成了厚度为 50-100 nm 的非晶硅膜，进行热处理（使用退火炉的热退火，RTA 等）将金属元素扩散入非晶膜，热处理后通过蚀刻将非晶膜去除。由此，晶体硅膜中金属元素的含量可以减少或去除。

不用说，使用只进行激光结晶而得到的晶体半导体膜也能够制造 TFT。但是，如果把使用金属元素的热结晶法与激光结晶法结合起来，那么晶体半导体膜的结晶度就提高了。因而 TFT 的电气特性也提高了。而这是所希望的。例如，当 TFT 使用只进行激光结晶而得到的晶体半导体膜制造时，迁移率约为 $300 \text{ cm}^2/\text{Vs}$ 。而另一方面，当 TFT 使用通过采用金属元素的热结晶法和激光结晶法而得到的晶体半导体膜制造时，迁移显著提高（即，约 $500\text{-}600 \text{ cm}^2/\text{Vs}$ ）。

半导体层 402-406 形成后，可以进行微量杂质元素（硼或磷）的掺杂以控制 TFT 的阈值。

然后，形成栅绝缘膜 407 以覆盖半导体层 402-406。栅绝缘膜 407 用含硅的绝缘膜形成以便通过等离子体 CVD 或溅射使厚度为 40-150 nm。在本实施方案中，通过等离子体 CVD 形成的氮氧化硅膜（组成比：Si=32%，O=59%，N=7%，H=2%）厚度为 110 nm。应当理解到，栅绝缘膜 407 并不限于氮氧化硅膜，它可以是具有单层结构或多层结构的另外一种含硅绝缘膜。

在使用氧化硅膜的情况下，氧化硅膜可以通过等离子体 CVD 形成。更具体地说，通过将基原硅酸四乙脂（TEOS）与 O_2 混合，将反应压力和基板温度设定在 40Pa 和 $300^\circ\text{C}\text{-}400^\circ\text{C}$ ，并使放电在高频（13.56 MHz）电密度为 $0.5\text{-}0.8 \text{ W}/\text{cm}^2$ 情况下进行，就能形成氧化硅膜。这样制造的氧化硅膜经 $400^\circ\text{C}\text{-}500^\circ\text{C}$ 下的热退火后显示出作为栅绝缘膜的令人满意的电气特性。

然后，第一导电膜 408a（厚度：20-100 nm），第二导电膜 408b（厚度：100-800 nm），及第三导电膜 408c（厚度：20-100 nm）被层叠在栅绝缘膜 407 上。在本实施方案中，对由 WN 膜（厚度：30 nm）制的第一导电膜 408a，由 Al-Sc 膜（厚度：370 nm）制的第二导电膜 408b，及由 TiN 膜（厚度：30 nm）制的第三导电膜 408c 进行层叠。

在本实施方案中，尽管第一导电膜 408a 用 MN 制成，但对其没有

特别的限制。作为第一导电膜 408a, 可以形成由选自 W 和 Mo 的元素, 或主要含该元素的合金或化合物制成的导电层。此外, 尽管第二导电膜 408b 用 Al-Si 制成, 但对其没有特别的限制。作为第二导电膜 408b, 可以形成由 Al, 或主要含 Al 的合金或化合物制成的导电层。此外, 尽管第三导电膜 408c 用 TiN 制成, 但对其没有特殊的限制。作为第三导电层 408c, 可以形成由 Ti, 或主要含 Ti 的合金或化合物制成的导电层。

其次, 抗蚀掩膜 410-415 通过光刻法形成, 从而进行形成电极和布线的的第一蚀刻过程。在第一蚀刻工况和第二蚀刻工况下进行第一蚀刻过程 (图 8B)。在本实施方案中, 在第一蚀刻工况下, 使用 ICP 蚀刻法。更具体地说, 使用 BCl_3 , Cl_2 和 O_2 作为蚀刻气体, 气体流量比率为 65: 10: 5 (sccm) 向 450W 的 RF (13.56 MHz) 功率在 1.2Pa 的压力下供给到线圈形电极上, 通过产生等离子体进行蚀刻。300W 的 RF (13.56 MHz) 功率也供给到基板侧 (样品台), 因而对其施加的基本上是负自偏压。在第一蚀刻工况下, 对 Al-Sc 膜和 TiN 膜进行蚀刻使第二和第三导电层的边缘形成锥形。此外, 在第一蚀刻工况下, Al-Sc 膜和 TiN 膜的锥形角约成为 45° , 而 WN 膜则几乎未被蚀刻。

其后, 蚀刻工况改变到第二蚀刻工况而不去掉抗蚀掩膜 410-415。在第二蚀刻工况下, 使用 CF_4 , Cl_2 和 O_2 作为蚀刻气体, 气体流量比率为 25: 25: 30 (sccm), 500W 的 RF (13.56 MHz) 功率在 1.2Pa 压力下供给到线圈形电极上, 通过产生等离子体进行蚀刻。20W 的 RF (13.56 MHz) 功率也供给到基板侧 (样品台), 因而, 对其施加的基本上是负自偏压。为了进行蚀刻而又不在于栅绝缘膜上留下残留物, 蚀刻时间可以增加约 10-20%。

在第一蚀刻过程中, 通过把抗蚀掩膜形状做得适当, 由于加在基板侧偏压的作用, 第一至第三导电层的边缘就形成锥形。锥形角可以设定在 15° - 45° 。因此, 通过第一蚀刻过程就形成了由第一、第二、及第三导电层 (第一导电层 417a-422a, 第二导电层 417b-422b, 及第三导电层 417c-422c) 组成的第一形状导电层 417-422。

参考数字 416 代表栅绝缘膜。栅绝缘膜 416 未被第一形状导电层 417-422 覆盖的区域被蚀刻掉约 20-50 nm 而变薄。

然后, 进行第二蚀刻过程而不去掉抗蚀掩膜 (图 8C)。这里, 使

用 BCl_3 和 Cl_2 作为蚀刻气体，气体流量比率为 20: 60 (sccm)，600W 的 RF (13.56 MHz) 功率在 1.2Pa 压力下供给到线圈形电极上，通过产生等离子体进行蚀刻。100W 的 RF (13.56 MHz) 功率也供给到基板侧 (样品台)，因而对其施加的基本上是负自偏压。在第二蚀刻过程中，对 Al-Sc 膜和 TiN 膜进行选择性地蚀刻。由于第二蚀刻过程。形成了第二导电层 428b-433b 和第三导电层 428c-433c。另一方面，第一导电层 417a-422a 几乎未被蚀刻，因而形成了第二形状导电层 428-433。

如上所述，由于第一蚀刻过程和第二蚀刻过程，使用本发明的结构，形成了栅电极 428-431，存储电容器的一个电极 432，及源线 433。

然后，进行第一掺杂过程而不去掉抗蚀掩模，因而能传递 n 型的杂质元素就加在浓度低的半导体层上。利用离子掺杂或离子注入可以进行该掺杂过程。离子掺杂在剂量为 $1 \times 10^{13} - 5 \times 10^{14} / \text{cm}^2$ ，加速电压为 40-80keV 的工况下进行。在本实施方案中，离子掺杂在剂量为 $1.5 \times 10^{13} / \text{cm}^2$ 、加速电压为 60keV 的工况下进行。作为传递 n 型的杂质元素，使用属于第 15 族 (典型的是磷 (p) 或砷 (As)) 的元素。这里，使用的是磷 (p)。在这种情况下，导电层 428-433 对传递 n 型的杂质元素起掩模的作用，而杂质区 423-427 则以自调整方式形成。传递 n 型的杂质元素加在杂质区 423-427 以便浓度范围在 $1 \times 10^{18} - 1 \times 10^{20} / \text{cm}^3$ 。

在去掉抗蚀掩模后，又新形成抗蚀掩模 434a-434c，第二掺杂过程在比第一掺杂过程加速电压高的加速电压下进行。这时的离子掺杂在剂量为 $1 \times 10^{13} - 1 \times 10^{15} / \text{cm}^3$ ，加速电压为 60-120keV 的工况下进行。使用第二导电层 428b-432b 作为对杂质元素的掩模进行该掺杂过程，使杂质元素加在第一导电层锥形段下边的半导体层上。然后，在比第二掺杂过程加速电压低的加速电压下进行第三掺杂过程，因而得到图 9A 所示的状态。这时，离子掺杂在剂量为 $1 \times 10^{15} - 1 \times 10^{17} / \text{cm}^2$ ，加速电压为 50-100keV 的工况下进行。由于第二和第三掺杂过程，传递 n 型的杂质元素加在与第一导电层重叠，浓度范围为 $1 \times 10^{18} - 5 \times 10^{19} / \text{cm}^3$ 的低浓度杂质区 436, 442 和 448。另一方面，传递 n 型的杂质元素加到浓度范围在 $1 \times 10^{19} - 5 \times 10^{21} / \text{cm}^3$ 的高浓度杂质区 435, 441, 444 和 447。

不用说，通过设定适当的加速电压，低浓度杂质区和高浓度杂质

区通过一个掺杂过程而不用第二和第三个掺杂过程就能形成。

然后，在去掉抗蚀掩模 434a-434c 后，又新形成抗蚀掩模 450a-450c，因而要进行第四掺杂过程。由于第四掺杂过程，在半导体层中形成的杂质区 453, 454, 459 和 460 为 p-沟道 TFT 的有源层，在这些杂质区中加入了提供与上述电导率类型相反电导率的杂质元素。第二导电层 428b-432b 用作对杂质元素的掩膜，并加入了传递 n 型的杂质元素，因而杂质区以自调整方式形成。在本实施方案中，通过使用乙硼烷 (B_2H_6) 的离子掺杂来形成杂质区 453, 454, 459 和 460。在第四掺杂过程中，构成 n-沟道 TFT 的半导体层由抗蚀掩模 450a-450c 所覆盖。由于第一至第三掺杂过程，磷被加到杂质区 439。但是，掺杂在所述区进行，所以传递 p 型的杂质元素浓度成为 $1 \times 10^{19} - 5 \times 10^{21}$ 原子/cm³，因而所述区域起 P-沟道 TFT 的源区或漏区的作用。因此，不存在问题。

由于上述过程而在各半导体层形成了杂质区。

然后，去掉抗蚀掩模 450a-450c，就形成了第一层间绝缘膜 461。第一层间绝缘膜 461 用厚度为 100-200nm 的含硅绝缘膜通过等离子体 CVD 或溅射而制成。在本实施方案中，通过等离子体 CVD 形成厚度为 150nm 的氮氧化硅膜。不用说，第一层间绝缘膜 461 并不限于氮氧化硅膜，而可以是具有单层结构或多层结构的另一种含硅绝缘膜。

然后，如图 9C 所示，半导体层的结晶度恢复了，而加到各相应半导体层的杂质元素则用激光束辐照进行活化。最好使用持续振荡型或脉冲振荡型固态激光器，气体激光器，或金属激光器。特别是，最好进行使用 YAG 激光器的激光退火过程。如果使用持续振荡型激光器，要求激光光线的能量密度在约 $0.01 - 100 \text{ MW/cm}^2$ (最好是 $0.01 - 10 \text{ MW/cm}^2$)，而基板要以 $0.5 - 2000 \text{ cm/s}$ 的速度相对于激光光线移动。如果使用脉冲振荡型激光器，最好将频率设定在 300Hz，激光能量密度设定在 $50 - 900 \text{ mJ/cm}^2$ (典型情况是 $50 - 500 \text{ mJ/cm}^2$)。这时，激光光线可以重叠 50-98%。在第二导电层与第一层间绝缘膜 461 接触的区域被充分氧化的情况下，即使受热处理也不会形成如凸起和须状物凸出物，可以应用使用退火炉的热退火或 RTA。

在形成第一层间绝缘膜之前，可以进行热处理。在待用的布线不耐热的情况下，最好在层间绝缘膜（主要含硅的绝缘膜，如氮化硅膜）形成以后进行活化过程以使像在本实施方案中一样来保护布线等。

然后, 通过热处理 (300℃-450℃, 1-12 小时) 能进行氢化作用。在此过程中由于第一层间绝缘膜 461 中所含氢的作用, 半导体层不饱和键被端接起来。尽管存在第一层间绝缘膜, 但半导体层还是能够被氢化。作为另一种氢化作用的方法, 可以进行等离子体氢化作用 (使用由等离子体激发的氢) 或在含 3-100% 氢的环境中在 300℃-450℃ 进行 1-12 小时的热处理。

其次, 在第一层间绝缘膜 461 上形成用无机绝缘膜材料或有机绝缘材料制的第二层间绝缘膜 462a。在本实施方案中, 形成的是丙烯酸树脂膜, 其厚度为 1.6 μm, 粘度为 10-1000cp (最好在 40-200cp), 在其表面上还形成厚度不均。在不使用有机树脂膜的情况下, 形成了如图 21 所示形状的第二层间绝缘膜 462b。

在本实施方案中, 为了防止镜面反射, 形成了第二层间绝缘膜, 其上厚度不均, 从而在象素电极表面上形成厚度不均。此外, 为了通过在象素电极表面形成厚度不均而获得光散射, 可以在象素电极的下区形成弧形凸起段。在这种情况下, 使用与形成 TFT 时同样的光掩模可以形成这些弧形凸起段。因此, 过程的数目无需增加。在象素段而不是布线和 TFT 段的基板上可以适当地形成弧形凸起段。有鉴于此, 沿着覆盖弧形凸起段的绝缘膜表面上所形成的厚度不均区在象素电极表面上形成厚度不均。

作为第二层间绝缘膜 462a, 可以使用表面有待弄平的膜。在这种情况下, 最好在形成象素电极后, 通过进行已知的喷砂, 蚀刻, 等使表面形成厚度不均来防止镜面反射并允许被反射的光线散射, 由此提高了白度。

在驱动电路 506 中, 形成与各个杂质区电连接的导线 463-467。通过使 Ti 膜 (厚度: 50nm) 和合金 (Al 和 Ti) 膜 (厚度: 500nm) 的层叠膜成形来形成这些导线。应当了解到这些导线可以有单层结构或由三层或更多层组成的多层结构来代替双层结构。此外, 布线的材料也不限于 Al 和 Ti。例如, 通过在 TaN 膜上形成 Al 或 Cu, 及其上形成 Ti 膜所得到的层叠膜可以成形以形成布线 (图 10)。

在象素段 507, 形成了象素电极 470, 栅线 469, 以及连接电极 468。连接电极 468 使源线 (433a-433c) 能电连接至象素 TFT 上。此外, 栅线 469 还电连接至象素 TFT 的栅电极上。另外, 象素电极 470 电连接

至像素 TFT 的漏区 422, 并且电连接到起构成存储电容器一个电极板作用的半导体层 458 上。作为像素电极 470, 最好使用反射性极好的材料如主要含 Al 或 Ag 的薄膜, 或此薄膜的层叠膜。

如上所述, 具有包括 n-沟道 TFT501, P-沟道 TFT502 及 n-沟道 TFT503 的 CMOS 电路的驱动电路, 及具有像素 TFT504 和包括电容器布线 523 的存储电容器 505 的像素段 507 可以在同一基板上形成。这样, 有源矩阵基板就完成了。

驱动电路 506 的 n-沟道 TFT501 具有沟道形成区 437, 低浓度杂质区 436 (GOLD 区), 其与构成部分栅电极的第一导电层 428a 重叠, 以及起源区或漏区作用的高浓度杂质区 452。通过把电极 466 接到 n-沟道 TFT501 而构成 CMOS 电路的 p-沟道 TFT502 具有沟道形成区 440, 起源区或漏区作用的高浓度杂质区 454, 以及杂质区 453, 此区中掺入了传递 n 型的杂质元素和传递 p 型的杂质元素。此外, n-沟道 TFT503 具有沟道形成区 443, 低浓度杂质区 442 (GOLD 区), 其与构成部分栅电极的第一导电层 430 重叠, 以及起源区或漏区作用的高浓度杂质区 456。

像素段 507 的像素 TFT504 具有沟道形成区 446, 栅电极外形成的低浓度杂质区 445 (轻微掺杂漏 (LDD) 区), 以及起源区或漏区作用的高浓度杂质区 458。此外, 传递 n-型的杂质元素和传递 p-型的杂质元素加到起存储电容器 505 一个电极板作用的半导体层上。存储电容器 505 由电极 (层叠结构 432a-432c) 和使用绝缘膜 416 作电介质的半导体层组成。

在本实施方案的像素配置中, 像素电极边缘要安排成与源线相重叠, 这样像素电极间的间隙就实现光屏蔽而不用黑色矩阵。

此外, 图 11 示出本实施方案中制造的有源矩阵基板像素段的顶视图。图 8A-8C-11 中相对应的区段用同样的参考数字表示。图 10 中点划线 A-A' 与图 11 中沿点划线 A-A' 所剖的截面相对应。图 10 中点划线 B-B' 与图 11 中沿点划线 B-B' 所剖的截面相对应。

在如此生产出的布线中, 实现了低阻, 而具有此布线的布线板也完全可以用于扩大的像素段。

本实施方案可以随意地与实施方案 1-4 的任何一个结合起来。

[实施方案 6]

在本实施方案中，使用实施方案 5 中制造的有源矩阵基板来制造反射型液晶显示器件的过程将参照图 12 予以说明。

首先，根据实施方案 5，得到如图 10 所示的有源矩阵基板。其后，至少在图 10 中有源矩阵基板上的象素电极 470 上形成调整膜 567，并进行磨擦处理。在本实施方案中，调整膜 567 形成之前，先使有机树脂膜如丙烯酸树脂膜成形，从而在所要求的位置形成保持基板间隙的柱形分隔件 572。此外，球形分隔件可以分布在基板的整个表面上而取代柱形分隔件。

然后，制造副基板 569 (counter substrate)。在副基板 569 上形成彩色层 570 和 571，及校平膜 573 (leveling film)。红色层 570 与蓝色层 571 相重叠以形成光屏蔽段。将红色层与绿色层部分地重叠来形成光屏蔽段也是可能的。

在本实施方案中，使用实施方案 5 中说明的基板。因此，在示出实施方案 5 象素段顶视图的图 11 中，要求至少栅线 469 和象素电极 470 之间的间隙，栅线 469 和连接电极 468 之间的间隙，以及连接电极 468 和象素电极 470 之间的间隙应当进行光屏蔽。在本实施方案中，各彩色层的设置应使由叠层彩色层组成的光屏蔽段与待进行光屏蔽的位置相重叠，在此条件下固定副基板。

如上所述，各个象素之间的间隙用由叠层彩色层组成的光屏蔽段进行光屏蔽，因而过程的数目能够减少而不用形成光屏蔽层如黑色掩模。

然后，至少在象素段中的校平膜 573 上形成由透明导电膜组成的反电极 576，在副基板的整个表面上形成调整膜 574，从而进行磨擦处理。

然后，其上形成有象素段和驱动电路的有源矩阵基板及副基板用密封剂层 568 相互粘在一起。填料混入密封剂后 568 中，两个基板在相同的间隔用填料和柱形分隔件相互粘在一起。其后，在基板之间注入液晶材料 575，并用密封剂对基板进行完全密封（未示出）。对于液晶材料 575，可以使用已知的液晶材料。这样，图 12 所示的反射型液晶显示器件就完成了。如果需要的话，有源矩阵基板或副基板可分离成所需的形状。此外，极化板（未示出）只粘在副基板上。然后，挠

性印刷电路（FPC）用已知的技术粘结。

按如上所述制造的液晶显示板可以用来作为各种各样电子设备的显示部分。液晶显示板完全可以用于大面积而无须降低象素段的孔径比。

本实施方案能随意与实施方案 1-5 中的任何一个相结合。

[实施方案 7]

在本实施方案中，有源矩阵型液晶显示器件的制造过程将参照图 13 予以说明，而该液晶显示器件与使用实施方案 5 中制造的有源矩阵基板的实施方案 6 之液晶显示器件不同。

首先，根据实施方案 5，得到如图 8A-8C 所示的有源矩阵基板。其后，在图 8A-8C 中的有源矩阵基板上形成调整膜 1067，并进行摩擦处理。在本实施方案中，形成调整膜 1067 之前，使有机树脂膜如丙烯酸树脂膜成形，从而在所要求的位置形成保持基板间隙的柱形分隔件 572。此外，球形分隔件可以分布在基板的整个表面来代替柱形分隔件。

然后，制备副基板 1068。副基板装有色彩滤波器，滤波器中设置彩色层 1074 和光屏蔽层 1075 以使与各象素相对应。在驱动电路段均地形成光屏蔽层 1077。设置了覆盖色彩滤波器和光屏蔽层 1077 的校平膜 1076。然后，由校平膜 1076 上透明导电膜制的反电极 1069 在象素段形成，调整膜 1070 在副基板 1068 的整个表面上方形成，其后进行摩擦处理。

然后，其上形成有象素段和驱动电路的有源矩阵基板和副基板用密封剂层 1071 相互粘结。填料混入密封剂层 1071 中，两个基板在相同的间隔用填料和柱形分隔件相互粘结在一起。其后，在基板之间注入液晶材料 1073，并用密封剂对基板进行完全密封（未示出）。对于液晶材料 1073，可以使用已知的液晶材料。这样，图 11 所示的有源矩阵型液晶显示器件就完成了。如果需要的话，有源矩阵基板或副基板可以分离成所需的形状。此外，使用已知技术适当地设置极化板等。然后，FPC 用已知技术粘接。

如上所述制造的液晶显示板可以用作各种各样电子设备的显示部分。液晶显示板完全可以用于大面积而无需降低象素段的孔径比。

本实施方案能随意与实施方案 1-5 中的任何一个结合起来。

[实施方案 8]

在本实施方案中，作为利用本发明布线板的实施方案，对发光器件的典型生产情况将利用制造 TFT 的方法予以说明，而该法是用来制造实施方案 5 中有源矩阵基板的。在本说明书中，发光器件该称为显示板，其中在基板上形成的发光元件被封在基板和覆盖件及显示组件之间，在显示组件中 IC 安装在显示板上。发光元件包括含有有机化合物的发光层，它使得利用电场发出的电致发光能被得到，阳极层，以及阴极层。此外，有机化合物内的发光包括在单一态激发态返回到常态时得到的荧光和三重态激发态返回到常态时得到的磷光。两种发光之一或两种发光都包括在内。

在本说明书中，在发光元件中阳极和阴极之间形成的所有层都定义为有机发光层。具体地说，有机发光层包括发光层，空穴注入层，电子注入层，空穴迁移层，电子迁移层，等等。发光元件的基本结构是在结构中依次堆叠了阳极层，发光层及阴极层。除上述结构外，发光元件可能具有的结构为：阳极层，空穴注入层，发光层，及阴极层依次堆叠的结构；阳极层，空穴注入层，发光层，电子迁移层，及阴极层依次堆叠的结构，等。

图 14 为本实施方案发光器件的截面视图。在图 14 中，设置在基板 700 上的开关 TFT603 使用图 10 中的 n-沟道 TFT503 形成。有关开关 TFT603 的配置。可参照 n-沟道 TFT503 的说明。

虽然本实施方案表示的是结构中形成有两个沟道形成区的双栅结构，但可以使用结构中形成一个沟道形成区的单栅结构或结构中形成三个沟道形成区的三栅结构。

设置在基板 700 上的驱动电路使用图 10 所示的 CMOS 电路形成。因此，关于驱动电路配置的说明，可参照 n-沟道 TFT501 和 p-沟道 TFT502 的说明。虽然本实施方案表示的是单栅结构，但也可以使用双栅结构或三栅结构。

此外，导线 701 和 703 起 CMOS 电路源线的作用，而导线 702 起漏线的作用。导线 704 起将源线 708 电连接到开关 TFT 源区的导线的作用，导线 705 起将漏线 709 电连接到开关 TFT 漏区的导线的作用。

电流控制 TFT604 用图 10 中 p-沟道 TFT502 形成。因此，关于电流控制 TFT604 的说明，可以参照 p-沟道 TFT502 的说明。虽然本实施方案表示的是单栅结构，但可以使用双栅结构或三栅结构。

导线 706 为电流控制 TFT604 的源线（相当于电流供应线），参考数字 707 表示通过与电流控制 TFT 的象素电极 711 相重叠而电连接到象素电极 711 的上的电极。

象素电极 711 为发光元件的阳极，用透明导电膜制成。作为透明导电膜，可以使用氧化铟和氧化锡的混合物，氧化铟和氧化锌的混合物，氧化锌，氧化锡，或氧化铟。可以使用加有镓的透明导电膜。在形成上述布线以前，象素电极 711 在平坦的层间绝缘膜 710 上形成。在本实施方案中，使用树脂制的校平膜 710 整平 TFT 造成的台阶差极其重要。稍后将形成的发光层非常薄，所以由于台阶差的存在可能会造成光发射缺陷。因此，最好在形成象素电极之前将表面整平从而发光层能在平整的表面上形成。

在导线 701-707 形成之后，形成接线排 712，如图 14 所示。通过使绝缘膜或含硅的有机树脂膜（厚度 100-400nm）成形可以形成接线排 712。

由于接线排 712 用绝缘膜制成，故在膜形成过程中应当考虑元素的静电击穿。在本实施方案中，通过向将作为接线排 712 材料的绝缘膜加入碳粒子或金属粒子来增加电阻，从而使静电受到抑制。这时，可以调节碳粒子或金属粒子的加入量使电阻成为 $1 \times 10^6 - 1 \times 10^{12} \Omega \text{m}$ （最好在 $1 \times 10^8 - 1 \times 10^{10} \Omega \text{m}$ ）。

在象素电极 711 上形成发光层 713。虽然在图 14 中示出一个象素，但形成的发光层要能与本实施方案中的 R（红色），G（绿色），和 B（蓝色）相对应。此外，在本实施方案中，低分子量的有机发光材料通过气相沉积形成。更具体地说，是使用层叠结构，在该结构中设置铜酞菁（CuPc）膜（厚度：20nm）作为空穴注入层，设置三-8-羟基基喹啉并铝络合物（Alq₃）膜（厚度 70nm）作为空穴注入层上的发光层。通过向 Alq₃ 加入荧光物如二羟基喹啉并吡啶、三苯嵌苯，或 DCM1，能够控制发射光的颜色。

应当注意可以用作发光层的典型有机发光材料在上面已进行了说明，但是本实施方案并不限制于此。发光层（用于发射光和移动光发

射的载体)可以通过任意组合发光层,电荷迁移层,或电荷注入层而形成。在本实施方案中,作用低分子量的有机发光材料作为发光层;但是,也可以使用中等分子量的有机发光材料或高分子量的有机发光材料。在本说明书中,中等分子量有机发光材料是指没有升华特性,含20或更少的分子或链接分子长度为 $10\mu\text{m}$ 或更短的有机发光材料。此外,作为使用高分子量有机发光材料的实例,可以使用层叠结构,在此结构中,通过旋转涂敷聚噻吩(PEDOT)膜(厚度:20nm)作为空穴注入层,在空穴注入层上形成对亚苯基次乙烯基(PPV)膜(厚度:约100nm)作为发光层。在使用PPV的 π -共轭型聚合物时,从红至蓝的发光波长能进行选择。此外,使用无机材料如碳化硅作为电荷迁移层或电荷注入层也是可能的。作为有机发光材料和无机材料,可以使用已知的材料。

其次,由导电膜制的阴极714在发光层713上形成。在本实施方案中,使用铝和锂的合金膜作为导电膜。不用说,可以使用已知的MgAg膜(镁和银的合金膜)。作为用于阴极的材料,可以使用由属于周期表第一族或第二族的元素制的导电膜或加有这些元素的导电膜。

在阴极714形成时,发光元件715就完成了。这里的发光元件715是指由象素电极(阳极)711,发光层713,及阴极714形成的二极管。

形成钝化膜716是有用的,以便完全覆盖发光元件715。作为钝化膜716,使用单层结构或多层结构的绝缘膜,包括碳膜,氮化硅膜,或氮氧化硅膜。

在这种情况下,最好使用有令人满意覆盖范围的薄膜作为钝化膜。使用碳膜(特别是DLC膜)是有效的。由于DLC膜能在从室温到 100°C 的温度范围内形成,故DLC膜甚至在低热阻的发光层713之上也能容易地形成。此外,由于对氧的屏蔽作用高,DLC膜能够抑制发光层713之上也能容易地形成。此外,由于对氧的屏蔽作用高,DLC膜能够抑制发光层713的氧化。因此,在进行随后的密封过程时发光层713能够免于被氧化。

此外,在钝化膜716上形成密封剂层717,覆盖件718粘合密封剂层717上。作为密封剂层717,可以使用UV-可固化树脂,而在密封剂层717中加入有吸湿性的材料或有抗氧化作用的材料是有效的。此外,在本实施方案中,作为覆盖件718,使用玻璃基板,石英基板,或

其两侧都形成有碳膜（最好是 DLC 膜）的塑料基板（包括塑料薄膜）。

因此，具有图 14 所示配置的发光器件就完成了。接线排 712 形成后，连续地进行纯化膜 716 的形成过程而不暴露给多室型（或串联型）薄膜形成仪中的环境是有效的。连续地进行该过程直到粘结覆盖件 718 而不暴露给上述环境也是可能的。

因此，在基板 700 上形成了 n-沟道 TFT601 和 602，开关 TFT（n-沟道 TFT）603，以及电流控制 TFT（n-沟道 TFT）604。

此外，如图 14 所述，通过形成借助于绝缘膜与栅电极相重叠的杂质后，可以形成不大可能因热载体效应而变坏的 n-沟道 TFT。因此，就能获得了高度可靠的发光器件。

在本实施方案中，只示出了象素段和驱动电路的配置。但是，按照本实施方案的制造过程，能够在同一绝缘体上形成逻辑电路诸如信号分隔电路，D/A 转换器，运算放大器，及 γ -校正电路。此外，甚至能够形成存储器和微信息处理机。

为保护发光元件而进行的密封（或封装）过程之后，本实施方案的发光器件将参照图 15A 和 15B 予以说明。如果需要的话，将引用图 14 中使用的参考数字。

图 15A 为顶视图其示出发光元件完成密封时的状态。图 15B 为沿图 15A 中直线 C-C' 取的截面视图。用虚线围起来并用参考数字 801，806，及 807 表示的区段分别为源侧驱动电路，象素段，及栅侧驱动电路。参考数字 901 表示覆盖件，902 表示第一密封剂层，903 表示第二密封剂层，在用密封剂层 902 围起来的内区段形成密封材料 907。

参考数字 904 表示布线，它把信号输入传输给源侧驱动电路 801 和栅侧驱动电路 807 并且从将成为外部输入端的挠性印刷电路（FPC）接收视频信号和时钟信号。这里，虽然仅示出 FPC，但印刷布线板（PWB）也可以连接到 FPC 上。本说明书中的发光器件不仅包括发光器件本身而且包括带有 FPC 或 PWB 的发光器件。

其次，将参照图 15B 说明截面配置图。象素段 806 和栅侧驱动电路 807 在基板 700 之上形成。象素段 806 由电流控制 TFT604 和包括象素电极 710 的多个象素所组成，象素电极 710 与电流控制 TFT604 的漏线电连接。此外，栅侧驱动电路 807 由 CMOS 电路（见图 14）组成，后者通过把 n-沟道 TFT601 与 P-沟道 TFT602 相结合而得到。

象素电极 711 起发光元件阳极的作用。接线排 712 在象素电极 711 的两端形成，发光元件的发光层 713 和阴极 714 在象素电极 711 上形成。

阴极 714 起所有象素公用布线的作用，并且通过连接线 904 电连接至 FPC905。此外，象素段和栅侧驱动电路 807 所含的所有元件都被阴极端 14 和纯化膜 716 所覆盖。

覆盖件 901 与第一密封剂层 902 粘接。可以形成树脂膜制的分隔件以保证覆盖件 901 与发光元件之间的间隙。第一密封剂层 902 的内区段灌满了密封材料 907。最好将环氧树脂用于第一密封剂层 902 和密封材料 907。最好第一密封剂层 902 不太可能传输水分和氧气。此外，密封材料 907 可以含具有吸湿性和抗氧化作用的材料。

为覆盖发光元件而形成的密封材料 907 还起着连接覆盖件 901 的粘接剂作用。在本实施方案中，作为构成覆盖件 901 的塑料基板 901a 的材料，可以使用玻璃钢 (FRP)，聚氧乙烯 (PVF)，聚脂树脂，聚脂，或丙烯酸树脂。

此外，在覆盖件 901 与密封材料 907 粘接后，形成第二密封剂层 903 以覆盖密封材料 907 的侧表面 (暴露的表面)。第二密封剂层 903 可以用与第一密封剂层 902 所用的同样材料制成。

在上述配置中通过用密封材料 907 封装发光元件，发光元件能与外界完全隔绝，因而由于氧化作用如水分和氧气而引起的发光层材料加速剥蚀能够防止从外界侵入。这样，就得了高度可靠的发光器件。此外，发光器件完全适用于大面积而不必降低象素段的孔径比。

本实施方案能够随意与实施方案 1-5 的任何一个结合。

[实施方案 9]

在本实施方案中，具有与实施方案中不同象素配置的发光器件将参照图 16 予以说明。

在图 16 中，作为电流控制 TFT4501，使用具有与图 10 中 P-沟道 TFT502 同样配置的 TFT，而作为开关 TFT4402 则使用具有与图 10 中象素 TFT504 同样配置的 TFT。不用说，电流控制 TFT4501 的栅电极电连接至开关 TFT4402 的漏线上。此外，电流控制 TFT4501 的漏线电连接至在绝缘膜 4409 上形成的象素电极 4504 上。

在本实施方案中，用导电膜制成的象素电极 4504 起发光元件阴极的作用。更具体地说，使用铝和锂的合金膜。可以使用由属于周期表中第一族或第二族元素制成的导电膜或加有该元素的导电膜。

在象素电极 4504 上形成发光层 4505。在图 16 中只示出一个象素，在本实施方案中，相应于 G（绿色）的发光层通过气相沉积和涂敷（最好是旋转涂敷）形成。更具体地说，发光层为多层结构，其中形成氟化锂（LiF）膜（厚度：20nm）作为电子注入层。在氟化锂膜上再形成多聚合茈萘基乙烯基（PPV）膜（厚度：70nm）作为发光层。

在发光层 4504 上形成由透明导电膜制成的阳极 4506。在本实施方案中，作为透明导电膜，使用由氧化铟和氧化锡的混合物或氧化铟和氧化锌的混合物制成的导电膜。

阳极 4506 形成时，发光元件 4507 就完成了。这里发光元件 4507 是指由象素电极（阳极）4504，发光层 4505，及阳极 4506 形成的二极管。

形成纯化膜 4508 是有用的以便完全覆盖发光元件 4507。作为纯化膜 4508，使用单层结构或多层结构的绝缘膜，包括碳膜，氮化硅膜，或氮氧化硅膜。

此外，在纯化膜 4508 上形成密封材料 4509，覆盖件 4510 粘结在密封材料 4509 上。作为密封材料 4509，可以使用 UV-可固化树脂，而在密封材料 4509 中加入有吸湿性或抗氧化作用的材料是有效的。在本实施方案中，作为覆盖件 4510，使用玻璃基板，石英基板，或其两侧都形成有碳膜（最好是 DLC 膜）的塑料基板（包括塑料薄膜）。

在这样制造的发光器件布线中，实现了低阻，而这样的发光器件完全适用于大面积而不用降低象素段的孔径比。

本实施方案能够随意与实施方案 1-5 中的任何一个相结合。

[实施方案 10]

在本实施方案中，将对根据本发明的典型液晶显示器件予以说明。器件中 TFT 的配置与实施方案 5 中制造的有源矩阵基板的 TFT 配置不同。

在图 18A 所示的有源矩阵基板上，形成了具有 n-沟道 TFT503，和 P-沟道 TFT502 的驱动电路 506，及具有象素 TFT504 和存储电容器 505

的象素段 507。

这些 TFT 是通过在基板 501 上形成栅线 512-517, 在栅线 512-517 (512a-517a, 512b-517b, 及 512c-517c) 上形成绝缘膜 511 (511a 和 511b), 及在绝缘膜上的半导体层中形成沟道形成区, 源区, 漏区, LDD 区等而得到的。半导体层是根据本发明, 以与实施方案 1-5 中同样的方式形成的。

形成栅线 512-517 其厚度应为 200-400nm (最好 250nm), 这样栅线 512-517 可做成锥形以提高将在其上层形成的涂敷膜之台阶覆盖范围。形成栅线 512-517 要使锥形角成为 5° - 30° (最好 15° - 30°)。锥形段通过干法蚀刻形成, 而其角度由蚀刻气体和加在基板侧的偏压来控制。

此外, 在第一至第二掺杂过程中形成杂质区。首先, 进行第一掺杂过程, 从而形成 n-沟道 TFT 的 LDD 区。掺杂可以利用离子掺杂或离子注入进行。加入磷 (P) 作为传递 n-型 (施主) 的杂质元素, 第一杂质区带掩模形成。然后, 重新形成掩模以覆盖 n-沟道 TFT 的 LDD 区, 从而在第二掺杂过程中形成了 n-沟道 TFT 的源区和漏区。

在第三掺杂过程中, 形成 P-沟道 TFT 的源区和漏区。利用离子掺杂或离子注入进行掺杂, 只加入传递 P-型 (受主) 的杂质元素。这时, 其中将形成 n-沟道 TFT 的半导体层用掩模覆盖, 所以传递 P-型的杂质元素将不会被加到半导体层上。在本实施方案中, 虽然在 P-沟道 TFT 中没制造 LDD 区, 但可以形成 LDD 区。

这样, 在 n-沟道 TFT503 中, LDD 区 530 和源区或漏区 531 是在沟道形成区 529 之外形成的。P-沟道 TFT502 也有同样的配置, 并且由沟道形成区 527 及源区或漏区 528 组成。在本实施方案中, 使用单栅结构; 但是, 可以使用双栅结构或三栅结构。

在象素段 507 中, 由 n-沟道 TFT 形成的象素 TFT504 为了减少 OFF 电流而具有多栅结构, 而 LDD 区 533, 及源区或漏区 534-536 则在沟道形成区 532 之外形成。

层间绝缘膜由用无机材料如氧化硅、氮化硅, 或氮氧化硅制的第一层间绝缘膜 540 (厚度: 50-500nm) 及用有机绝缘材料如聚酰亚胺, 丙烯酸树脂, 聚酰亚胺氮化物, 及苯并环丁烯 (BCB) 制的第二层间绝缘膜 541 所组成。这样, 通过由有机绝缘材料形成的第二层间绝缘膜,

层间绝缘膜的表面能够令人满意地整平。有机树脂材料通常其介电常数低，所以能够减少寄生电容。但是，有机树脂材料由于其吸湿性而不适于作保护膜，所以最好与第一层间绝缘体 540 结合起来。

其后，形成具有预先定图形的抗蚀掩模，并形成接触孔，其伸到半导体层中形成的源区或漏区。接触孔通过干法蚀刻形成。在这种情况下，使用 CF_4 、 O_2 和 He 的混合气体作为蚀刻气体首先对由有机树脂材料制的第二层间绝缘膜 541 进行蚀刻，其后，使用 CF_4 和 O_2 作为蚀刻气体对第一层间绝缘膜 540 蚀刻。

然后，通过溅射或真空蒸汽汽化来形成导电金属膜。这样就形成了抗蚀掩模图形，并通过蚀刻形成导线 543-549。这样，就能够形成有源矩阵基板。

使用图 18A 中有源矩阵基板制造有源矩阵型液晶显示器件的过程将予以说明。图 18B 示出有源矩阵基板用密封剂 558 粘结在副基板 554 上的状态。首先，在图 18A 所示的有源矩阵基板上形成柱形分隔件 551 和 552。在象素段中设置的分隔件 551 要形成得与象素电极上的接触段相重叠。虽然会随着将要使用的液晶材料而有所改变，但分隔件的高度将设定在 $3-10\mu\text{m}$ 。在接触段，对应接触孔形成凹入段。因此，通过使形成的分隔件与凹入段相对准，液晶的定向就能够免受干扰。其后，形成调整膜 553，并进行摩擦处理。在副基板 554 上形成透明导电膜 555 和调整膜 556。然后，有源矩阵基板和副基板相互连接，并在其中间注入液晶 557。

按上述制造的有源矩阵型液晶显示器件能够用作为用于各种电子器件的显示仪器。上述的液晶显示板完全适用于大面积而不必降低象素段中的孔径比。

本实施方案能够随意与实施方案 1-5 中的任何一个相结合。

[实施方案 11]

对使用实施方案 10 中说明的有源矩阵基板制造发光器件的情况将予以说明。

在图 19 中，作为电流控制 TFT4501 使用具有与图 16 中 n-沟道 TFT503 同样配置的 TFT。不用说，电流控制 TFT4501 的栅电极电连接到开关 TFT4402 的漏线上。电流控制 TFT4501 的漏线电连接至绝缘膜

4409 上形成的象素电极 4504。

在本实施方案中，由导电膜制成的象素电极 4505 起发光元件阴极的作用。更具体地说，使用铝和锂的合金膜。可以使用由属于周期表中第一族或第二族元素制成的导电膜或加有该元素的导电膜。

在象素电极 4504 上形成发光层 4505。在图 19 中只示出一个象素。在本实施方案中与 G (绿色) 相应的发光层通过气相沉积和涂敷 (最好是旋转涂敷) 形成。更具体地说，使用层叠结构，在此结构中形成 LiF 膜 (厚度: 20nm) 作为电子注入层，其上再形成 PPV 膜 (厚度: 70nm) 作为发光层。

其次，在发光层 4505 上形成由透明导电膜制的阳极 4506。在本实施方案中，使用由氧化铟和氧化锡的混合物或氧化铟和氧化锌的混合物制成的导电膜。

在阳极 4506 形成时，发光元件 4507 就完成了。发光元件 4507 是指由象素电极 (阴极) 4504，发光层 4505，及阳极 4506 组成的二极管。

形成纯化膜 4508 是有用的以便完全覆盖发光元件 4507。作为纯化膜 4508，使用单层结构或多层结构的绝缘膜，包括碳膜，氮化硅膜，或氮氧化硅膜。

此外，在纯化膜 4508 上形成密封材料 4509，覆盖件 4510 粘接到密封材料 4509 上。作为密封材料 4509，可以使用 UV-可固化树脂，并且在密封材料 4509 中形成有吸湿性的材料或有抗氧化作用的材料是有用的。此外，在本实施方案中，作为覆盖件 4510，使用玻璃基板，石英基板，或其两侧形成有碳膜 (最好是 DLD 膜) 的塑料基板，石英基板，或其两侧形成有碳膜 (最好是 DLC 膜) 的塑料基板 (包括塑料薄膜)。

这样制造的发光器件完全可以用于大面积用而不必降低象素段中的孔径比。

本实施方案能够随意与实施方案 1-5 中的任何一个相结合。

[实施方案 12]

根据本发明形成的布线板能够用于各种各样的电光仪器 (有源矩阵型液晶显示器件，有源矩阵型 EC 显示仪器，及有源矩阵型发光器

件)。具体地说,在这些电光仪器被纳入到显示部分的所有电子设备中都能够实施本发明。

这类电子设备的实例包括个人计算机和显示器。图 20A-20C 示出其实例。

图 20A 示出个人计算机,它包括本体 3001,图象输入部分 3002,显示部分 3003,键盘 3004,等。本发明应用于显示部分 3003。本发明随时可用于扩大显示部分 3003。

图 20B 示出使用存储程序记录介质(以下只称为记录介质)的播放机,它包括本体 3401,显示部分 3402,扬声器部分 3403,记录介质 3404,操作开关 3405 等。这种播放机使用数字通用光盘(DVD),光盘(CD),等作为记录介质,能够用来听音乐,看电影,玩游戏,及上互联网。本发明可应用于显示部分 3402。本发明随时可用于扩大显示部分 3402。

图 20C 示出显示器,它包括本体 4101,底座 4102,显示部分 4103,等。本发明可应用于显示部分 4103。本发明的显示器对屏幕的扩大做好充分准备。特别是,本发明有利于对角线尺寸为 10 英寸或更大(特别是 30 英寸或更大)的显示器。

如上所述,本发明的应用范围极大,而且本发明可应用于各个领域的电子设备。此外,采用利用实施方案 1-11 任意组合而得到的结构能够获得本实施方案的电子设备。

采用本发明的结构,可以得到下面的基本重要事实。

- (a) 适合于常规布线和制造布线板的过程的简单方法。
- (b) 布线中实现低电阻。因此,设计自由和象素段孔径比的程度提高了。
- (c) 得到了满意的覆盖范围。

(d) 在半导体器件如有源矩阵型液晶显示器件中,在上述优点使人满意的同时,象素段的面积也增大了,本发明对屏幕的扩大做好了充分准备,这将提高半导体器件的工作特性和可靠性。

各项其他改进对本领域的技术人员将会变得明显起来并且能够易于被他们实现而又不偏离本发明的领域与构思。因此,不打算把此处所附的权利要求范围限制在如这里所提出的说明,而是对这些权利要求予以广泛的解释。

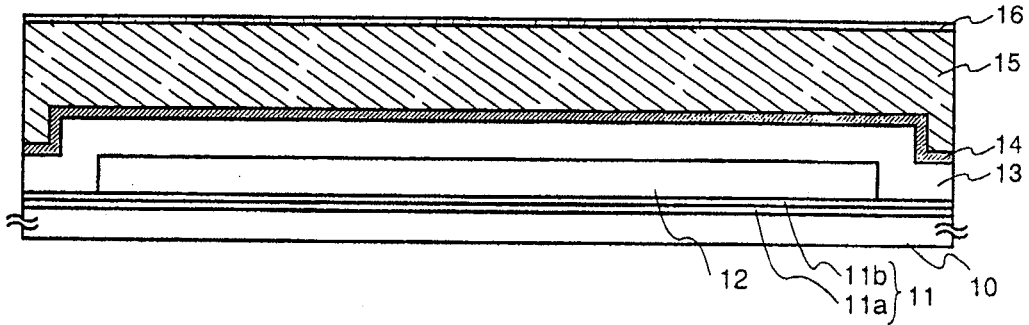


图 1A

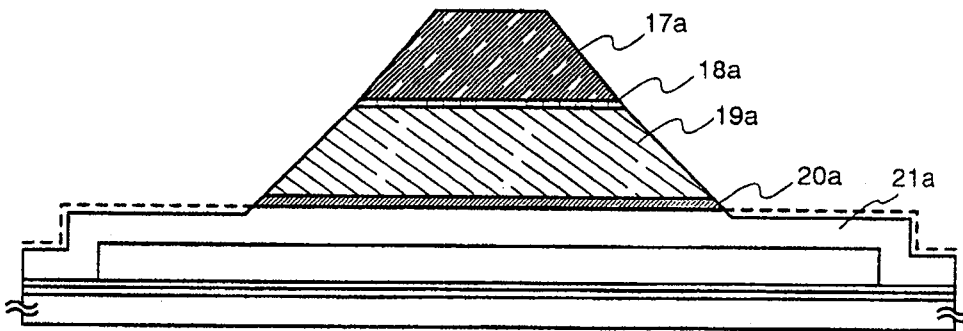


图 1B

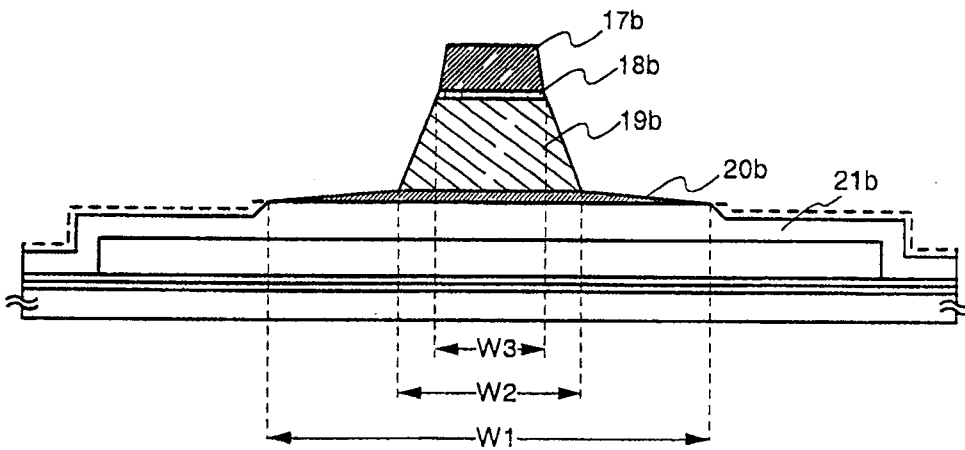


图 1C

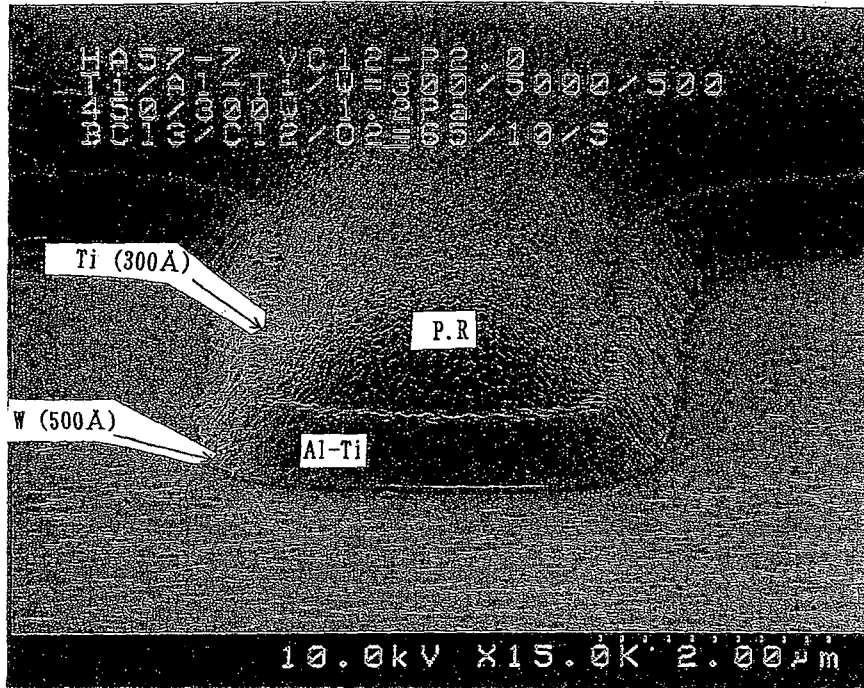


图 2A

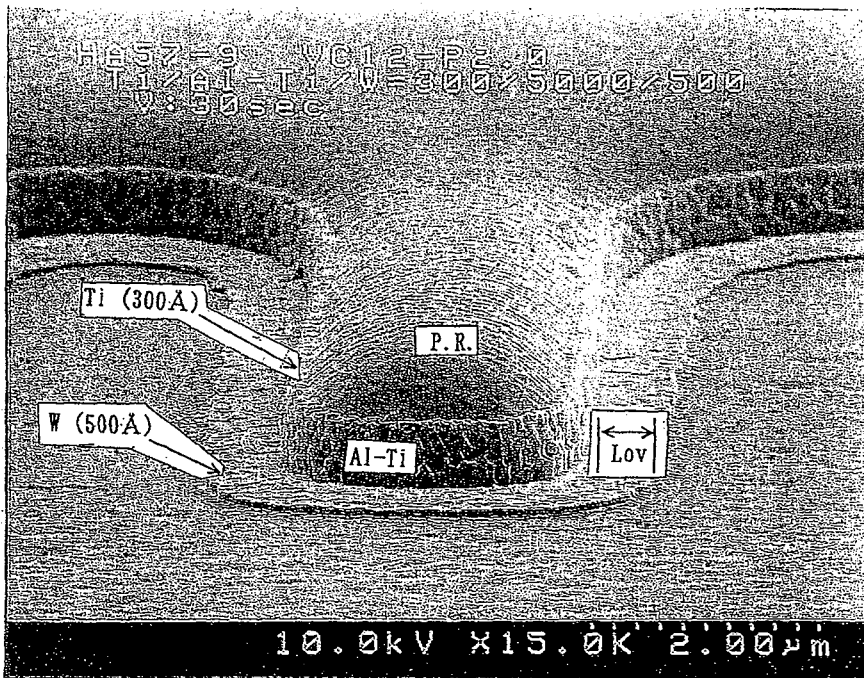


图 2B

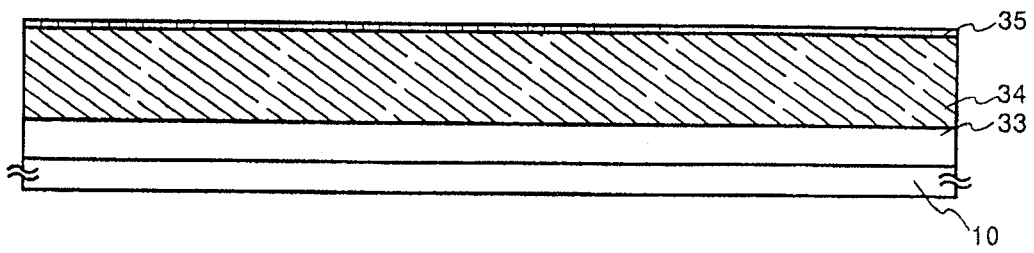


图 3A

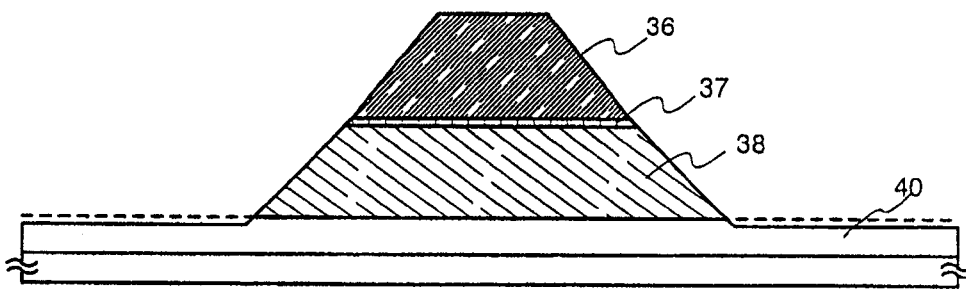


图 3B

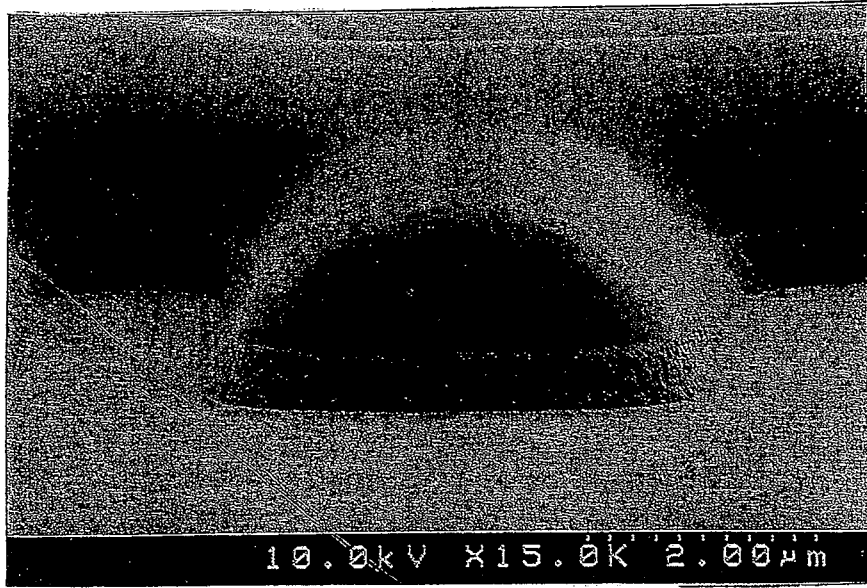


图 4A

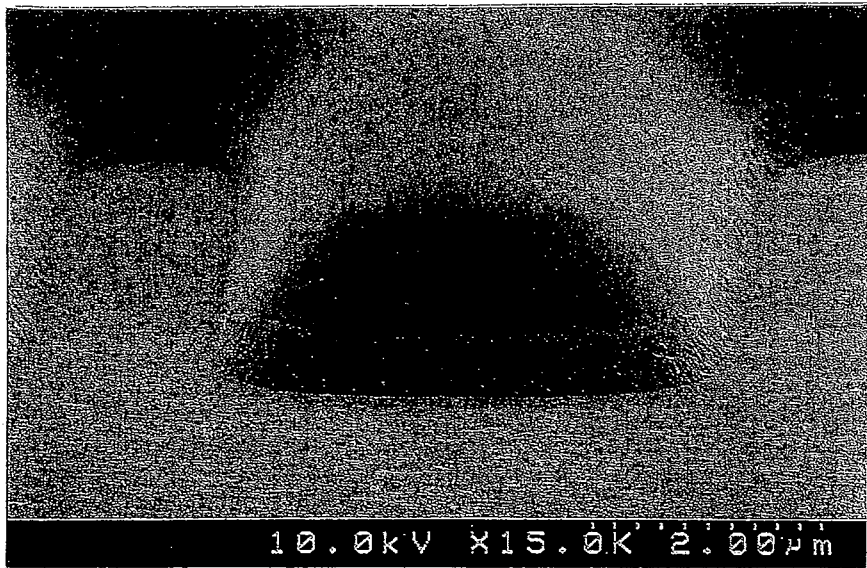


图 4B



图 4C

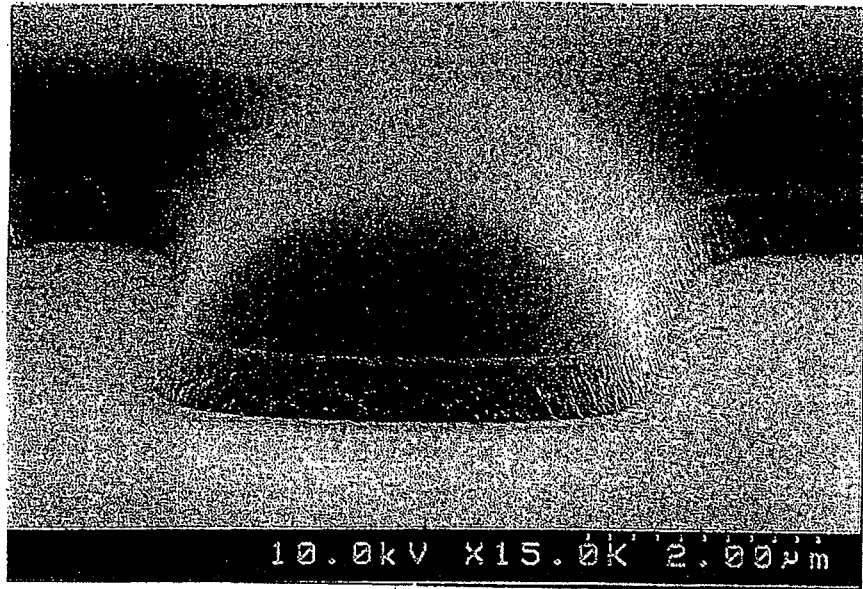


图 5A

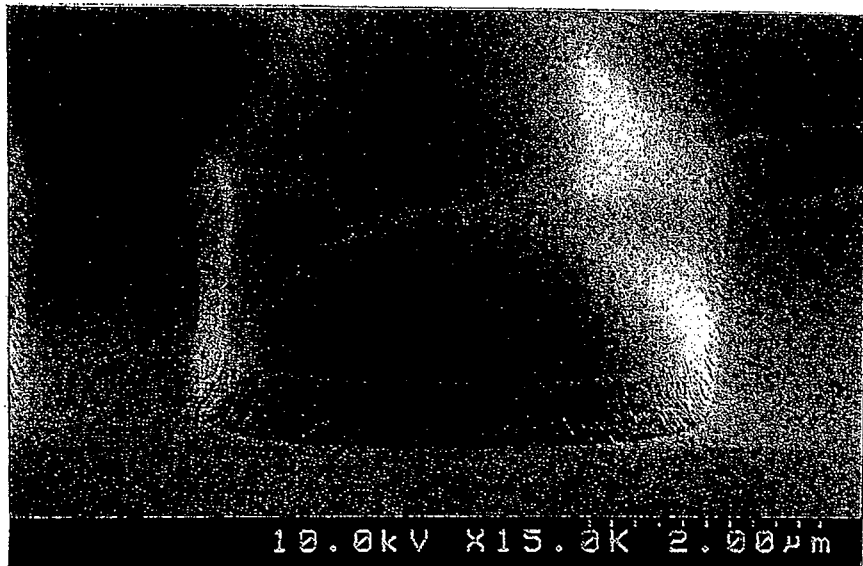


图 5B



图 5C

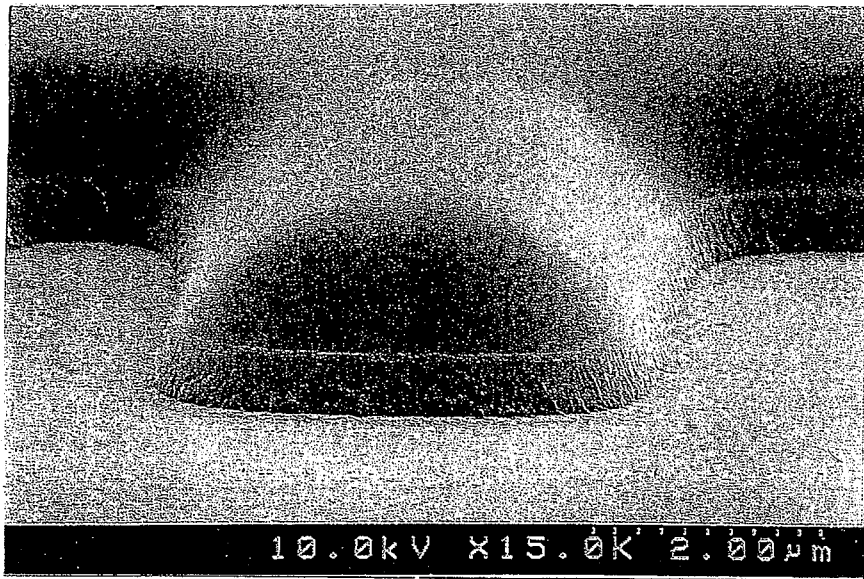


图 6A

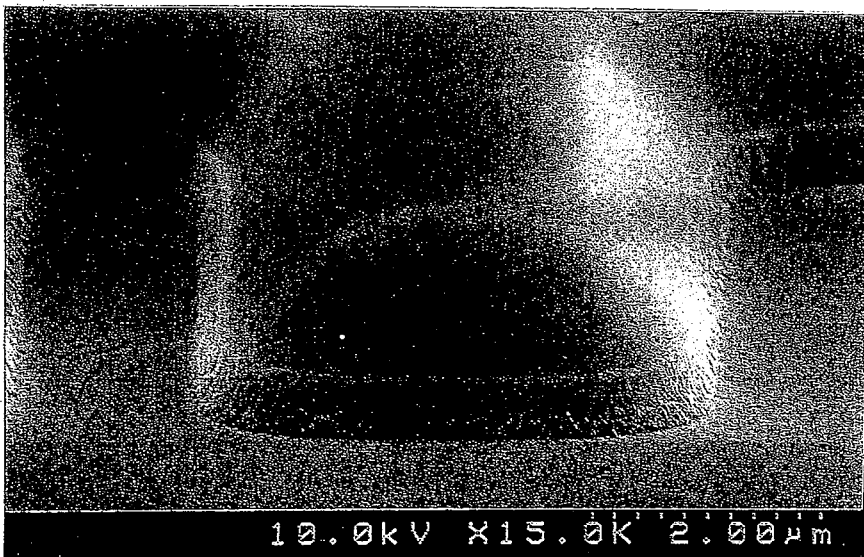


图 6B

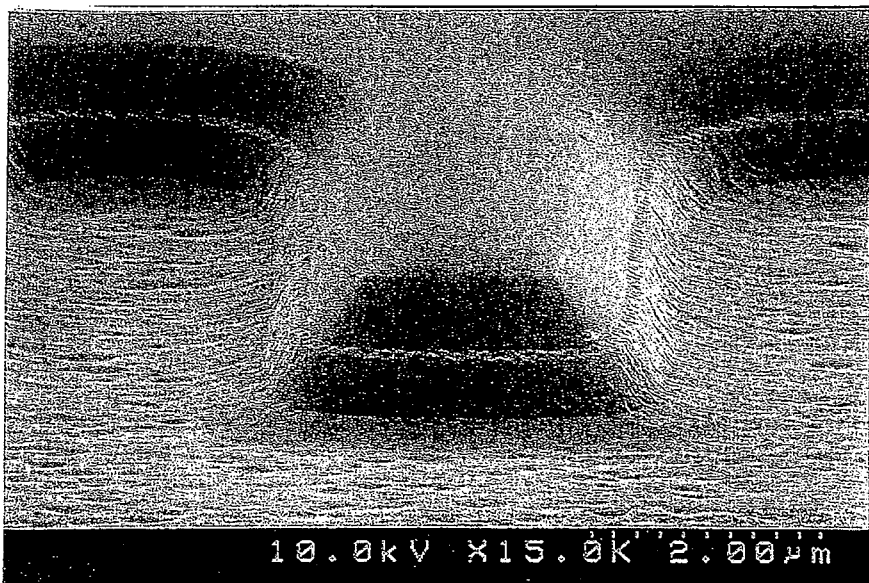


图 6C

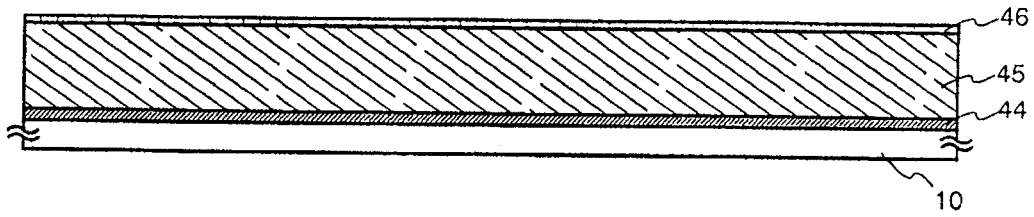


图 7A

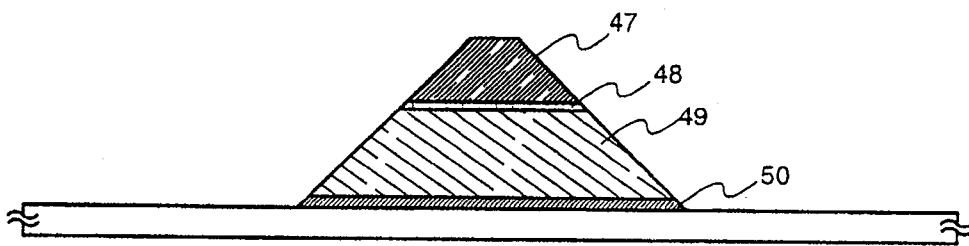


图 7B

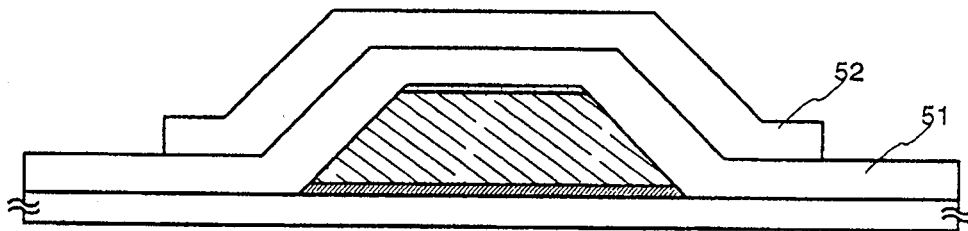


图 7C

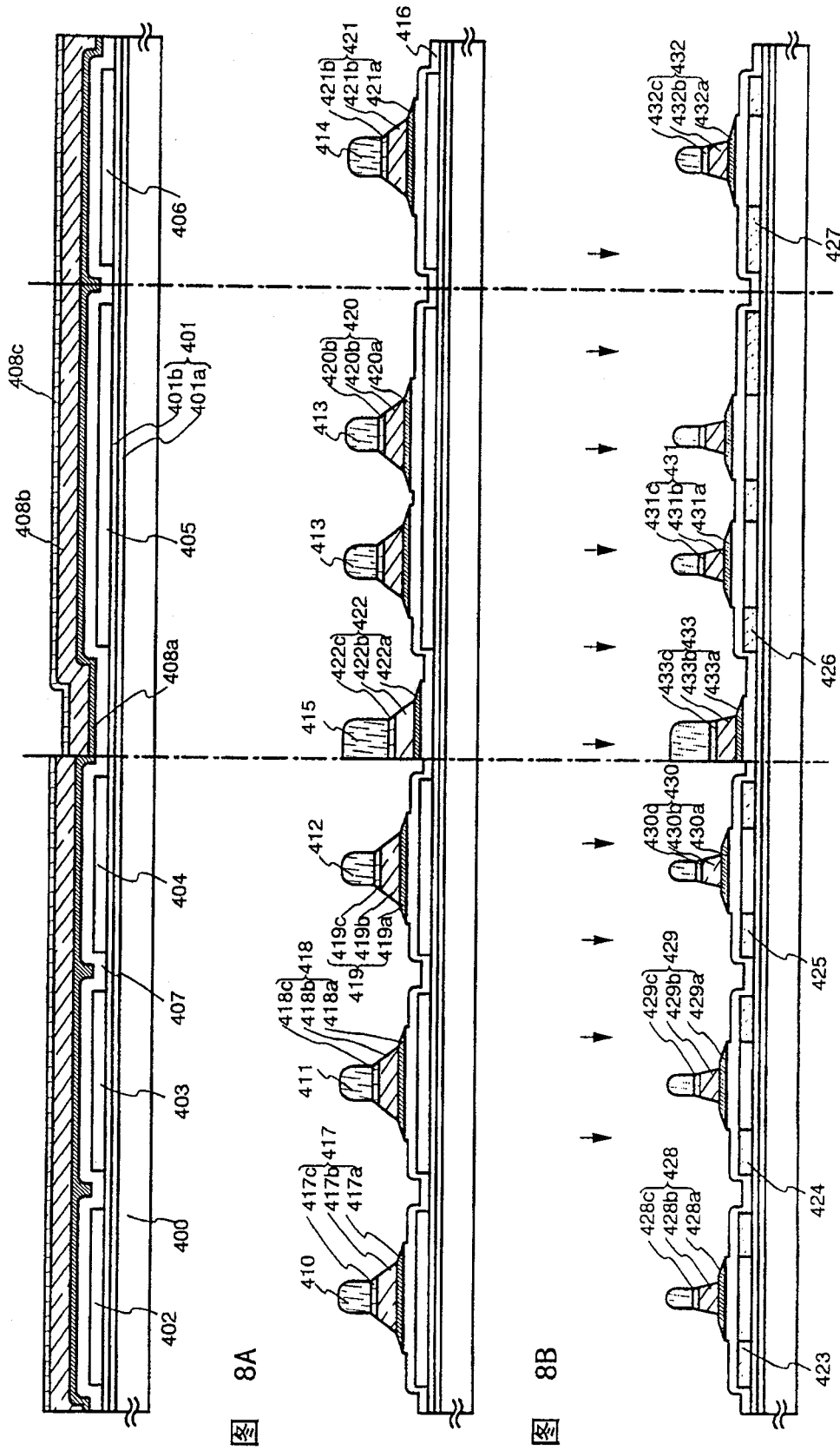


图 8A

图 8B

图 8C

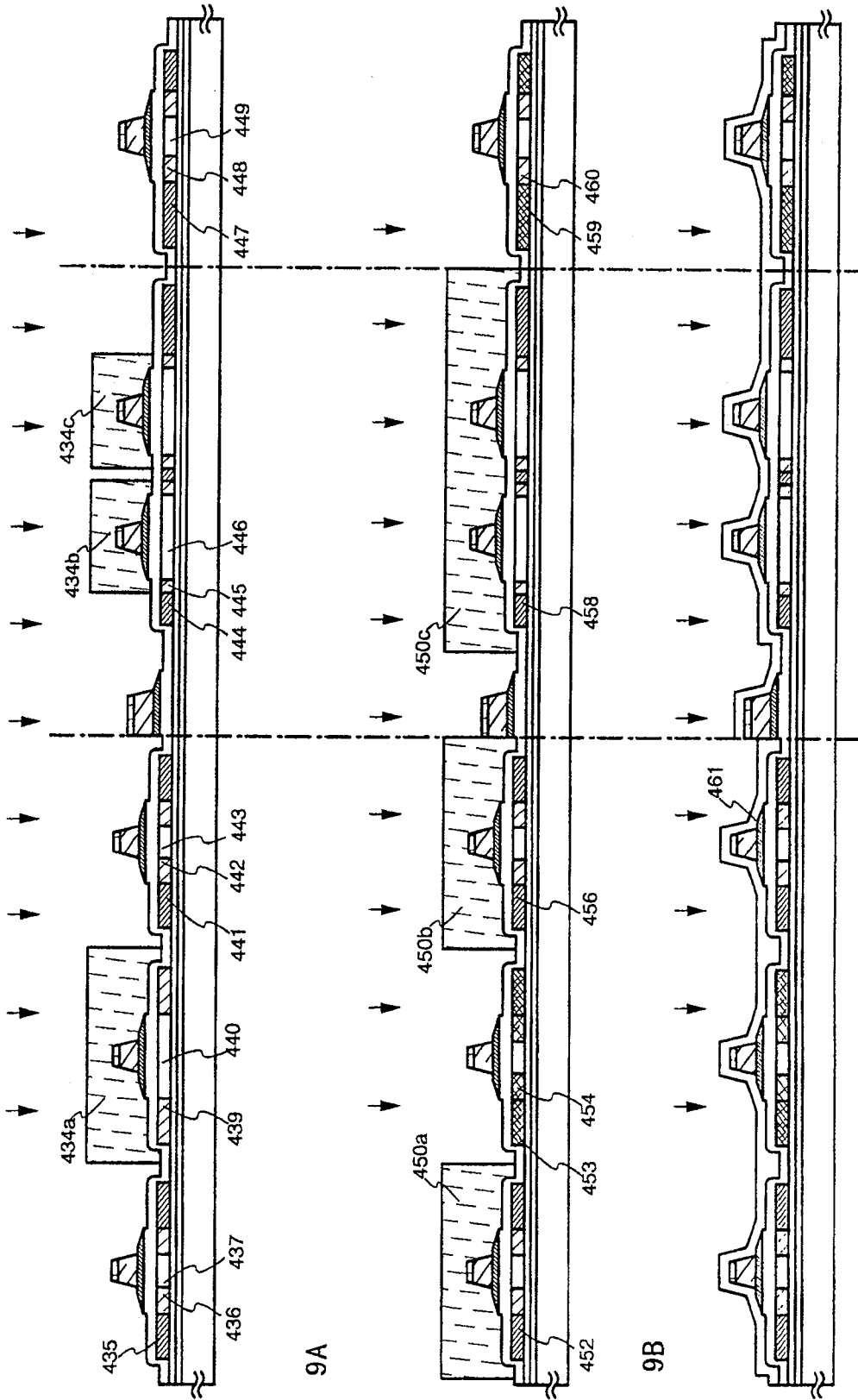


图 9A

图 9B

图 9C

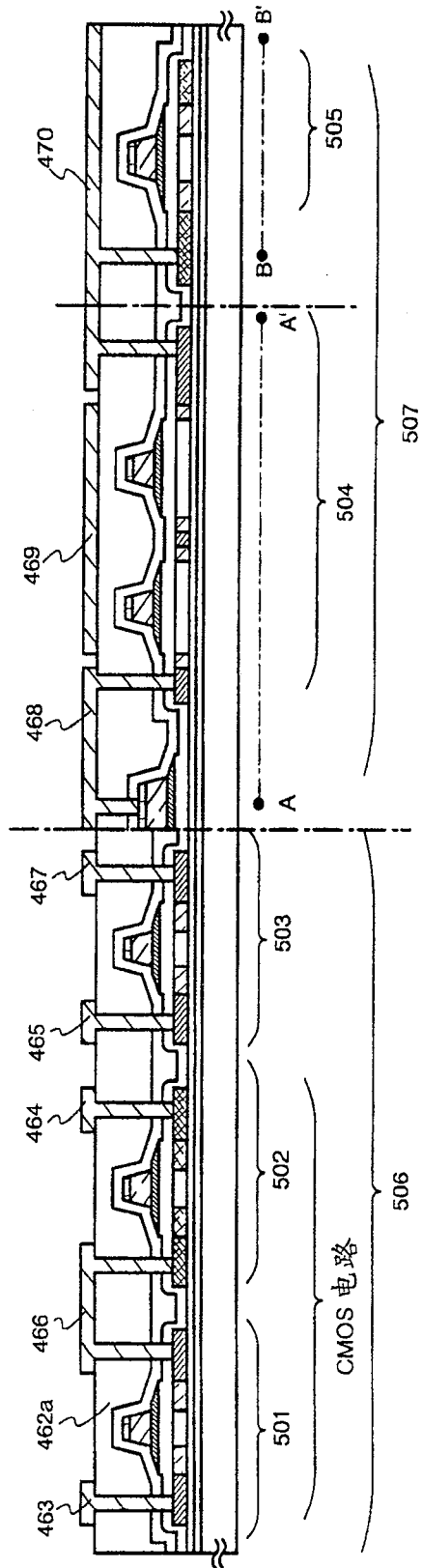


图 10

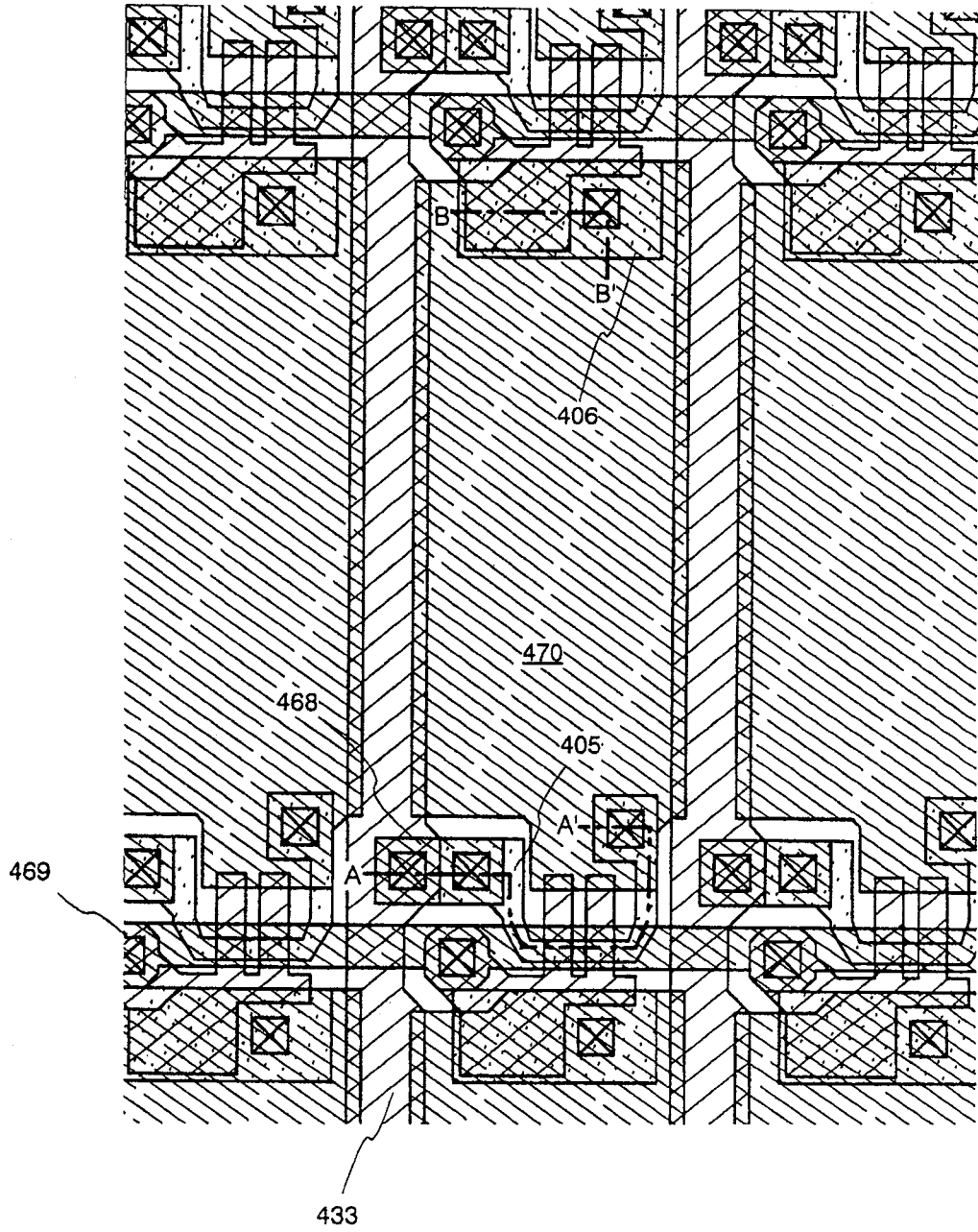


图 11

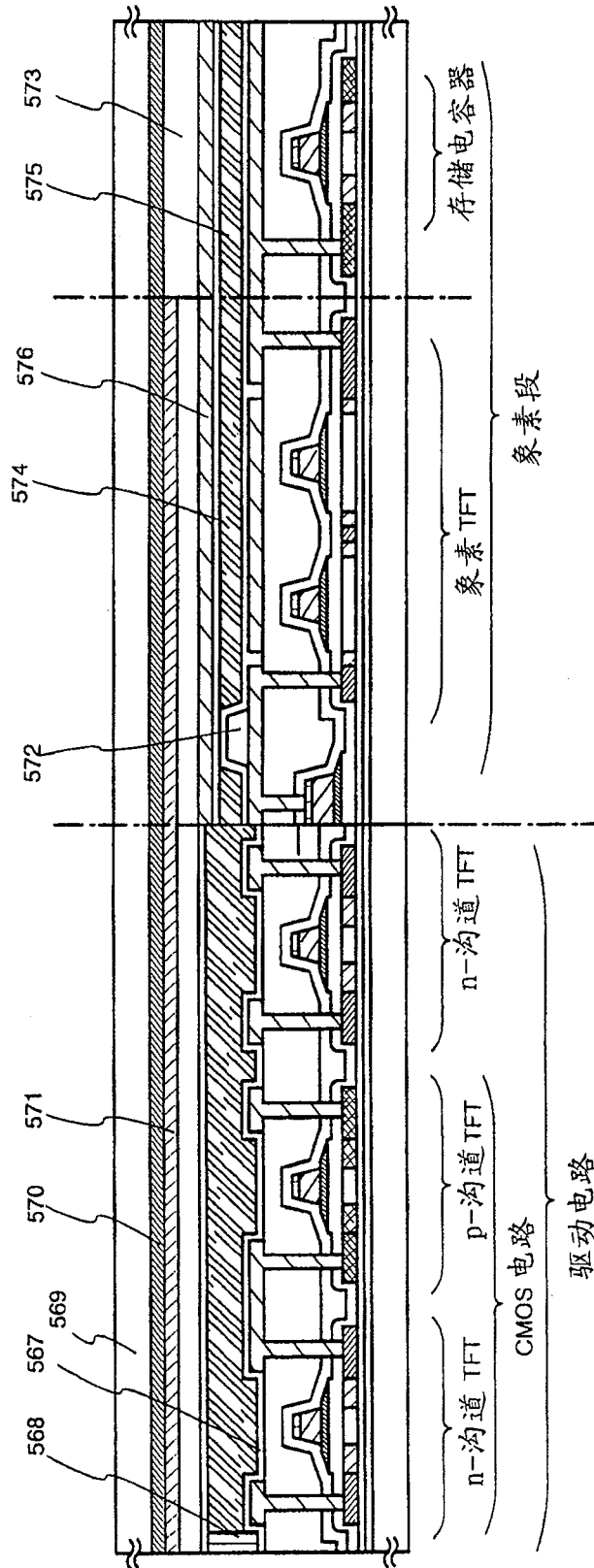


图 12

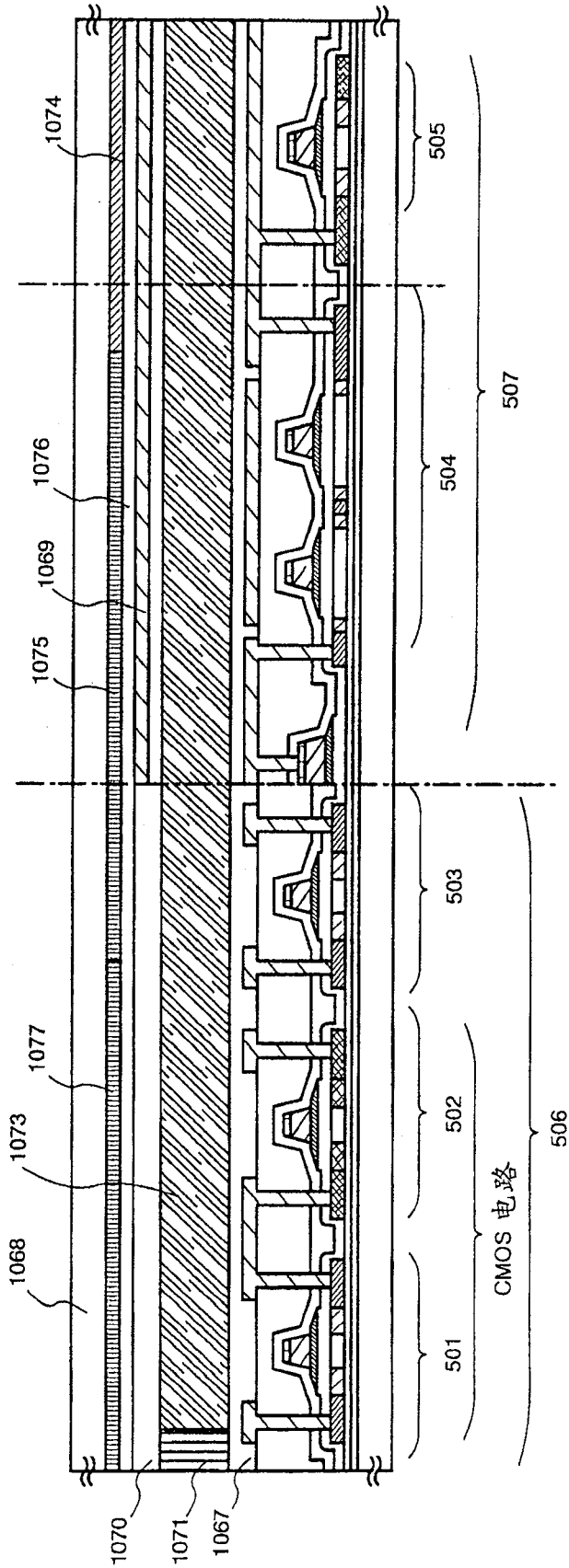


图 13

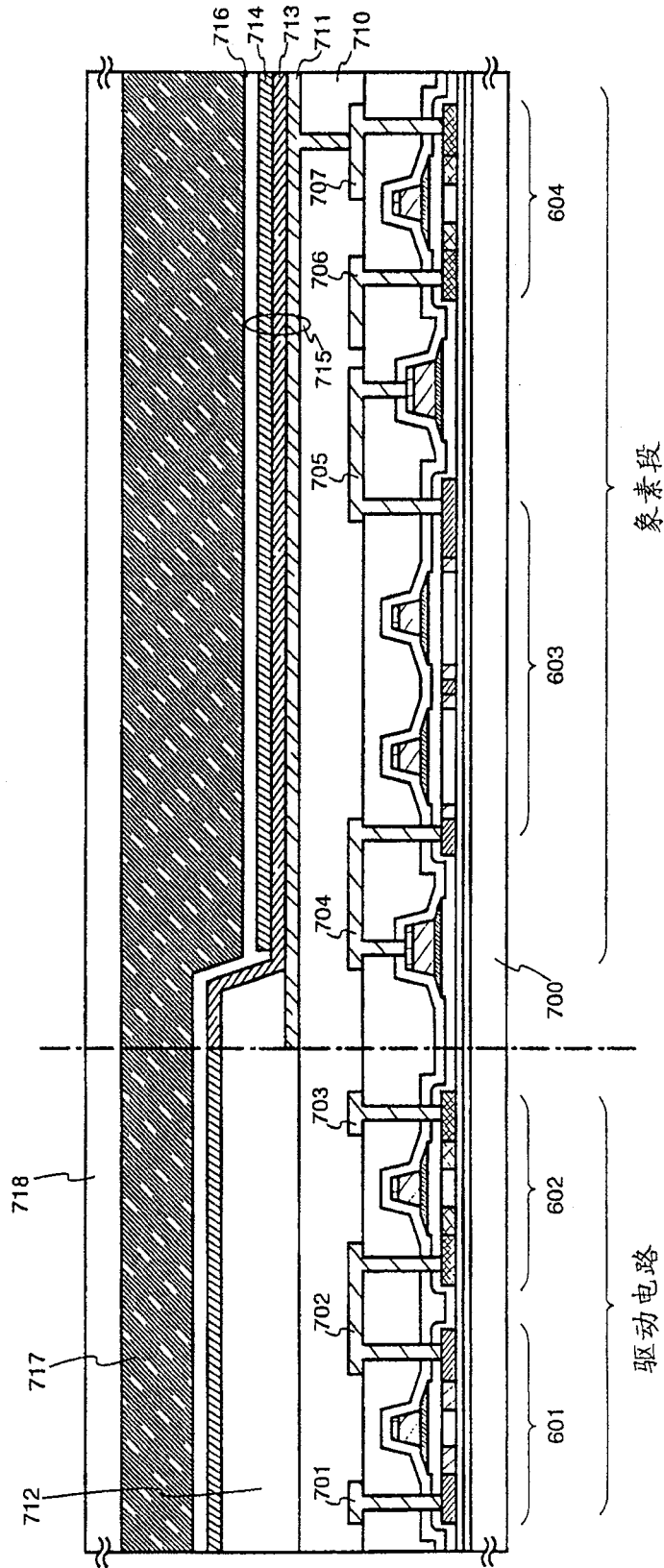


图 14

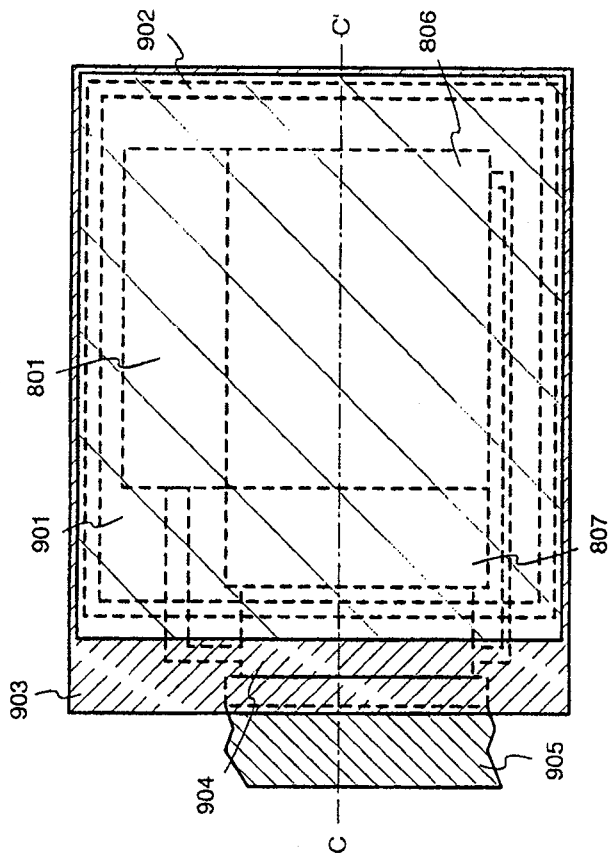


图 15A

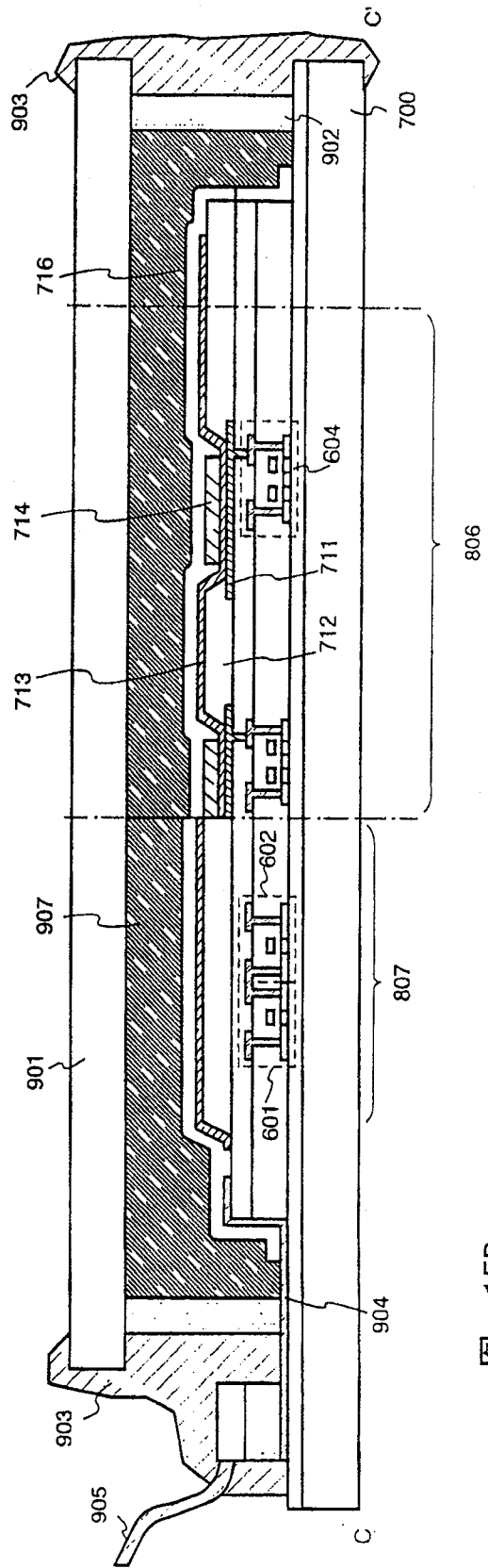


图 15B

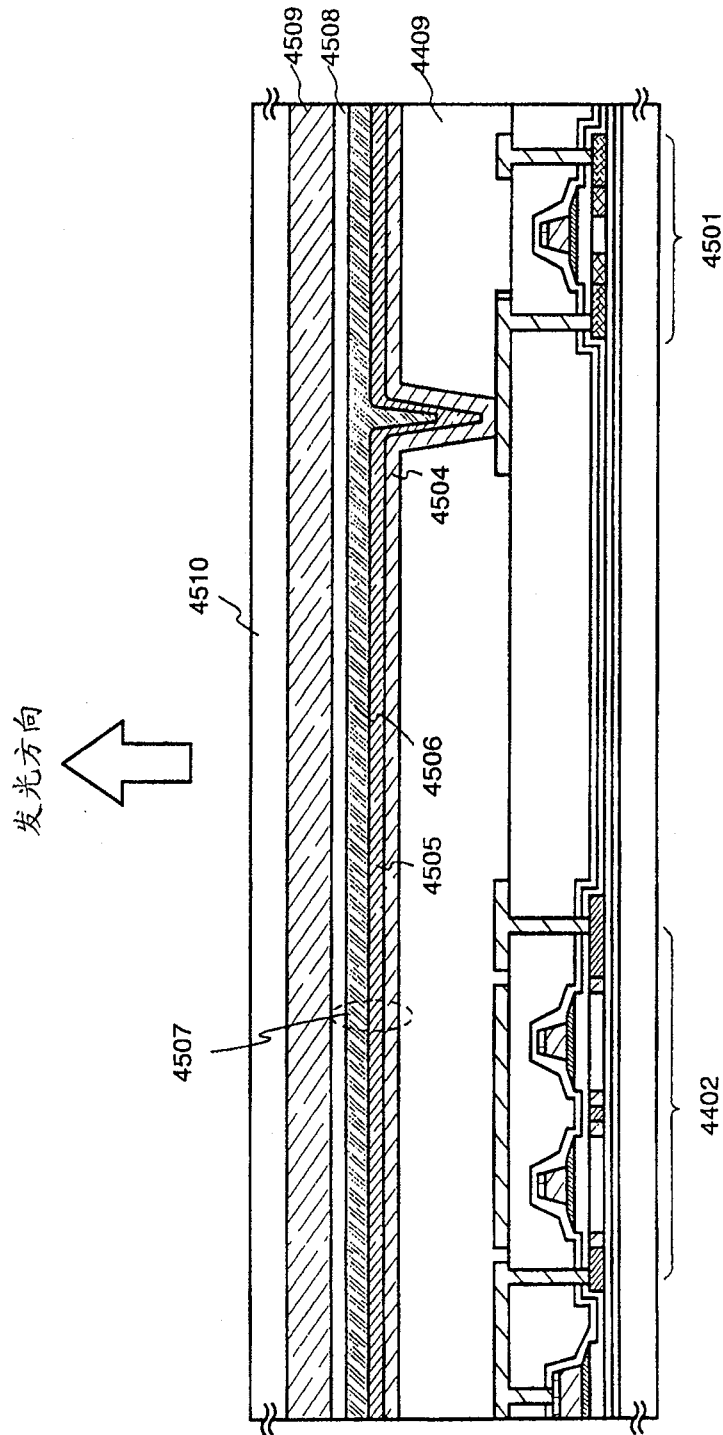


图 16

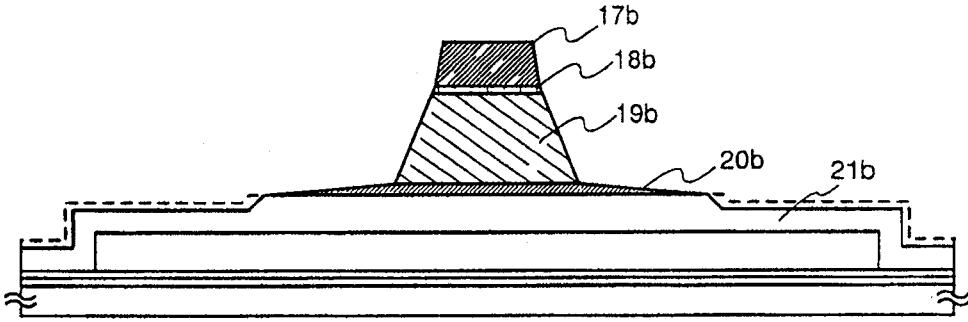


图 17A

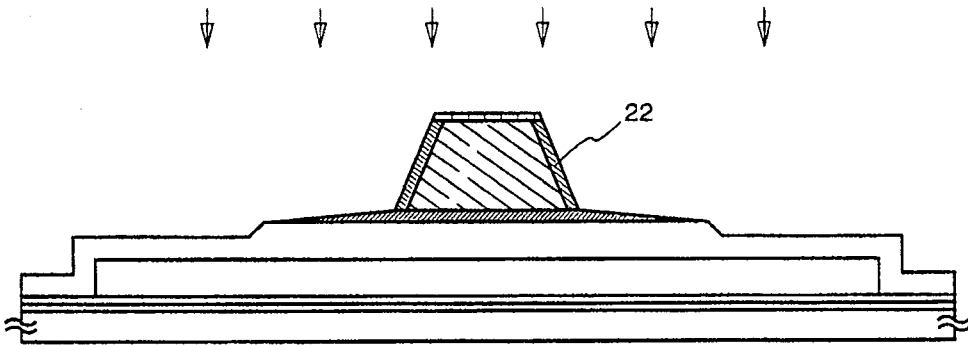


图 17B

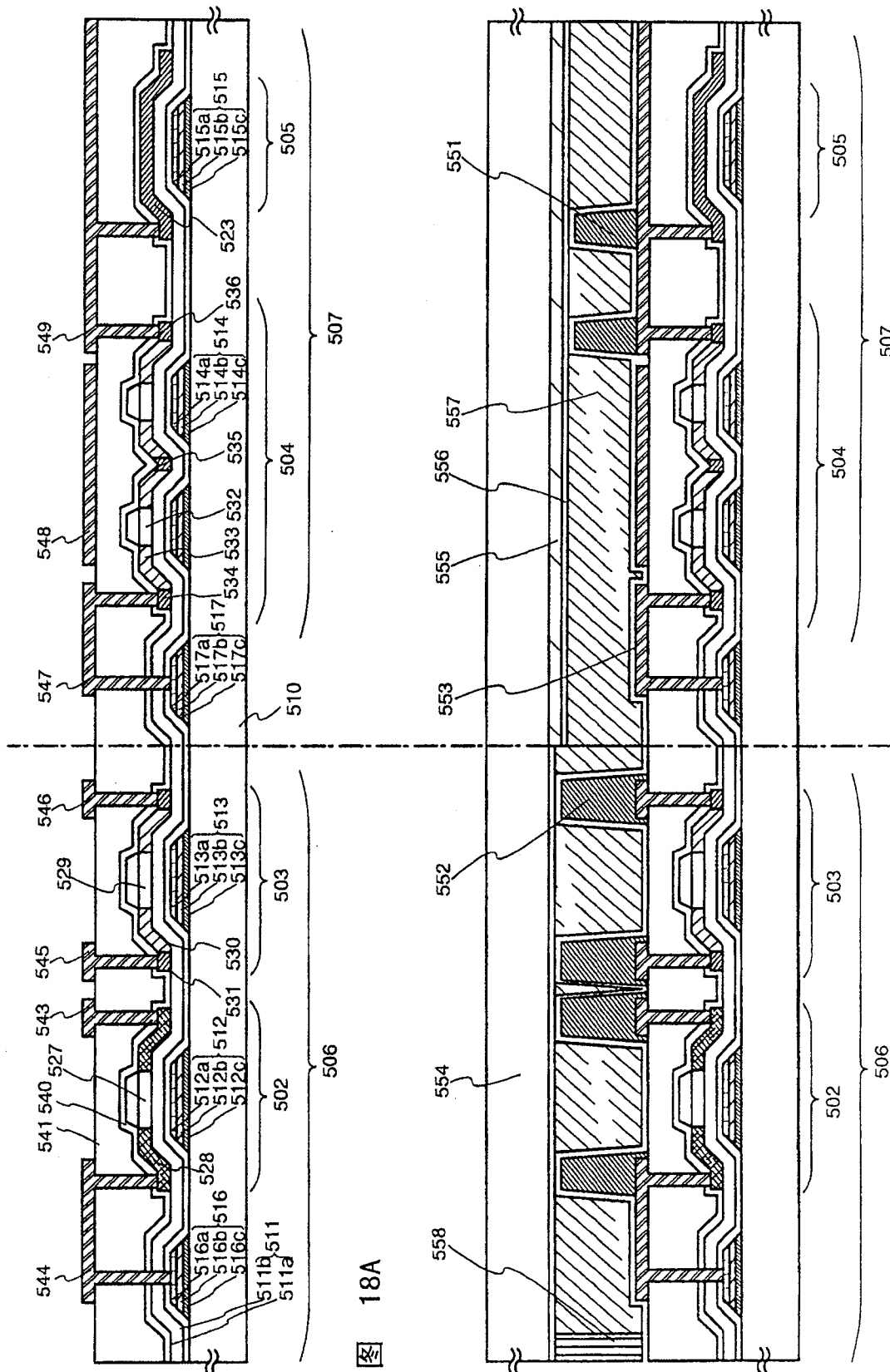


图 18A

图 18B

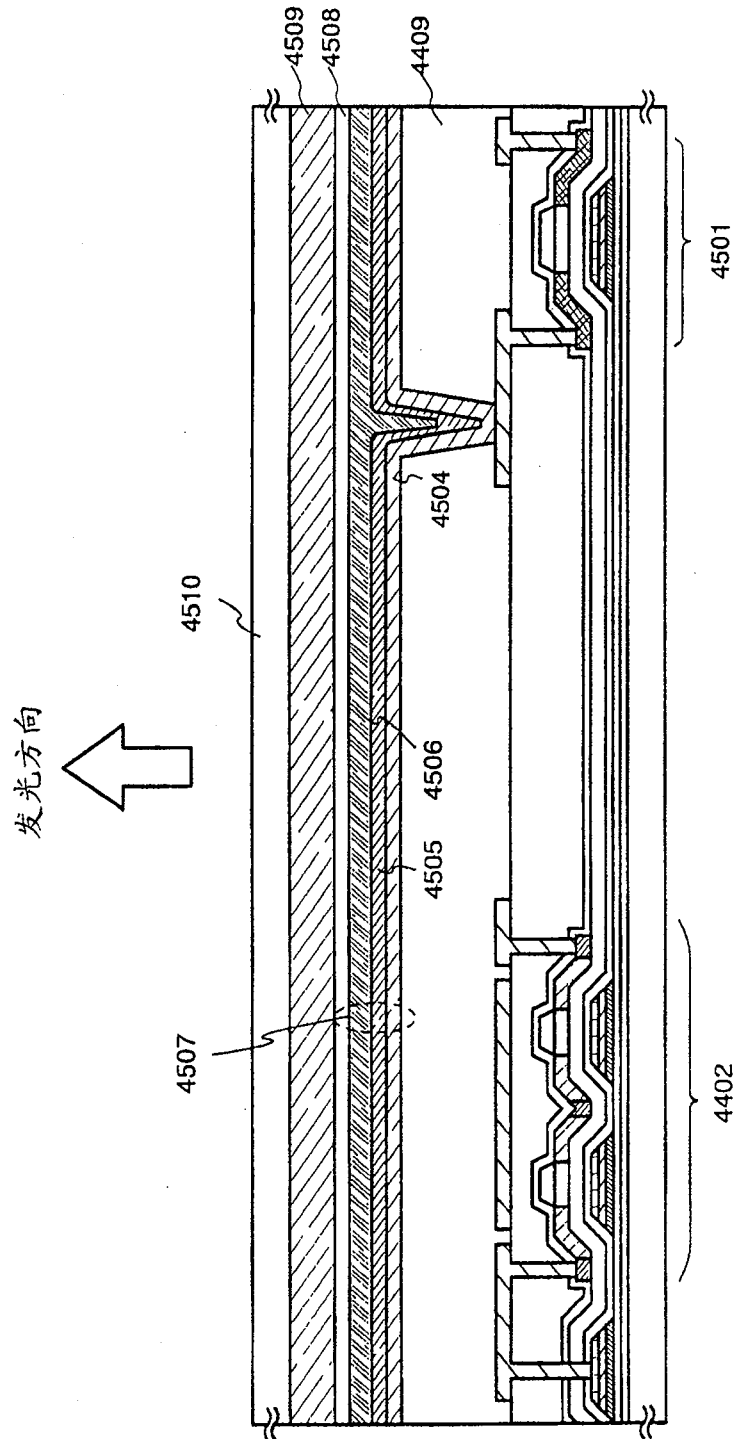


图 19

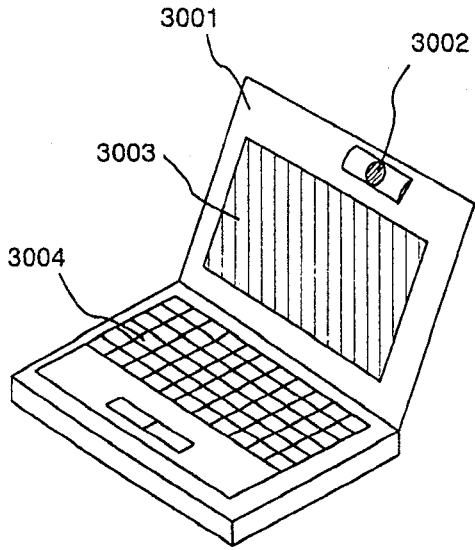


图 20A

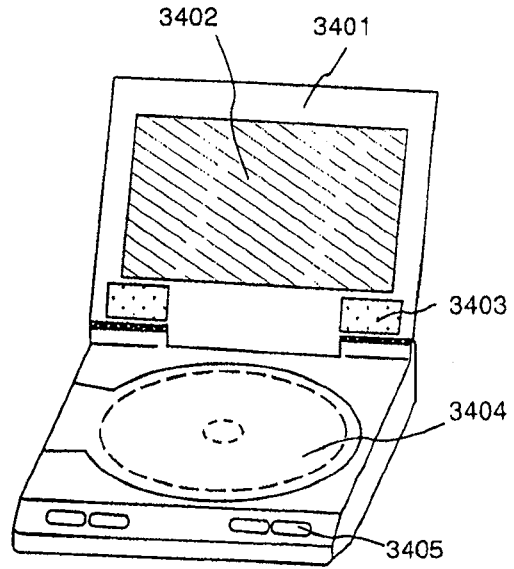


图 20B

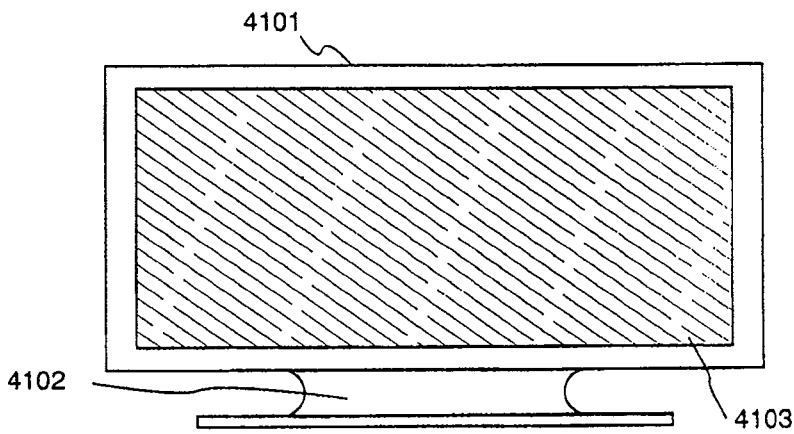


图 20C

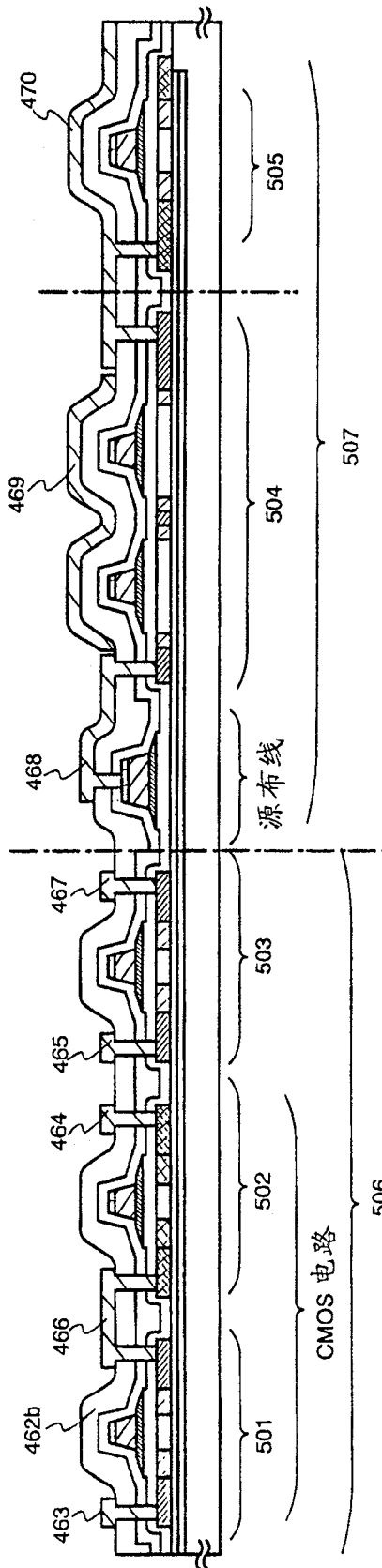


图 21

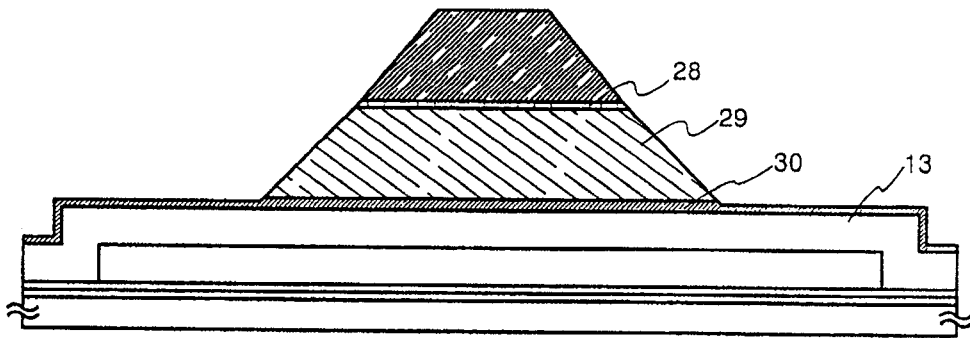


图 22