

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410068693.4

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

[45] 授权公告日 2008 年 2 月 13 日

[11] 授权公告号 CN 100369103C

[22] 申请日 2004.9.2

[21] 申请号 200410068693.4

[30] 优先权

[32] 2003.9.3 [33] JP [31] 311326/2003

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 飞田洋一

[56] 参考文献

US6417827B1 2002.7.9

CN1387662A 2002.12.25

US6552710B1 2003.4.22

JP9-325320A 1997.12.16

US2002/0047839A1 2002.4.25

CN1438621A 2003.8.27

JP2000-137459A 2000.5.16

审查员 王少伟

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 曲 瑞

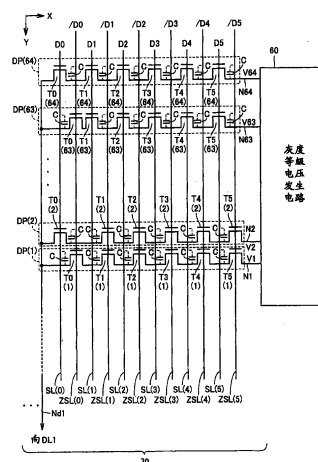
权利要求书 3 页 说明书 17 页 附图 7 页

[54] 发明名称

包括用于灰度等级显示的解码电路的显示装置

[57] 摘要

本发明提出一种包括用于灰度等级显示的解码电路的显示装置，其中的解码电路(70)包括分别对应于灰度等级电压(V1~V64)的解码路径(DP(1)~DP(64))。各解码路径具有分别对应于显示信号位(D0~D5)的串联连接的解码晶体管。在所选的解码路径中，串联连接的解码晶体管全部导通，而向解码电路的输出节点传送对应的灰度等级电压。各解码晶体管的栅极与分别传送对应的显示信号位及其反信号的第一和第二信号线(SL和ZSL)的一个信号线相连。不与栅极相连的另一个信号线进行配置，使得在与该解码晶体管的源极或栅极电连接的节点之间形成与栅极电容相同的寄生电容。由此，可以不增大电路面积，提高解码电路的抗噪声性。



1、一种显示装置,执行对应于多比特的数字信号的灰度等级显示,其特征在于,包括:

多个电压节点,用于分别传送分等级的多个灰度等级电压;

多个第一信号线,用于分别传送所述数字信号的所述多 比特;

多个第二信号线,沿与所述多个第一信号线相同的方向设置,用于分别传送所述多比特的反信号;

解码电路,用于根据所述数字信号选择所述多个灰度等级电压中的一个,将所选的所述灰度等级电压作为显示电压输出到输出节点;

像素,用于显示对应于由所述解码电路选择的所述显示电压的亮度;

其中所述解码电路包括在所述多个电压节点和所述输出节点之间分别形成的多个解码路径,使其与所述第一和第二信号线相交;

所述多个解码路径分别包括分别对应于所述数字信号的所述多比特的多个场效应晶体管;

所述多个场效应晶体管串联连接在所述输出节点与对应的所述电压节点之间;

所述多个场效应晶体管的各个栅极与传送相对应的比特及其反信号的所述第一和第二信号线中的一个信号线相连;

所述多个场效应晶体管被分别构成为在所述第一和第二信号线中的、不与所述栅极相连接的另一信号线和与源极或漏极电连接的节点之间形成电容;

在根据所述数字信号从所述多个解码路径中所选的一个解码路径中,所述多个场效应 晶体管全部导通,而在其余的解码路径中,所述多个场效应 晶体管中的至少一个截止;

由所述另一信号线形成的电容与所述场效应 晶体管的栅极电容基本上具有相同的电容值。

2、根据权利要求1所述的显示装置,其特征在于:所述多个解码

路径在所述输出节点与对应的所述电压节点之间分别具有连续形成的半导体布线，使其与所述多个第一和第二信号线相交；

所述多个第一和第二信号线被设置在与所述半导体布线之间夹有绝缘层而形成的布线层上；

所述半导体布线中的、夹着所述绝缘层与所述一个信号线相对置的第一区域具有根据所述一个信号线的电压而形成或不形成沟道的杂质浓度；

所述半导体布线中的、夹着所述绝缘层与所述另一信号线相对置的第二区域具有使所述第二区域独立于所述另一信号线的电压地为电导通状态的杂质浓度。

3、根据权利要求2所述的显示装置，其特征在于：所述第二区域的杂质浓度比所述第一区域的杂质浓度高。

4、根据权利要求2所述的显示装置，其特征在于：在形成所述第一和第二信号线的工艺之前进行向所述第二区域注入杂质的工艺。

5、根据权利要求1所述的显示装置，其特征在于，所述像素具有：显示元件，用于显示对应于像素节点的电压的亮度；

电压保持电容，用于保持所述像素节点的电压；

像素开关元件，连接在传送了对应于所述显示电压的电压的节点和所述像素节点之间，并响应于预定的扫描周期而导通。

6、根据权利要求5所述的显示装置，其特征在于：

所述开关元件和所述多个场效应晶体管由薄膜晶体管构成；

所述多个场效应晶体管和所述开关元件通过同一工艺而被制作在同一绝缘体基板上。

7、根据权利要求5所述的显示装置，其特征在于：由所述另一信号线形成的电容具有与所述电压保持电容相同的结构。

8、根据权利要求1所述的显示装置，其特征在于，所述像素包括：显示元件，显示对应于通过电流的亮度；

像素开关元件，连接在传送对应于所述显示电压的电压的节点和像素节点之间，响应于预定的扫描周期而导通并由薄膜晶体管构成；

电压保持电容，用于保持所述像素节点的电压；

电流驱动元件，用于向所述显示元件供给对应于所述像素节点的电压的电流并由薄膜晶体管构成。

9、根据权利要求8所述的显示装置，其特征在于：由所述另一信号线形成的电容具有与所述电压保持电容相同的构造。

10、根据权利要求1所述的显示装置，其特征在于：在所述多个解码路径的每一个中，独立设置有所述多个场效应晶体管。

11、根据权利要求1所述的显示装置，其特征在于：

在所述多个解码路径的每一个中，独立设置有所述多个场效应晶体管中的、对应于所述多 比特中的最低位的部分；

所述多个场效应 晶体管的其余部分设置在所述多个解码路径中的至少两个解码路径上。

包括用于灰度等级显示的解码电路的显示装置

技术领域

本发明涉及文字和图像等的显示装置，尤其涉及可进行基于数字信号的灰度等级显示的显示装置。

背景技术

作为个人计算机、电视接收机、便携电话和便携信息终端设备等
的显示面板，使用了包括液晶元件或场致发光（EL）元件来作为显示
用像素的显示装置。这种显示装置与现有类型的显示装置相比较，在
低消耗功率和小型轻质方面有很多优点。

包括液晶元件或 EL 元件的像素根据所施加的电压（下面，将向
像素施加的电压称为“显示电压”）的电平，其显示亮度变化。因此，
这些像素中，可通过分等级设定显示电压，使其还可对应于中间亮度，
而进行灰度等级显示。通常，采用响应于灰度等级显示用的多比特的
数字信号的解码结果，分等级设定显示电压的结构。

因此，在可进行灰度等级显示的显示装置中，需要解码数字信号，
识别所指示的灰度等级亮度用的解码电路。通常，该解码电路中，由
于为进行解码需要多个晶体管开关，所以有缩小其电路规模的问题。

为解决这种问题，例如，在特开 2001-34234 号公报中，公开了
被称为所谓的竞赛（tournament）方式的解码电路的结构。

该方式中，公开了每当通过 N 比特（N：大于或等于 2 的整数）
的数字信号来显示 2 的 N 幂乘（下面，标记为“ 2^N ”）等级的灰度
等级亮度时，在分别生成 2^N 等级的灰度等级电压的节点和生成显示
电压的节点之间串联连接 N 个 N-MOS（Metal Oxide Semiconductor）
晶体管的解码电路的结构和在灰度等级电压的传送路径中减少串联连
接的 N-MOS 晶体管的数目的解码电路的结构。

但是,上述公报的图8所示的解码电路的结构中,需要补偿可使解码电路面积小规模化结构的因N-MOS晶体管的门限值电压引起的电压降。因此,构成解码电路的N-MOS晶体管的栅极电压需要设定为至少相对应传送的灰度等级电压高门限值电压。

结果,由于栅极电压的振幅变大,所以可经N-MOS晶体管的栅极和源极或漏极间的寄生容量传送的噪声振幅也变大,而产生了给施加到像素的显示电压造成的影响变大的问题。

另外,上述公报的图9所示的解码电路中,通过减少灰度等级电压的传送路径中含有的N-MOS晶体管的数目,而抑制了灰度等级电压的电压降。但是,相反,由于解码电路整体所需的晶体管数目增加了,所以在电路的小型化和制造产量方面存在问题。

发明内容

本发明的目的是提供一种包括能够抑制电路面积的增大且抗噪声性高的解码电路的、可等级显示的显示装置。

根据本发明的显示装置,执行对应于多比特的数字信号的灰度等级显示,其特征在于,包括:多个电压节点,用于分别传送分等级的多个灰度等级电压;多个第一信号线,用于分别传送所述数字信号的所述多个比特;多个第二信号线,沿与所述多个第一信号线相同的方向设置,用于分别传送所述多比特的反信号;解码电路,用于根据所述数字信号选择所述多个灰度等级电压中的一个,将所选的所述灰度等级电压作为显示电压输出到输出节点;像素,用于显示对应于由所述解码电路选择的所述显示电压的亮度;其中所述解码电路包括在所述多个电压节点和所述输出节点之间分别形成的多个解码路径,使其与所述第一和第二信号线相交;所述多个解码路径分别包括分别对应于所述数字信号的所述多个比特的多个场效应晶体管;所述多个场效应晶体管串联连接在所述输出节点与对应的所述电压节点之间;所述多个场效应晶体管的各个栅极与传送相对应的比特及其反信号的所述第一和第二信号线中的一个信号线相连;所述多个场效应晶体管被分

别构成为在所述第一和第二信号线中的、不与所述栅极相连接的另一信号线和与源极或漏极电连接的节点之间形成电容；在根据所述数字信号从所述多个解码路径中所选的一个解码路径中，所述多个场效应型晶体管全部导通，而在其余的解码路径中，所述多个场效应型晶体管中的至少一个截止；由所述另一信号线形成的电容与所述场效应型晶体管的栅极电容基本上具有相同的电容值。

本发明的主要优点是传送灰度等级电压用的解码路径对于显示信号的各比特，从第一和第二信号线分别重叠彼此互补的反相噪声。因此，可以不增加解码晶体管的个数地提高解码电路的抗噪声性，从而高精度地设定灰度等级电压。结果，可以提高显示装置的显示质量。

本发明的上述和其他的目的、特征、方面和优点可以从与附图相关联地理解的与本发明有关的下面的详细说明中看出。

附图说明

图1是表示作为根据本发明的实施形态的显示装置的代表例表示的液晶显示装置的整体结构的框图；

图2是表示包含EL元件的像素构成例的电路图；

图3是表示根据本发明的实施形态的解码电路的构成例的电路图；

图4是表示详细说明图3所示的解码电路的结构平面图；

图5是图4的V-V截面图；

图6是说明图1所示的像素部分的结构图；

图7是说明图3~图5所示的解码电路的制造工艺的流程图；

图8是表示根据本发明的实施形态的解码电路的其他构成例的电路图。

具体实施方式

下面，参照附图详细说明本发明的实施形态。图中的同一符号表示相同或相当部分。

图1是表示作为根据本发明的实施形态的显示装置的代表例所示的液晶显示装置10的整体结构的框图。

参照图1,本实施形态的液晶显示装置10包括液晶阵列部20、栅极驱动器30和源极驱动器40。

液晶阵列部20包括按行列状配置的多个像素25。分别对应于像素的行(下面,还称为“像素行”),配置栅极线GL,分别对应于像素的列(下面,还称为“像素列”),设置数据线DL。图1中,代表性地以表示第一行的第一列和第二列的像素及与此对应的栅极线GL1和数据线DL1、DL2为代表来表示。

各像素25具有在对应的数据线DL和像素节点Np之间设置的像素开关元件26、并联连接在像素节点Np和公共电极节点Nc之间的保持电容27和液晶显示元件28。根据像素节点Np和公共电极节点Nc之间的电压差,液晶显示元件28中的液晶的定向性变化,响应于此,液晶显示元件28的显示亮度变化。由此,根据经数据线DL和像素开关元件26传送到像素节点Np的显示电压,可以控制各像素的亮度。像素开关元件26例如由n型场效应晶体管构成。

即,通过将对应于最大亮度的电压差与对应于最小亮度的电压差间的中间电压差施加到像素节点Np和公共电极节点Nc之间,而可得到中间亮度。即,通过分等级地设定显示电压,而可得到有灰度等级的亮度。

栅极驱动器30根据预定的扫描周期,依次激活栅极线GL。像素开关元件26的栅极与对应的栅极线GL连接。因此,在对应的栅极线GL的激活状态(H电平)期间中,像素节点Np与对应的数据线DL连接。通常,像素开关元件26由与液晶显示元件28相同的绝缘体基板(玻璃基板·树脂基板等)上形成的TFT(Thin-Film Transistor)元件构成。通过保持电容27保持向像素节点Np传送的显示电压。

或者,包含图2所示的EL元件的像素可适用于图1中的像素25。

参照图2,像素25#包括像素开关元件26、保持电容27#、EL显示元件28#和电流驱动晶体管29。像素开关元件26与像素25中的

开关元件相同，在对应的数据线 DL（图 2 的例子中为数据线 DL1、下面相同）和像素节点 Np 之间设置，其栅极与对应的栅极线 GL（图 2 的例子中为数据线 GL1，下面相同）连接。保持电容 27# 连接在像素节点 Np 和电压 Vdd 之间。EL 显示元件 28# 和电流驱动晶体管 29 串联连接在电压 Vdd 和电压 Vss 之间。电流驱动晶体管 29 例如由 p 型场效应型晶体管构成。通常，像素开关元件 26 和电流驱动晶体管 29 在与 EL 显示元件 28# 相同的绝缘体基板上形成。

像素开关元件 26 在对应的栅极线 GL 的激活状态（H 电平）期间中，将像素节点 Np 与数据线 DL 连接。由此，将数据线 DL 上的显示电压传送到像素节点 Np。像素节点 Np 的电压由保持电容 27# 保持。

电流驱动晶体管 29 具有与像素节点 Np 连接的栅极，将对应于像素节点 Np 的电压的电流 Ie1 供给 EL 显示元件 28#。EL 显示元件 28# 的显示亮度根据所供给的通过电流 Ie1 变化。因此，像素 25# 中也通过分等级设定向像素施加的显示电压，而分灰度等级地设定 EL 显示元件的亮度。

从下面的说明可以明白，本申请关于可根据施加给各个像素的显示电压来显示中间亮度的显示装置的周边电路，特别是解码电路的结构。因此，下面说明的本发明的实施形态中作为显示装置的代表例所示的液晶显示装置中，若由包含 EL 元件的像素 25# 来替换包含液晶显示元件的像素 25，则可使用相同结构的周边电路，构成进行由 EL 元件进行的显示的本发明的显示装置。

重新参照图 1，源极驱动器 40 向数据线 DL 输出由作为 N 比特的数字信号的显示信号 SIG 分等级设定的显示电压。下面，本实施例中，代表性地说明了 N=6 时，即显示信号 SIG 由显示信号位 D0~D5 构成时的结构，但是本发明的适用中，并不特别限定显示信号 SIG 的比特数，也可以为任意的比特数。

根据 6 比特的显示信号 SIG，各像素中，可显示 $2^6 = 64$ 等级的灰度等级。进一步，若由 R（Red）、G（Green）和 B（Blue）的每一个像素形成了一个彩色显示单位，则可显示约 26 万色的彩色。

源极驱动器 40 包括移位寄存器 50、数据锁存电路 52、54、灰度等级电压生成电路 60、解码电路 70 和模拟放大器 80。

显示信号 SIG 对应于每个像素 25 的显示亮度而被串行生成。即，各定时的显示信号位 D0 ~ D5 表示液晶阵列部 20 中的一个像素 25 的显示亮度。

移位寄存器 50 在与切换显示信号 SIG 的设定的预定周期同步的定时中，对数据锁存电路 52 指示取得显示信号位 D0 ~ D5。数据锁存电路 52 依次取得并保持串行生成的一个像素行的显示信号 SIG。

在将一个像素行的显示信号 SIG 取到数据锁存电路 52 中的定时中，响应于锁存信号 LT 的激活，将数据锁存电路 52 中锁存的显示信号群传送到数据锁存电路 54。

灰度等级电压生成电路 60 由串联连接在高电压 VH 和低电压 VL 间的 63 个分压电阻构成，分别对电压节点 N1 ~ N64 生成 64 等级的灰度等级电压 V1 ~ V64。另外，对于灰度等级电压生成电路 60，没有必要一体地设置在源极驱动器 40 内，还可以是从源极驱动器 40 的外部向电压节点 N1~N4 供给灰度等级电压 V1 ~ V64 的结构。

解码电路 70 解码在数据锁存电路 54 中锁存的显示信号，并根据该解码选择灰度等级电压 V1 ~ V64。解码电路 70 将所选的等级电压（V1 ~ V64 中的一个）作为显示电压在解码输出节点 Nd 上生成。本实施形态中，解码电路 70 根据在数据锁存电路 54 中锁存的显示信号，并行输出一行的显示电压。另外，图 1 中，代表性地表示对应于第一列和第二列的数据线 DL1、DL2 的解码输出节点 Nd1、Nd2。

模拟放大器 80 将分别对应于输出到解码输出节点 Nd1、Nd2 ... 的显示电压的模拟电压分别输出到数据线 DL1、DL2...中。

图 1 例示了栅极驱动器 30 与源极驱动器 40 与液晶阵列部 20 一体形成的液晶显示装置 10 的结构，但是对于栅极驱动器 30 和源极驱动器 40，也可设置为液晶阵列部 20 的外部电路。

接着，详细说明解码电路的结构。

图 3 是表示图 1 所示的解码电路的构成例的电路图。图 3 代表性

地表示对应于解码输出节点 Nd1 的结构。虽然没有图示，但是在与各数据线 DL 对应的各输出节点 Nd 中，设置了与图 3 相同的结构。

参照图 3，解码电路 70 包括解码路径 DP (1) ~ DP (64)。为从节点 N1 ~ N64 分别向输出节点 Nd1 传送灰度等级电压 V1 ~ V64，而设置解码路径 DP (1) ~ DP (64)。图 3 代表性地表示对应于灰度等级电压 V1、V2、V63、V64 的解码路径 DP (1)、DP (2)、DP (63)、DP (64)。虽然没有图示，但是对于灰度等级电压 V3 ~ V62，也分别配置相同结构的解码路径。

在配置了解码电路 70 的区域中沿同一方向 (Y 方向) 设置了分别传送显示信号位 D0 ~ D5 的信号线 SL (0) ~ SL (5) 和分别传送显示信号位 D0 ~ D5 的反信号、即反转位 /D0 ~ /D5 的信号线 ZSL (0) ~ ZSL (5)。

若进行总括说明，则在第 i (i:0~64 的整数) 的解码路径 DP (i) 中，在节点 Ni 和输出节点 Nd1 之间沿 X 方向排列分别对应于显示信号位 D0 ~ D5 的解码晶体管 T0 (i) ~ T5 (i)，且串联连接。解码晶体管 T0 (i) 的栅极与信号线 SL (0) 与 ZSL (0) 的一个相连，解码晶体管 T1 (i) 的栅极与信号线 SL (1) 和 ZSL (1) 的一个相连，解码晶体管 T2 (i) 的栅极与信号线 SL (2) 和 ZSL (2) 的一个连接。同样，解码晶体管 T3 (i) 的栅极与信号线 SL (3) 和 ZSL (3) 的一个连接，解码晶体管 T4 (i) 的栅极与信号线 SL (4) 和 ZSL (4) 的一个连接，解码晶体管 T5 (i) 的栅极与信号线 SL (5) 和 ZSL (5) 的一个连接。本申请的适用中，解码晶体管由场效应管构成。本实施形态中，解码晶体管代表性地由 n 型薄膜晶体管 (TFT) 构成。

这里，解码晶体管 T0 (i) ~ T5 (i) 与信号线 SL (总括表示 SL (0) ~ SL (5)) 和信号线 ZSL (总括表示 ZSL (0) ~ ZSL (5)) 的连接决定为对应于以显示信号位 D0 为最低位的显示信号位 D0 ~ D5 的增加，电压节点 N1 ~ N64 依次与输出节点 Nd1 电连接。

例如，解码路径 DP (64) 沿与信号线 SL 和 ZSL 相交的方向 (X 方向) 配置，包括在电压节点 N64 和解码输出节点 Nd1 之间串联连接的解码晶体管 T0 (64) ~ T5 (64)。解码晶体管 T0 (64) ~ T5 (64) 的栅极分别与信号线 SL (0) ~ SL (5) 相连。因此，在显示信号位

(D1, D2, D3, D4, D5) = (1, 1, 1, 1, 1) 时, 解码路径 DP(64) 中的解码晶体管 T0(64) ~ T5(64) 全部导通, 电压节点 N64 与解码输出节点 Nd1 电连接。由此, 从所有解码路径中有选择地形成解码路径 DP(64), 而向输出节点 Nd1 有选择地输出灰度等级电压 V64。

同样, 解码路径 DP(63) 沿 X 方向配置, 包括在电压节点 N63 和解码输出节点 Nd1 之间串联连接的解码晶体管 T0(63) ~ T5(63)。解码晶体管 T0(63) 的栅极与信号线 ZSL(0) 连接, 解码晶体管 T1(63) ~ T5(63) 的栅极分别与信号线 SL(1) ~ SL(5) 连接。因此, 在显示信号位 (D1, D2, D3, D4, D5) = (0, 1, 1, 1, 1) 时, 解码路径 DP(63) 中的解码晶体管 T0(63) ~ T5(63) 全部导通, 电压节点 N63 与解码输出节点 Nd1 电连接。由此, 从所有解码路径中有选择地形成解码路径 DP(63), 而向输出节点 Nd1 有选择地输出灰度等级电压 V63。

另外, 解码路径 DP(2) 沿 X 方向配置, 包括在电压节点 N2 和解码输出节点 Nd1 之间串联连接的解码晶体管 T0(2) ~ T5(2)。解码晶体管 T0(2) 的栅极与信号线 SL(0) 连接, 解码晶体管 T1(2) ~ T5(2) 的栅极分别与信号线 ZSL(1) ~ ZSL(5) 连接。因此, 在显示信号位 (D1, D2, D3, D4, D5) = (1, 0, 0, 0, 0) 时, 解码路径 DP(2) 中的解码晶体管 T0(2) ~ T5(2) 全部导通, 电压节点 N2 与解码输出节点 Nd1 电连接。由此, 从所有解码路径中有选择地形成解码路径 DP(2), 而向输出节点 Nd1 有选择地输出灰度等级电压 V62。

同样, 解码路径 DP(1) 沿与 X 方向配置, 包括在电压节点 N1 和解码输出节点 Nd1 之间串联连接的解码晶体管 T0(1) ~ T5(1)。解码晶体管 T0(1) ~ T5(1) 的栅极分别与信号线 ZSL(0) ~ ZSL(5) 连接, 因此, 在显示信号位 (D1, D2, D3, D4, D5) = (0, 0, 0, 0, 0) 时, 解码路径 DP(2) 中的解码晶体管 T0(1) ~ T5(1) 全部导通, 电压节点 N1 与解码输出节点 Nd1 电连接。由此, 从所有解码路径中有选择地形成解码路径 DP(1), 而向输出节点 Nd1 有选择地输出灰度等级电压 V1。

这样,解码电路 70 中,对每条解码路径 DP (总括表示解码路径 DP (1) ~ DP (64)) 独立配置解码晶体管,各解码晶体管不在解码路径 DP 间共用。因此,解码晶体管的配置个数为显示信号的比特数和灰度等级电压数的积。

通过这种结构,根据显示信号位 D0~D5 选择一条解码路径,在所选择的解码路径中,导通所有的解码晶体管。另一方面,在其他解码路径中,至少一个解码晶体管截止。因此,对应于以显示信号位 D0 为最低位的显示信号位 D0 ~ D5 的 64 种组合,解码电路 70 有选择地向输出节点 Nd1 传送灰度等级电压的 V1 到 V64 的其中之一来作为显示电压。

如上所述,解码电路 70 内的解码晶体管的各个栅极与信号线 SL (总括表示 SL (0) ~ SL (5), 下面相同) 和信号线 ZSL (总括表示 ZSL (0) ~ ZSL (5), 下面相同) 的一个。因此,在该一个信号线和各解码路径 DP 之间形成了栅极电容。结果,若传送该一个信号线的显示信号位从 H 电平变为 L 电平或从 L 电平变为 H 电平,该电压变化通过经上述栅极电容的电容耦合,作为噪声重叠在所传送的灰度等级电压上。

本发明中,各解码晶体管中,作为不与栅极连接的另一个信号线配置为在与该解码晶体管的源极或漏极电连接的节点间形成了寄生电容 C。由于该另一个信号线上产生了与上述一个信号线反相的电压变化,所以该电压变化通过经上述寄生电容 C 的电容耦合,进一步作为噪声重叠在传送灰度等级电压的解码路径 DP 上。

这样,各解码晶体管中,从一个或另一个信号线分别重叠彼此抵消反相的噪声。因此,在所选择的解码路径中,可以抑制因显示信号位 D0 ~ D5 的变化在灰度等级电压 (显示电压) 上产生的噪声。结果,通过提高灰度等级电压的设定精度,可更准确地进行灰度等级显示,提高显示质量。

接着,详细说明上述的可抑制噪声的本实施形态的解码电路的结构。

图 4 是详细说明本实施形态的解码电路的结构的平面图。图 4 中代表性地详细表示了图 3 所示的解码电路中, 对应于灰度等级电压 V63、V64 和显示信号位 D0、D1 的部分的结构。

参照图 4, 对应于解码路径 DP (64), 沿 X 方向设置传送灰度等级电压 V64 用的对应于电压节点 N64 的布线 120。布线 120 代表性地由金属材料形成, 在对应于图中未示的其他数据线的结构之间共用。

进一步, 作为形成解码晶体管用的半导体布线, 设置了沿 X 方向以连续形状形成的多晶硅布线 125。多晶硅布线 125 在与布线 120 不同的层上形成, 构成灰度等级电压的传送路径 (即, 解码路径 DP 的一部分)。对应于各数据线 DL 的多晶硅布线 125 需要彼此电隔离。图中所示的多晶硅布线 125 在图中未示的节点上与数据线 DL1 电连接, 且经连接器 122, 与布线 120 电连接。

进一步, 沿 Y 方向, 排列了信号线 SL (0)、ZSL (0)、SL (1)、ZSL (1) ...。这些信号线作为解码晶体管的栅极布线, 代表性地由铬形成。

为实现图 3 所示的解码电路的结构, 对于各个信号线 SL (0)、ZSL (0)、SL (1)、ZSL (1) ...和多晶硅布线 125 的各个相交部, 需要选择生成形成解码晶体管的相交部 150 和没有形成解码晶体管的相交部 155。

具体的, 解码路径 DP (64) 中, 需要设置相交部 150, 使得在信号线 SL (0) 和 SL (1) 与多晶硅布线 125 的交点上形成解码晶体管, 设置相交部 155, 使得在信号线 ZSL (0) 和 ZSL (1) 与多晶硅布线 125 的交点上不形成解码晶体管。

图 5 是详细说明相交部 150、155 的结构用的图 4 的 V-V 截面图。

参照图 5, 在玻璃和树脂等的绝缘性基板 190 上形成多晶硅布线 125。使用夹着多晶硅布线 125 和栅极绝缘膜 130 的金属布线层 135, 形成相当于信号线 SL (0)、ZSL (0)、SL (1)、ZSL (1) ...的栅极布线 165。

相交部 155 中, 夹着栅极绝缘膜 130 的栅极布线 165 的正下区域,

即从水平方向看与栅极布线 165 相交的区域中的多晶硅布线 125 上形成 n 型区域 180。n 型区域 180 注入高浓度的 n 型杂质（例如，磷离子），使得通常对应的栅极布线 165 的电压独立为电导通状态。因此，相交部 155 不形成场效应晶体管，而通常作用为导体，与对应的栅极布线 165 的电压无关。

另一方面，相交部 150 中，夹着栅极绝缘膜 130 的栅极布线 165 的正下区域，即在水平方向看与栅极布线 165 相交的区域中残留着没有注入 n 型杂质的漏极区域 170。在分别作用为源极和漏极的 n 型区域 180 间设置了 LDD（Light-Doped-Drain）区域 185，使其夹着漏极区域 170。结果，相交部 150 的漏极区域 170 中，根据对应的栅极布线 165 的电压，形成或不形成沟道。即，相交部 150 中形成了相当于解码晶体管的场效应型晶体管（更特定的，为 TFT）。另外，由于通过设置 LDD 区域 185 缓和了漏极电场，所以 n 型 TFT 的耐压提高。

这样，各个相交部 150 和 155 在经栅极绝缘膜 130 层积的栅极布线 165 和多晶硅布线 125 之间形成了同一构造的电容。因此，可使寄生电容 C 的电容值实质上与栅极电容的电容值相同。结果，如图 3 所说明的，通过彼此作用反相噪声，而可抑制由解码晶体管传送的灰度等级电压上的噪声。

另外，即使在同一层上连续形成栅极布线 165，也可通过向作为半导体层的多晶硅布线 125 的杂质注入，选择生成形成场效应型晶体管的相交部 150 和不形成的相交部 155。因此，对于高度方向和水平方向，可以使解码电路 70 的结构小型化。

再次参照图 4，在图中未示的剩余信号线 SL(2)~SL(5)和多晶硅布线 125 的各交点上设置相交部 150。另一方面，在信号线 ZSL(2)~ZSL(5)和多晶硅布线 125 的各交点上设置相交部 155。

进一步，对应于解码路径 DP(63)，分别与金属布线 120 和多晶硅布线 125 相同，设置了沿 X 方向的布线 140 和多晶硅布线 145。进一步，为了电连接布线 140 和多晶硅布线 145，设置了与连接器 122

相同的连接器 142。解码器路径 DP (63) 中, 需要设置相交部 150, 使得在信号线 ZSL (0) 和 SL (1) 与多晶硅布线 125 的交点上形成解码晶体管, 设置相交部 155, 使得在信号线 SL (0) 和 ZSL (1) 与多晶硅布线 125 的交点上形成解码晶体管。如图 5 所示, 其可根据向多晶硅布线 125 注入的杂质图案的选择生成来对应。

虽然没有图示, 但是对于其他解码路径, 也连续形成相当于布线 120、140 与多晶硅布线 125、145 的布线, 通过选择生成相交部 150 和 155, 可同样实现图 3 所示的结构。

如下面所说明的, 本实施形态的解码电路并不设置专用的制造工艺, 而可在与图 1 所示像素 25 相同的绝缘体基板 (玻璃基板、树脂基板) 上, 在同一制作工艺中进并行制造。结果, 可以实现显示装置的小型化和制造成本的降低。

图 6 是说明图 1 所示的像素 25 的结构图。

参照图 6, 设置为像素 25 中的像素开关元件 26 的 n 型 TFT (下面, 称为 n 型 TFT26) 使用在绝缘性基板 190 上形成的聚酰亚胺等的半导体膜 195 来制作。也可在绝缘体基板 190 和半导体膜 195 之间进一步设置绝缘膜 191。

n 型 TFT26 具有向半导体膜 195 注入了 n 型杂质的源极/漏极区域 251、252、与半导体膜 195 之间经 SiO_2 等的栅极绝缘膜 253 的布线层上设置的栅极 254、确保分别与源极/漏极区域 251、252 的电接触的电极 255、256。在源极/漏极区域 251、252 之间设置 LDD 区域 260, 而实现了因漏极电场的缓和得到的 n 型 TFT 的耐压升高。在栅极 254 上向预定方向延伸地设置了相当于图 1 所示的栅极线 GL 的栅极布线。

另外, 可使用与 n 型 TFT26 相同的层, 来制作 p 型 TFT。P 型 TFT 使用半导体膜 195 形成, 具有注入了 p 型杂质的源极/漏极区域 201、202、栅极 104、确保分别与源极/漏极区域 201、202 电接触的电极 205、206。在半导体膜 195 和栅极 204 之间, 在与栅极绝缘膜 253 相同的层上设置了由相同材料形成的栅极绝缘膜 203。各 TFT 间通过由绝缘体形成的元件隔离膜 210、220 来电隔离。

对应于 TFT 的源极和漏极的电极 205、206 与 255、256 通常由铝等形成，在栅极 204、254 上设置的栅极布线由铬等形成。

像素 25 中的保持电容 27 具有向半导体膜 195 内注入了 n 型杂质的 n 型区域 262 和与栅极布线（栅极 204、254）在相同层上形成的金属电极 265 来作为一个电极和另一个电极。由于在该一个电极和另一个电极之间形成了与栅极绝缘膜 253 在相同层上设置的绝缘膜 264，所以该部分形成了电容。在图中未示的截面中，相当于一个电极的 n 型区域 262 与电极 256 电连接。电极 256 相当于图 1 所示的像素节点 Np。

图 5 所示的解码电路 70 的多晶硅布线 125 可以通过与图 6 所示的像素部分的半导体膜 195 相同的工艺来由相同材料形成，在相交部 150 上形成的解码晶体管可与 n 型 TFT26 同样制作。另外，对于图 5 所示的栅极绝缘膜 130 和栅极布线 165，也可通过与图 6 所示的栅极绝缘膜 253 和相当于栅极 254 的栅极布线相同的工艺来由相同材料形成。进一步，通过栅极布线 165 和 n 型区域 180 构成一个和另一个电极的相交部 155 的构造与保持电容 27 的构造相同。因此，对于形成 n 型区域 180 用的杂质注入，可通过与保持电容 27 的 n 型区域 262 相同的工艺来执行。

图 7 是说明本发明实施形态的解码电路的制造工艺的流程图。

如下面所说明的，图 5 所示结构的解码电路的要素与图 6 所示的像素的制造工艺并行制作。图 6 所示的像素结构可由通常的工艺制造，所以对于解码电路的制造工艺，虽然表示了各要素由哪一工艺来制作，但是省略记载各工艺的细节。

参照图 7，在绝缘体基板上形成半导体薄膜的工艺（工艺 P100）中，并行形成解码电路部分的多晶硅布线 125 和像素部分的半导体膜 195。

接着，进行第一杂质注入工艺（工艺 P110）。在该工艺 P110 之前，在解码电路部分中对应于多晶硅布线 125 上的相交部 150 的区域、像素部分中形成 TFT 的区域上形成掩膜。因此，在工艺 P110 中，在

除去这些的区域中，进行较高浓度的杂质注入（磷离子等的掺杂）。由此，形成了图 5 中的 n 型区域 180（对应于相交部 155）和图 6 中的 n 型区域 262（对应于保持电容 27）。

接着，除去上述抗蚀剂后，进行栅极布线形成工艺（工艺 P120）。工艺 P120 中，首先，并行形成图 5 所示的栅极绝缘膜 130 和图 6 所示的栅极绝缘膜 203、253。进一步，并行进行将栅极布线（图 5）形成到栅极绝缘膜 130 上和相当于图 1 所示的栅极线 GL 的栅极布线（图 6 所示的栅极 204、254）的形成。栅极布线代表性地由铬布线形成。

工艺 P120 终止后，在以比所形成的栅极线宽的线宽形成抗蚀剂后，将该抗蚀剂作为掩膜来进行第二杂质注入工艺（工艺 P130）。由此，并行形成相当于图 5 所示的相交部 150 上形成的 TFT（解码晶体管）的源极·漏极区域的 n 型区域 180 和图 6 所示的 n 型 TFT26 的源极·漏极区域 251、252。

在工艺 P130 的终止时刻，相当于解码晶体管和像素开关元件的各 TFT n 型化除 LDD 区域 185、260 的区域。

接着，除去了抗蚀剂后，通过以栅极布线为掩膜的自调准进行第三杂质注入工艺（工艺 P140）。由工艺 P140 掺杂的离子浓度比第一和第二杂质注入工艺（工艺 P110、P130）还低，由此，在解码电路部分的各 TFT 和像素部分的各 TFT 中并行分别形成 LDD 区域 185 和 260。

通过上面说明的工艺 P100~P140，而可与图 6 所示的像素构造的制造工艺并行制造图 5 所示的解码电路部分。进一步，之后，依次形成上层的绝缘层和布线层，来制造显示装置的其他电路部分。

另外，本实施形态中，各 TFT 中，虽然示例了在半导体膜（或多晶硅布线）的上层侧设置栅极布线的构造，但是也可交换其上下，在栅极布线的上层侧设置半导体膜（或多晶硅布线）。这时，若像素部分的各 TFT 和解码电路部分的各 TFT 之间其上下关系一致，则也可以在同一工艺内并行制作两者。

另外，图 3 虽然说明了在各解码路径中独立配置解码晶体管的结

构,但是为了减少解码晶体管的配置个数,也可以是在多个解码路径间共用解码晶体管的一部分的结构。

图 8 是表示本发明的实施形态的解码电路的其他构成例的电路图。

参照图 8,代替图 3 的灰度等级电压发生电路 60 的灰度等级电压发生电路 60 # 生成 16 等级的灰度等级电压 $V1 \sim V16$ 。其他构成例的解码电路 70 # 解码由显示信号 $D0 \sim D3$ 构成的 4 比特的显示信号,并根据该解码,将来自灰度等级电压发生电路 60 # 的灰度等级电压 $V1 \sim V16$ 的一个有选择地输出到输出节点 Nd。

解码电路 70 # 包括解码路径 $DP(1) \sim DP(16)$ 。为了分别从节点 $N1 \sim N16$ 向输出节点 Nd1 传送灰度等级电压 $V1 \sim V16$ 而设置解码路径 $DP(1) \sim DP(16)$ 。

解码电路 70 # 中,除了最低位的显示信号位 $D0$ 之外,对应于其他显示信号位 $D1 \sim D3$ 的解码晶体管在多个解码路径间共用。

具体的,在每个解码路径 $DP(1) \sim DP(16)$ 上设置对应于显示信号位 $D0$ 的解码晶体管 $T0(1) \sim T0(16)$,另一方面,通过解码路径 $DP(1) \sim DP(8)$ 共用对应于显示信号位 $D3$ 的解码晶体管 $T3(1)$,通过解码路径 $DP(9) \sim DP(16)$ 共用解码晶体管 $T3(2)$ 。

同样,对应于显示信号位 $D2$ 的解码晶体管 $T2(1) \sim T2(4)$ 通过相邻的平均 4 个解码路径 DP 共用。即,解码晶体管 $T2(1)$ 和 $T2(2)$ 分别通过解码路径 $DP(1) \sim DP(4)$ 和解码路径 $DP(5) \sim DP(8)$ 共用,解码晶体管 $T2(3)$ 和 $T2(4)$ 分别通过解码路径 $DP(9) \sim DP(12)$ 和解码路径 $DP(13) \sim DP(16)$ 共用。另外,对应于显示信号位 $D1$ 的解码晶体管 $T1(1) \sim T(8)$ 分别通过相邻的平均 2 个解码路径 DP 共用。

与图 3 相同,分别传送显示信号位 $D0 \sim D3$ 的信号线 $SL(0) \sim SL(3)$ 与分别传送显示信号位 $D0 \sim D3$ 的反信号、即反转位/ $D0 \sim D3$ 的信号线 $ZSL(0) \sim ZSL(3)$ 沿 Y 方向设置。进一步,解码晶体管的栅极与对应的信号线 SL 和 ZSL 的一个交互连接。

例如, 解码路径 DP (16) 包括具有分别与信号线 SL (0) ~ SL (3) 相连的栅极的解码晶体管 T0 (16)、T1 (8)、T2 (4) 和 T3 (2)。因此, 在显示信号位 (D0, D1, D2, D3) = (1, 1, 1, 1) 时, 从所有解码路径中选择解码路径 DP (16), 将灰度等级电压 V16 有选择地向输出节点 Nd1 输出。

同样, 解码路径 DP (15) 包括具有分别与信号线 ZSL (0)、SL (1) ~ SL (3) 连接的栅极的解码晶体管 T0 (15)、T1 (8)、T2 (4) 和 T3 (2)。因此, 当显示信号位 (D0, D1, D2, D3) = (0, 1, 1, 1) 时, 从所有解码路径中选择解码路径 DP (15), 而将灰度等级电压 V15 有选择地向输出节点 Nd1 输出。

另外, 解码路径 DP (2) 包括具有分别与信号线 SL (0), ZSL (1) ~ ZSL (3) 相连的栅极的解码晶体管 T0 (2)、T1 (1)、T2 (1) 和 T3 (1)。因此, 在显示信号位 (D0, D1, D2, D3) = (1, 0, 0, 0) 时, 从所有解码路径中选择解码路径 DP (2), 而将灰度等级电压 V2 有选择地向输出节点 Nd1 输出。

同样, 解码路径 DP (1) 包括具有分别与信号线 ZSL (0) ~ ZSL (3) 连接的栅极的解码晶体管 T0 (1)、T1 (1)、T2 (1) 和 T3 (1)。因此, 当显示信号位 (D0, D1, D2, D3) = (0, 0, 0, 0) 时, 从所有解码路径中选择解码路径 DP (1), 而将灰度等级电压 V1 有选择地向输出节点 Nd1 输出。

对于其他解码路径也相同, 构成为对应于以显示信号位 D0 为最低位的显示信号位 D0 ~ D3 的增加, 电压节点 N1~N16 依次与输出节点 Nd1 电连接。

通过这种结构, 根据多比特的显示信号选择一条解码路径, 在所选的路径中, 导通所有的解码晶体管。另一方面, 在其他解码路径中, 至少截止一个解码晶体管。

因此, 图 8 所示的解码电路 70 # 与图 3 所示的解码电路相比, 不但减少了解码晶体管的配置数目, 还可对应于以显示信号位 D0 为最低位的显示信号位, 有选择地将灰度等级电压作为显示电压, 传送到

输出节点 Nd1。

另外，与图 3 的解码电路 70 相同，通过在不与解码晶体管的栅极相连的信号线与各解码路径间形成寄生电容 C，而可抑制在所选的解码路径中，根据显示比特 D0 ~ D5 的变化在灰度等级电压（显示电压）上生成的噪声。结果，通过提高灰度等级电压的设定精度，准确地进行灰度等级显示，提高显示质量。

图 8 中示例了解码 4 比特的显示信息的解码电路 70 # 的构成，但是也可构成对应于任意比特数的显示信息，在多个解码电路间共用对应于最低位之外的显示信号位的解码晶体管的解码电路。

另外，本实施形态中，示例了由 n 型 TFT 构成各解码晶体管，但是还可由 p 型 TFT 构成各解码晶体管。这时，若图 7 所示的像素 25 中的保持电容 27 的一个电极将 n 型区域 262 置换为 p 型区域，则可以由与保持电容相同的工艺来制造各解码晶体管。

虽然详细说明表示了本发明，但是其仅用于示例，并不是限定，应该明确理解发明的精神和范围仅由权利要求的范围来限定。

图1

10

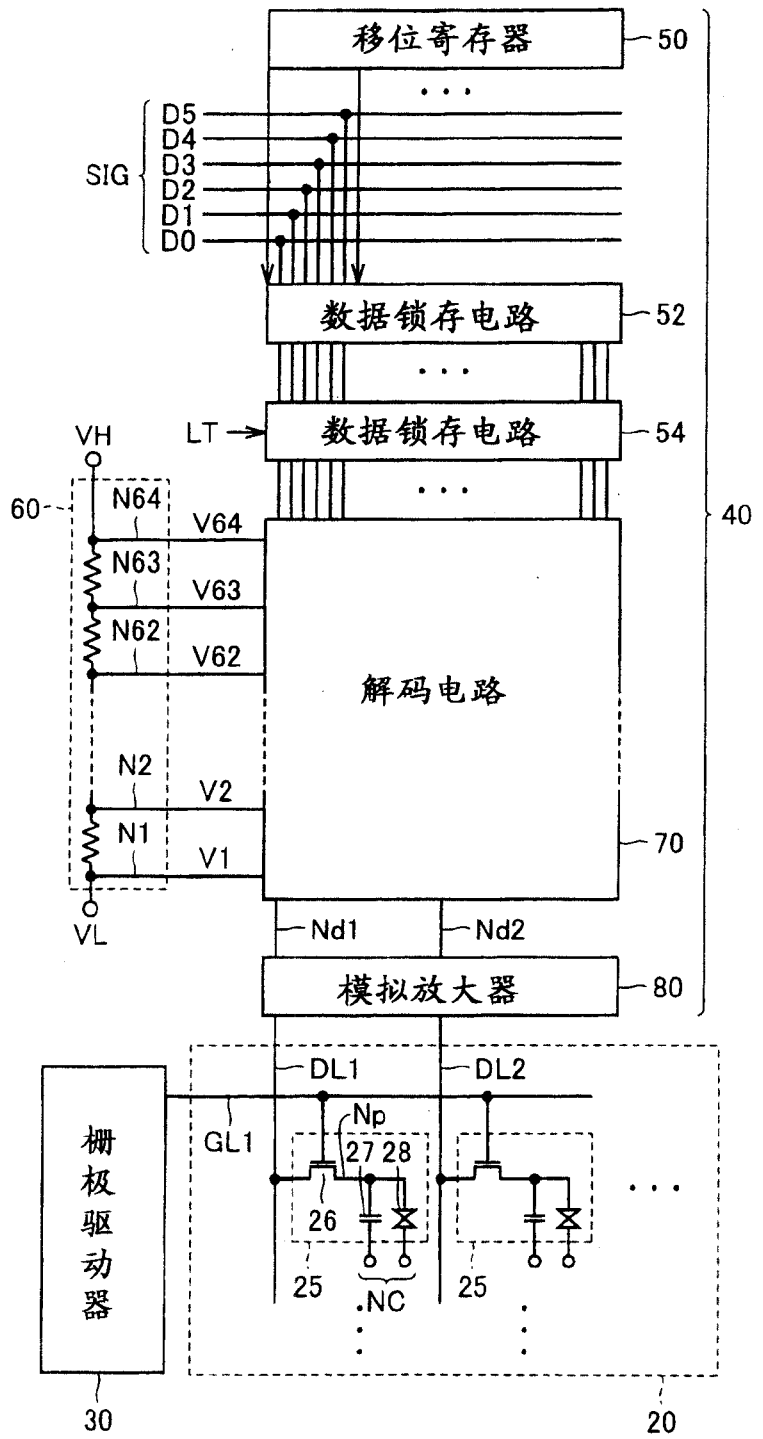


图 2

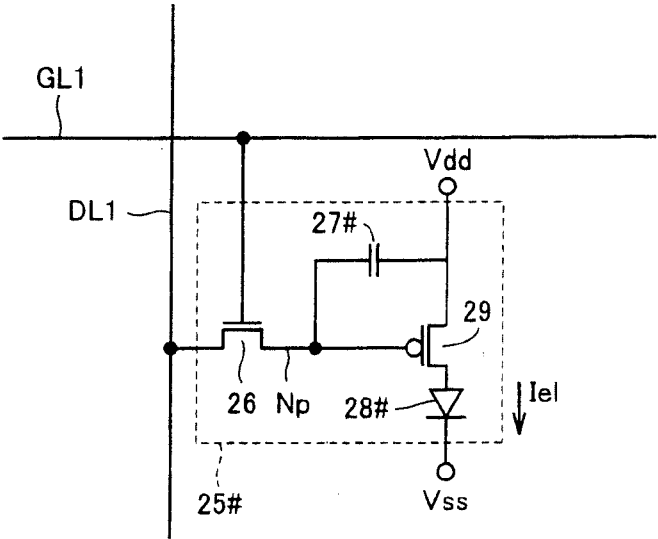


图3

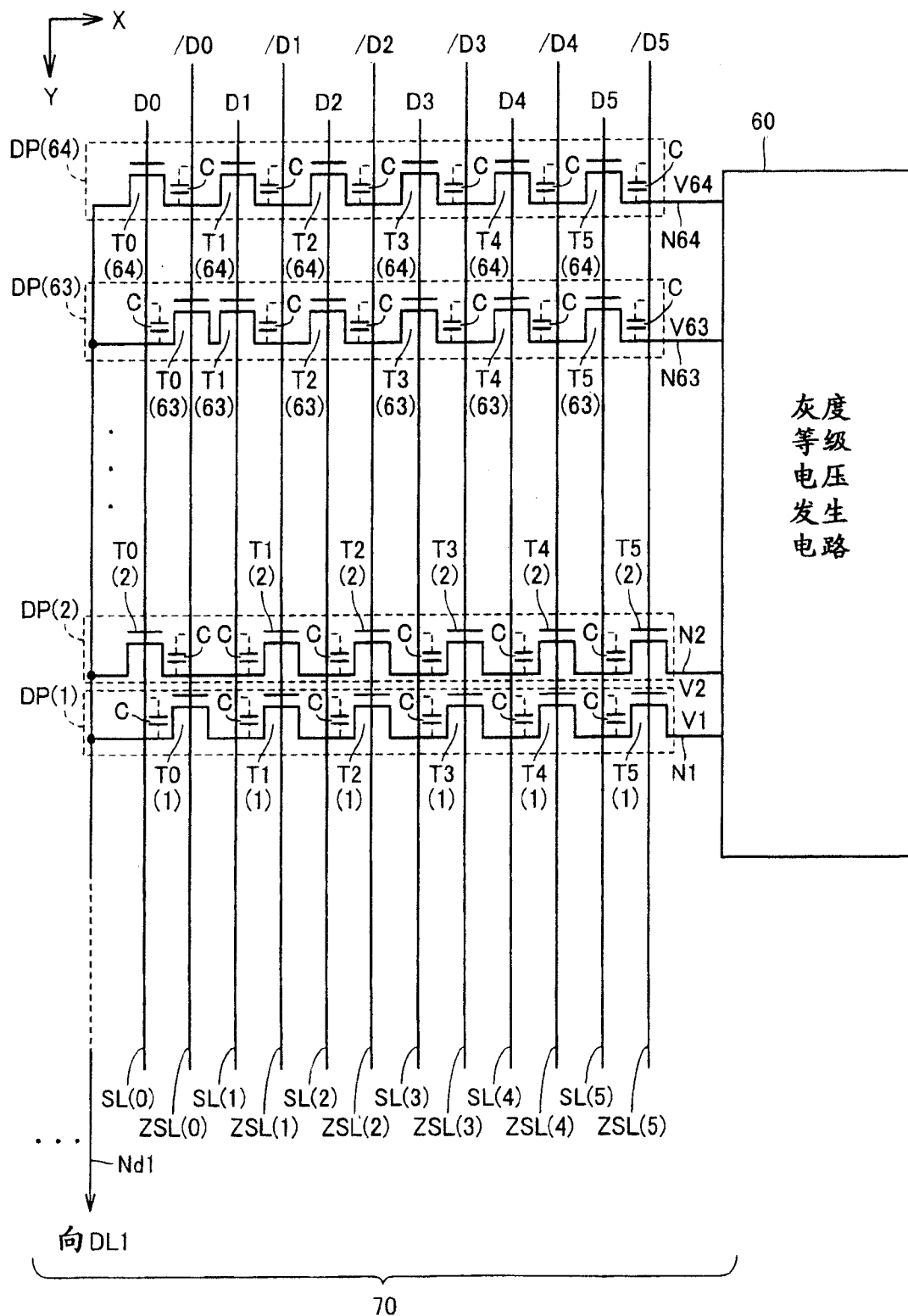


图4

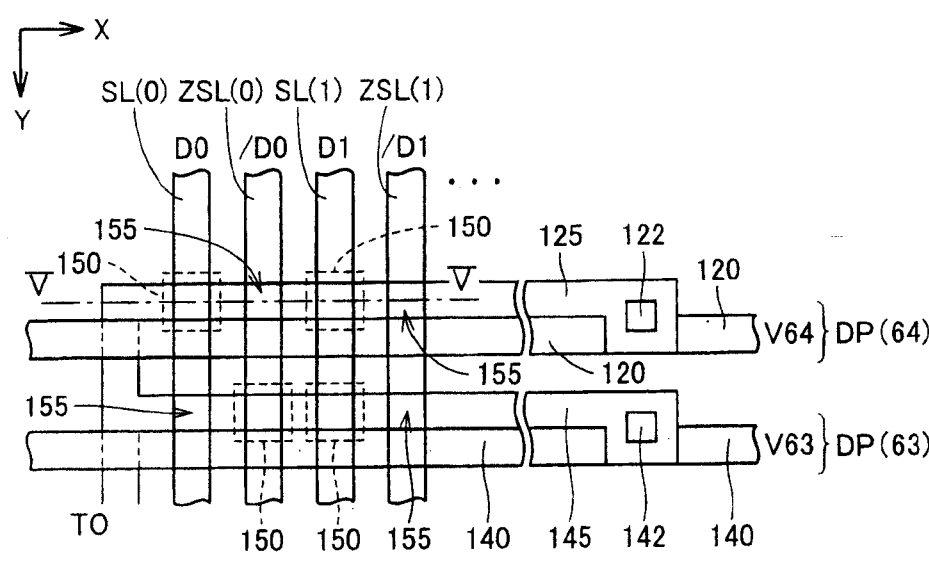


图5

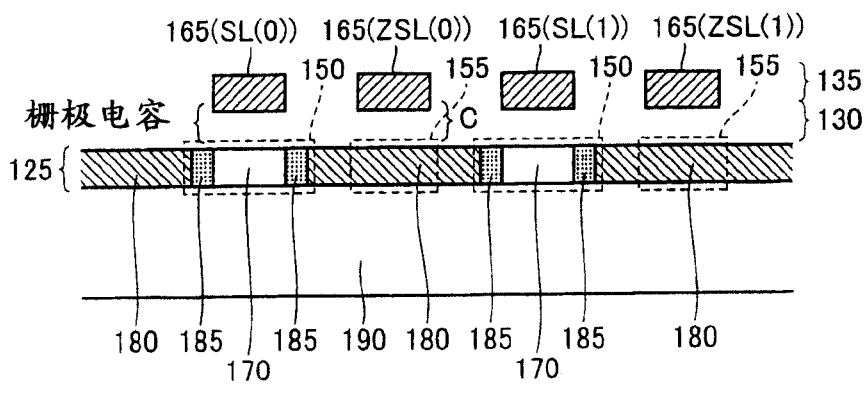


图6

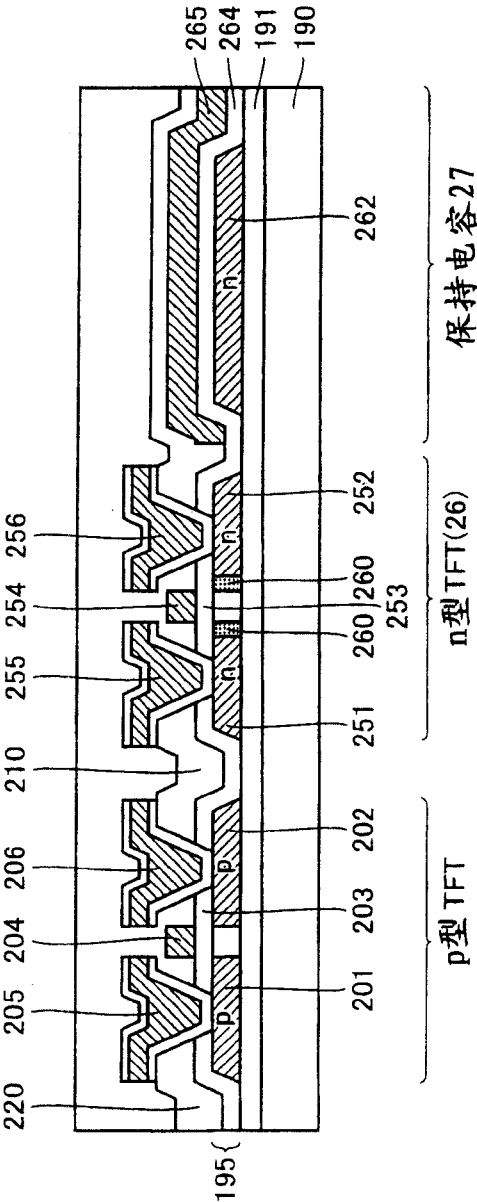


图7

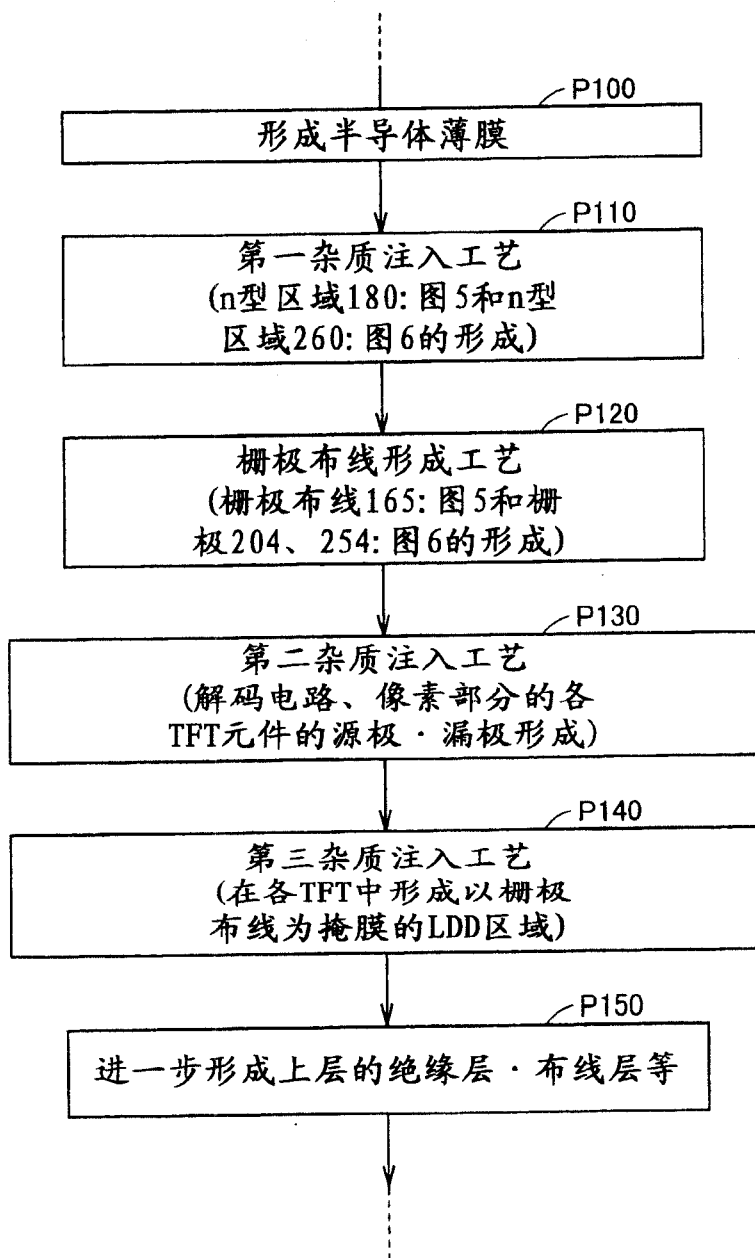


图8

