



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월06일  
(11) 등록번호 10-1774938  
(24) 등록일자 2017년08월30일

(51) 국제특허분류(Int. Cl.)  
H01L 23/12 (2006.01) H01L 23/48 (2006.01)  
(21) 출원번호 10-2011-0088094  
(22) 출원일자 2011년08월31일  
심사청구일자 2016년07월04일  
(65) 공개번호 10-2013-0024567  
(43) 공개일자 2013년03월08일  
(56) 선행기술조사문헌  
US20060126369 A1\*  
(뒷면에 계속)

(73) 특허권자  
삼성전자 주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
남태덕  
경기도 수원시 권선구 세화로168번길 15, 109동  
503호 (서둔동, 센트라우스)  
김진호  
충청남도 천안시 서북구 쌍용13길 16 201호 (쌍용동)  
(뒷면에 계속)  
(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 4 항

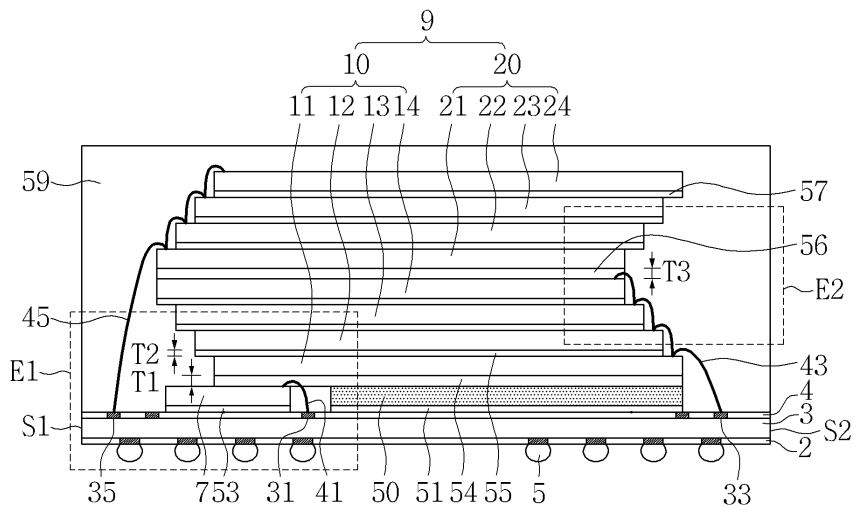
심사관 : 김진우

(54) 발명의 명칭 지지대를 갖는 반도체 패키지 및 그 형성 방법

(57) 요약

기판 상에 제1 반도체 칩이 탑재된다. 상기 기판 상에 탑재되고, 상기 제1 반도체 칩과 같은 레벨에 위치한 적어도 하나의 지지대가 제공된다. 상기 제1 반도체 칩과 상기 지지대의 사이에 위치하고, 상기 제1 반도체 칩 및 상기 기판을 연결하는 제1 도전성 접속이 형성된다. 상기 지지대 및 상기 제1 반도체 칩 상에 탑재되고, 다수의 제2 반도체 칩들, 제1 접착 막 및 제2 접착 막을 갖는 칩 스택(chip stack)이 제공된다. 상기 제1 접착 막은 상기 다수의 제2 반도체 칩들 중 최하층 제2 반도체 칩과 상기 지지대 사이와 상기 최하층 제2 반도체 칩과 상기 제1 반도체 칩 사이에 형성된다. 상기 제2 접착 막은 상기 다수의 제2 반도체 칩들 사이에 형성된다. 상기 제1 접착 막은 상기 제2 접착 막보다 두껍다. 상기 제1 도전성 접속은 상기 제1 접착 막의 내부를 통과한다.

대표도 - 도1



(72) 발명자

**김형석**

충청남도 천안시 동남구 일봉로 71, 동일하이빌1단  
지아파트 102동 701호 (용곡동)

**김혁수**

대전광역시 서구 송어리샘1길 37 (탄방동)

**이태영**

인천광역시 부평구 경원대로 1269 113동 209호 (산  
곡동, 현대1차아파트)

(56) 선행기술조사문헌

KR1020100061390 A\*

US20020079567 A1\*

KR1020100088514 A\*

US07859119 B1\*

KR1020110083969 A\*

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

기판 상에 탑재된 제1 반도체 칩;

상기 기판 상에 탑재되고, 상기 제1 반도체 칩과 같은 레벨에 위치한 (적어도 하나의) 지지대;

상기 제1 반도체 칩과 상기 지지대의 사이에 위치하고, 상기 제1 반도체 칩 및 상기 기판을 연결하는 제1 도전성 접속;

상기 지지대 및 상기 제1 반도체 칩 상에 탑재되고, 제1 방향으로 순차적으로 오프셋 정렬되는 다수의 제2 반도체 칩들, 제1 접착 막 및 제2 접착 막을 갖는 제1 칩 스택(chip stack);

상기 다수의 제2 반도체 칩들을 순차적으로 연결하고, 상기 다수의 제2 반도체 칩들 중 최하층 제2 반도체 칩 및 상기 기판을 연결하는 제2 도전성 접속; 및

상기 제1 칩 스택 상에 탑재되고, 상기 제1 방향과 다른 제2 방향으로 순차적으로 오프셋 정렬되는 다수의 제3 반도체 칩들, 제3 접착 막 및 제4 접착 막을 갖는 제2 칩 스택을 포함하되,

상기 지지대 및 상기 제1 반도체 칩의 상부 표면들은 동일한 수평 레벨이고,

상기 제1 접착 막은 상기 다수의 제2 반도체 칩들 중 최하층 제2 반도체 칩, 상기 지지대 및 상기 제1 반도체 칩과 직접적으로 접촉되도록 형성되고,

상기 제2 접착 막은 상기 다수의 제2 반도체 칩들 사이에 형성되고,

상기 제3 접착 막은 상기 다수의 제2 반도체 칩들 중 최상층 제2 반도체 칩과 상기 다수의 제3 반도체 칩들 중 최하층 제3 반도체 칩 사이에 형성되고,

상기 제4 접착 막은 상기 다수의 제3 반도체 칩들 사이에 형성되고,

상기 제1 접착 막은 상기 제2 접착 막보다 두껍고 상기 최하층 제2 반도체 칩과 같은 폭을 갖고,

상기 제3 접착 막은 상기 제2 접착 막보다 두껍고,

상기 제1 도전성 접속은 상기 제1 접착 막의 내부를 통과하고,

상기 제2 도전성 접속은 상기 제3 접착 막의 내부를 통과하고,

상기 최상층 제2 반도체 칩의 측벽과 상기 최하층 제3 반도체 칩의 측벽이 수직으로 정렬되고,

상기 제1 반도체 칩은 상기 다수의 제2 및 제3 반도체 칩들보다 폭이 작은 컨트롤러 또는 로직 칩이고, 상기 다수의 제2 및 제3 반도체 칩들은 메모리 칩들인 반도체 패키지.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제1 항에 있어서,  
 상기 지지대는  
 제1 지지대; 및

상기 제1 지지대와 분리된 제2 지지대를 포함하되,

상기 제1 반도체 칩은 상기 제1 지지대 및 상기 제2 지지대 사이에 배치된 반도체 패키지.

**청구항 5**

제1 항에 있어서,

상기 지지대는 상기 제1 반도체 칩과 동일한 수직 두께를 갖는 더미 칩(dummy chip)인 반도체 패키지.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

제1 항에 있어서,

상기 기판과 상기 제1 칩 스택의 사이에 탑재된 버퍼 칩을 더 포함하는 반도체 패키지.

**청구항 10**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 지지대와 다수의 반도체 칩들을 갖는 반도체 패키지 및 그 형성 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 패키지의 크기를 축소하면서 다수의 반도체 칩들을 탑재하기 위한 다양한 방법들이 연구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하려는 과제는, 신호 전달 경로를 단축하고 크기를 축소하면서 다수의 반도체 칩들을 탑재할 수 있는 반도체 패키지 및 그 형성 방법을 제공하는 데 있다.

[0004] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0005] 상기 과제를 달성하기 위하여 본 발명 기술적 사상의 실시 예들은, 반도체 패키지를 제공한다. 상기 반도체 패키지는 기판 상에 탑재된 제1 반도체 칩을 포함한다. 상기 기판 상에 탑재되고, 상기 제1 반도체 칩과 같은 레벨에 위치한 적어도 하나의 지지대가 제공된다. 상기 제1 반도체 칩과 상기 지지대의 사이에 위치하고, 상기 제1 반도체 칩 및 상기 기판을 연결하는 제1 도전성 접속이 형성된다. 상기 지지대 및 상기 제1 반도체 칩 상에 탑재되고, 다수의 제2 반도체 칩들, 제1 접착 막 및 제2 접착 막을 갖는 칩 스택(chip stack)이 제공된다. 상기 제1 접착 막은 상기 다수의 제2 반도체 칩들 중 최하층 제2 반도체 칩과 상기 지지대 사이와 상기 최하층 제2 반도체 칩과 상기 제1 반도체 칩 사이에 형성된다. 상기 제2 접착 막은 상기 다수의 제2 반도체 칩들 사이에 형성된다. 상기 제1 접착 막은 상기 제2 접착 막보다 두껍다. 상기 제1 도전성 접속은 상기 제1 접착 막의 내부를

통과한다.

- [0006] 응용 실시 예에서, 상기 제1 접착 막은 상기 최하층 제2 반도체 칩과 같은 폭을 가질 수 있다.
- [0007] 다른 실시 예에서, 상기 제1 접착 막은 상기 최하층 제2 반도체 칩, 상기 지지대 및 상기 제1 반도체 칩과 직접적으로 접촉할 수 있다.
- [0008] 또 다른 실시 예에서, 상기 지지대는 제1 지지대 및 상기 제1 지지대와 분리된 제2 지지대를 포함할 수 있다. 상기 제1 반도체 칩은 상기 제1 지지대 및 상기 제2 지지대 사이에 배치될 수 있다.
- [0009] 또 다른 실시 예에서, 상기 지지대는 상기 제1 반도체 칩과 동일한 수직 두께를 갖는 더미 칩(dummy chip)일 수 있다.
- [0010] 또 다른 실시 예에서, 상기 지지대 및 상기 제1 반도체 칩의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다.
- [0011] 또 다른 실시 예에서, 상기 다수의 제2 반도체 칩들 중 일부는 제1 방향으로 순차적으로 오프셋 정렬되어 제1 칩 스택(chip stack)을 구성할 수 있다. 상기 다수의 제2 반도체 칩들 중 다른 일부는 상기 제1 칩 스택 상에 상기 제1 방향과 다른 제2 방향으로 순차적으로 오프셋 정렬되어 제2 칩 스택을 구성할 수 있다.
- [0012] 또 다른 실시 예에서, 상기 제1 반도체 칩은 로직 칩이고, 상기 다수의 제2 반도체 칩들은 메모리 칩들일 수 있다.
- [0013] 또 다른 실시 예에서, 상기 기판과 상기 칩 스택의 사이에 버퍼 칩이 탑재될 수 있다. 상기 버퍼 칩 및 상기 기판을 연결하는 제2 도전성 접속이 제공될 수 있다. 상기 제2 도전성 접속은 상기 제1 접착 막의 내부를 통과할 수 있다.
- [0014] 또 다른 실시 예에서, 상기 지지대와 같은 레벨에 수동소자가 탑재될 수 있다.
- [0015] 또 다른 실시 예에서, 상기 제1 도전성 접속은 와이어 본딩을 포함한다.
- [0016] 또한, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 패키지를 제공한다. 상기 반도체 패키지는 기판 상에 탑재된 제1 반도체 칩을 포함한다. 상기 제1 반도체 칩 및 상기 기판을 연결하는 제1 도전성 접속이 형성된다. 상기 기판 상에 탑재되고, 상기 제1 반도체 칩과 같은 레벨에 위치한 적어도 하나의 지지대가 제공된다. 상기 지지대 및 상기 제1 반도체 칩 상에 탑재되고, 다수의 제2 반도체 칩들, 제1 접착 막 및 제2 접착 막을 갖는 제1 칩 스택(chip stack)이 제공된다. 상기 다수의 제2 반도체 칩들을 순차적으로 연결하고, 상기 다수의 제2 반도체 칩들 중 최하층 제2 반도체 칩 및 상기 기판을 연결하는 제2 도전성 접속이 형성된다. 상기 제1 칩 스택 상에 탑재되고, 다수의 제3 반도체 칩들, 제3 접착 막 및 제4 접착 막을 갖는 제2 칩 스택이 제공된다. 상기 제1 접착 막은 상기 최하층 제2 반도체 칩과 상기 지지대 사이와 상기 최하층 제2 반도체 칩과 상기 제1 반도체 칩 사이에 형성된다. 상기 제2 접착 막은 상기 다수의 제2 반도체 칩들 사이에 형성된다. 상기 제3 접착 막은 상기 다수의 제2 반도체 칩들 중 최상층 제2 반도체 칩과 상기 다수의 제3 반도체 칩들 중 최하층 제3 반도체 칩 사이에 형성된다. 상기 제4 접착 막은 상기 다수의 제3 반도체 칩들 사이에 형성된다. 상기 제3 접착 막은 상기 제2 접착 막보다 두껍다. 상기 제2 도전성 접속은 상기 제3 접착 막의 내부를 통과한다. 상기 제1 칩 스택의 최상층에 위치한 반도체 칩의 측벽과 상기 제2 칩 스택의 최하층에 위치한 반도체 칩의 측벽이 수직으로 정렬된다.
- [0017] 다른 실시 예에서, 상기 다수의 제2 반도체 칩들은 차례로 적층되고, 제1 방향으로 순차적으로 오프셋 정렬될 수 있다. 상기 다수의 제3 반도체 칩들은 차례로 적층되고, 상기 제1 방향과 다른 제2 방향으로 순차적으로 오프셋 정렬될 수 있다.
- [0018] 또 다른 실시 예에서, 상기 제2 도전성 접속은 상기 제2 접착 막과 분리될 수 있다.
- [0019] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0020] 본 발명 기술적 사상의 실시 예들에 따르면, 기판 상에 제1 반도체 칩, 지지대, 접착 막, 및 제2 내지 제9 반도체 칩들이 탑재된 반도체 패키지가 제공될 수 있다. 이에 따라, 구조적으로 안정되고, 신호 전달 경로가 단축되며, 다수의 반도체 칩들을 탑재하면서도 경박단소화에 유리한 반도체 패키지를 구현할 수 있다.

**도면의 간단한 설명**

- [0021] 도 1은 본 발명 기술적 사상의 제1 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.  
 도 2a는 도 1의 E1 부분을 상세히 보여주는 부분 확대도 이고, 도 2b 는 도 1의 E2 부분을 상세히 보여주는 부분 확대도 이다.  
 도 2c는 제1 실시 예들의 응용 실시 예에 따른 반도체 패키지를 설명하기 위한 부분 확대도 이다.  
 도 3 내지 도 15는 본 발명 기술적 사상의 제2 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃들 및 단면도들이다.  
 도 16 내지 도 19는 본 발명 기술적 사상의 제3 실시 예들에 따른 반도체 패키지의 형성방법들을 설명하기 위한 단면도들이다.  
 도 20 및 도 21은 본 발명의 기술적 사상의 제4 실시 예에 따른 카드 패키지를 설명하기 위한 레이아웃 및 단면도이다.  
 도 22 및 도 23은 본 발명의 기술적 사상의 제5 실시 예에 따른 전자 장치의 사시도 및 시스템 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 첨부한 도면들을 참조하여 본 발명 기술적 사상의 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0023] 제1, 제2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수 있다.
- [0024] 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제에 있어서는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.
- [0025] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0027] **[실시예 1]**
- [0028] 도 1은 본 발명 기술적 사상의 제1 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이며, 도 2a는 도 1의 E1 부분을 상세히 보여주는 부분 확대도 이고, 도 2b 는 도 1의 E2 부분을 상세히 보여주는 부분 확대도 이며, 도 2c는 제1 실시 예들의 응용 실시 예에 따른 반도체 패키지를 설명하기 위한 부분 확대도 이다.
- [0029] 도 1, 도2a, 및 도 2b를 참조하면, 기판(3) 상에 제1 반도체 칩(7) 및 지지대(50)가 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50) 상에 칩 스택(chip stack; 9)이 탑재될 수 있다. 상기 기판(3) 상에 상기 제1

반도체 칩(7), 상기 지지대(50), 및 상기 칩 스택(9)을 덮는 봉지재(59)가 제공될 수 있다.

- [0030] 상기 기판(3)의 하부 표면은 하부 솔더 레지스트(2)로 덮일 수 있으며, 상기 기판(3)의 상부 표면은 상부 솔더 레지스트(4)로 덮일 수 있다. 상기 기판(3) 상에 상기 상부 솔더 레지스트(4)를 관통하는 제1 전극 핑거(31), 제2 전극 핑거(33), 및 제3 전극 핑거(35)가 형성될 수 있다. 상기 기판(3) 및 상기 지지대(50) 사이에 제1 접착 막(51)이 개재될 수 있다. 상기 기판(3) 및 상기 제1 반도체 칩(7) 사이에 제2 접착 막(53)이 개재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 제1 전극 핑거(31) 사이에 제1 도전성 접속(first conductive connection; 41)이 형성될 수 있다. 상기 제1 도전성 접속(41)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다. 본 실시 예에서, 상기 제1 도전성 접속(41)은 본딩 와이어(bonding wire)일 수 있다.
- [0031] 상기 제1 반도체 칩(7)은 컨트롤러(controller)와 같은 로직 칩(logic chip)일 수 있다. 상기 지지대(50)는 상기 제1 반도체 칩(7)과 실질적으로 동일한 수직 두께일 수 있다. 상기 지지대(50)는 상기 제1 반도체 칩(7)과 유사한 구성을 갖는 더미 칩(dummy chip)일 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)는 동일 레벨에 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다.
- [0032] 상기 칩 스택(9)은 제1 칩 스택(10) 및 상기 제1 칩 스택(10) 상의 제2 칩 스택(20)을 포함할 수 있다. 상기 제1 칩 스택(10)은 제2 내지 제5 반도체 칩들(11, 12, 13, 14)을 포함할 수 있으며, 상기 제2 칩 스택(20)은 제6 내지 제9 반도체 칩들(21, 22, 23, 24)을 포함할 수 있다. 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 메모리 칩들일 수 있다. 예를 들면, 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 낸드 플래시 메모리(NAND flash memory)와 같은 비-휘발성 메모리소자(non-volatile memory device)를 포함할 수 있다.
- [0033] 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)은 제1 카스케이드(cascade) 구조로 적층될 수 있다. 즉, 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)은 순차적으로 오프셋 정렬될 수 있다. 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)의 각각은 상기 제1 반도체 칩(7)보다 큰 폭일 수 있다. 상기 제2 반도체 칩(11)은 제1 두께(T1)의 제3 접착 막(54)을 사용하여 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 부착될 수 있다. 상기 제2 반도체 칩(11)의 일 측면은 상기 지지대(50)의 일 측면에 수직 정렬될 수 있다. 상기 제2 반도체 칩(11)의 다른 측면은 상기 제1 반도체 칩(7) 상에 정렬될 수 있다. 상기 제3 내지 제5 반도체 칩들(12, 13, 14)은 제2 두께(T2)의 제4 접착 막(55)을 사용하여 상기 제2 반도체 칩(11) 상에 순차적으로 적층될 수 있다. 이 경우에, 상기 제3 내지 제5 반도체 칩들(12, 13, 14)은 상기 기판(3)의 제1 측면(S1) 방향으로 순차적으로 오프셋 정렬될 수 있다.
- [0034] 상기 제3 접착 막(54)의 상기 제1 두께(T1)는 상기 제4 접착 막(55)의 상기 제2 두께(T2)보다 두꺼울 수 있다. 상기 제1 도전성 접속(41)은 상기 제3 접착 막(54)의 내부를 통과할 수 있다. 예를 들면, 상기 제1 도전성 접속(41)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제3 접착 막(54)을 부분적으로 관통 또는 통과할 수 있다.
- [0035] 상기 제1 도전성 접속(41)이 상기 제3 접착 막(54)을 관통 또는 통과하는 경우, 상기 제1 반도체 칩(7)의 상부 표면이 노출되지 않아도 전기적 연결을 이룰 수 있다. 따라서, 상기 제1 도전성 접속(41)이 상기 지지대(50) 및 상기 제1 반도체 칩(7) 사이에 형성될 수 있다. 이에 의해, 본 발명의 기술적 사상에 의한 반도체 패키지들은 수평 폭이 감소될 수 있다. 상세하게, 만약 상기 제3 접착 막(54)을 상기 제1 도전성 접속(41)이 관통 또는 통과하지 못한다면, 상기 제1 도전성 접속(41)은 상기 칩 스택(9)의 점유 면적의 외부 또는 상기 제1 반도체 칩(7)의 외부에 형성되어야 한다. 그러나, 상기 제3 접착 막(54)을 상기 제1 도전성 접속(41)이 관통 또는 통과할 수 있으므로 상기 제1 도전성 접속(41)이 상기 제1 반도체 칩(7)과 상기 지지대(50)의 사이, 즉 상기 칩 스택(9)의 점유 면적 내에 형성될 수 있다. 따라서, 상기 제1 도전성 접속(41)이 필요로 하는 점유 면적만큼, 반도체 패키지의 수평 폭이 감소될 수 있다.
- [0036] 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11)과 같은 폭을 가질 수 있다. 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11)의 일면에 정렬될 수 있다. 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11), 상기 제1 반도체 칩(7) 및 상기 지지대(50)와 직접적으로 접촉될 수 있다.
- [0037] 상기 제3 접착 막(54)은 DAF(direct adhesive film) 또는 FOW(film over wire)로 지칭될 수 있다. 상기 제4 접착 막(55)은 상기 제3 접착 막(54)과 동일한 종류의 물질막일 수 있다. 이 경우에, 상기 제4 접착 막(55)의 상

기 제2 두께(T2)는 상기 제3 접착 막(54)의 상기 제1 두께(T1)보다 얇을 수 있다. 몇몇 다른 실시 예에서, 상기 제4 접착 막(55)은 상기 제3 접착 막(54)과 다른 종류의 물질막일 수 있다.

[0038] 상기 제1 칩 스택(10) 및 상기 제2 전극 핑거(33) 사이에 제2 도전성 접속(43)이 형성될 수 있다. 상기 제2 도전성 접속(43)에 의하여 상기 제2 반도체 칩(11)은 상기 제2 전극 핑거(33)에 연결되고, 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)은 서로 연결될 수 있다. 도시된 바와 같이, 상기 제2 도전성 접속(43)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)에 순차적으로 접촉될 수 있으며, 상기 제2 도전성 접속(43)의 일단은 상기 제2 전극 핑거(33)에 접촉될 수 있다. 상기 제2 도전성 접속(43)은 상기 제4 접착 막(55)과 분리될 수 있다. 상기 제2 도전성 접속(43)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다. 본 실시 예에서, 상기 제2 도전성 접속(43)은 본딩 와이어(bonding wire)인 경우를 상정하여 설명하기로 한다.

[0039] 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 제2 카스케이드(cascade) 구조로 적층될 수 있다. 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)과 다른 방향으로 정렬될 수 있다. 즉, 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)과 반대 방향으로 순차적으로 오프셋 정렬될 수 있다.

[0040] 예를 들면, 상기 제6 반도체 칩(21)은 제3 두께(T3)의 제5 접착 막(56)을 사용하여 상기 제5 반도체 칩(14) 상에 부착될 수 있다. 상기 제3 두께(T3)는 상기 제2 두께(T2)보다 두꺼울 수 있다. 상기 제3 두께(T3)는 상기 제1 두께(T1)와 실질적으로 동일할 수 있다. 상기 제6 반도체 칩(21)은 상기 제5 반도체 칩(14) 상에 수직 정렬될 수 있다. 상기 제6 반도체 칩(21) 및 상기 제5 반도체 칩(14)의 측면들은 동일 수직선 상에 정렬될 수 있다. 상기 제5 접착 막(56)은 상기 제3 접착 막(54)과 동일 물질 막일 수 있다. 상기 제2 도전성 접속(43)은 상기 제5 접착 막(56)의 내부를 통과할 수 있다. 상기 제2 도전성 접속(43)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제5 접착 막(56)을 부분적으로 관통 또는 통과할 수 있다. 즉, 상기 제5 접착 막(56)의 내부를 상기 제2 도전성 접속(43)이 관통 또는 통과하는 경우, 반도체 패키지의 수평 폭이 감소될 수 있다. 만약, 상기 제3 두께(T3)가 충분하지 않거나, 상기 제5 접착 막(54)의 내부를 상기 제2 도전성 접속(43)이 관통 또는 통과하지 못한다면, 상기 제1 칩 스택(10)의 최상부에 위치한 반도체 칩, 즉 제5 반도체 칩(14)의 상부 면의 일부가 제2 도전성 접속(43)과 전기적으로 연결되기 위하여 노출되어야 한다. 따라서, 본 발명의 기술적 사상에 의한 실시 예에서, 하부에 위치한 제1 칩 스택(10)의 최상부에 위치한 반도체 칩(14)의 측면과 상부에 위치한 제2 칩 스택(20)의 최하부에 위치한 반도체 칩(21)의 측면이 수직으로 정렬될 수 있다. 즉, 제1 칩 스택(10)의 최상부에 위치한 반도체 칩(14)의 상부 면이 노출되지 않아도 되는 면적만큼, 반도체 패키지의 수평 폭이 감소될 수 있다.

[0041] 상기 제7 내지 제9 반도체 칩들(22, 23, 24)은 제6 접착 막(57)을 사용하여 상기 제6 반도체 칩(21) 상에 차례로 부착될 수 있다. 상기 제7 내지 제9 반도체 칩들(22, 23, 24)은 상기 제6 반도체 칩(21) 상에 상기 기판(3)의 제2 측면(S2) 방향으로 순차적으로 오프셋 정렬될 수 있다. 상기 제1 측면(S1) 및 상기 제2 측면(S2)은 서로 대향할 수 있다. 상기 제6 접착 막(57)은 상기 제4 접착 막(55)과 실질적으로 동일한 두께의 동일한 물질 막일 수 있다. 상기 제4 접착 막(55) 및 상기 제6 접착 막(57)은 상기 제3 접착 막(54)과 같은 물질 막일 수 있다.

[0042] 상기 제2 칩 스택(20) 및 상기 제3 전극 핑거(35) 사이에 제3 도전성 접속(45)이 형성될 수 있다. 상기 제3 도전성 접속(45)에 의하여 상기 제6 반도체 칩(21)은 상기 제3 전극 핑거(35)에 연결되고, 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 서로 연결될 수 있다. 도시된 바와 같이, 상기 제3 도전성 접속(45)은 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)에 순차적으로 접촉될 수 있으며, 상기 제3 도전성 접속(45)의 일단은 상기 제3 전극 핑거(35)에 접촉될 수 있다. 상기 제3 도전성 접속(45)은 상기 제6 접착 막(57)과 분리될 수 있다.

[0043] 상기 제3 도전성 접속(45)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다. 본 실시 예에서, 상기 제3 도전성 접속(45)은 본딩 와이어(bonding wire)인 경우를 상정하여 설명하기로 한다.

[0044] 부가하여, 상기 제1 도전성 접속(41)이 상기 지지대(50) 및 상기 제1 반도체 칩(7) 사이에 형성될 경우, 상기 제3 도전성 접속(45)은 상기 제1 도전성 접속(41)과 전기적 및/또는 물리적으로 영향을 받지 않는다. 따라서, 상기 제3 도전성 접속(45)은 전기적 및/또는 물리적으로 보다 안정적이고 간단하며 자유롭게 형성될 수 있다.

[0045] 상기 기판(3)의 하부에 상기 하부 솔더 레지스트(2)를 관통하는 외부 단자들(5)이 형성될 수 있다. 상기 제1 전극 핑거(31), 상기 제2 전극 핑거(33) 및 상기 제3 전극 핑거(35)는 상기 기판(3)을 통하여 상기 외부 단자들



(5)과 전기적으로 접속될 수 있다. 상기 외부 단자들(5)은 솔더 볼(solder ball), 솔더 범프(solder bump), 핀 그리드 어레이(pin grid array), 리드 그리드 어레이(lead grid array), 도전성 탭(conductive tab), 또는 이들의 조합을 포함할 수 있다.

[0046] 다른 실시 예에서, 상기 기판(3), 상기 제1 반도체 칩(7), 상기 지지대(50), 상기 칩 스택(9), 상기 봉지재(59)는 카드 형 패키지를 구성할 수 있다. 이 경우에, 상기 외부 단자들(5)은 생략될 수 있다.

[0047] 또 다른 실시 예에서, 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14) 및 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 지지대(50) 및 상기 제1 반도체 칩(7)상에 카스케이드(cascade) 구조, 오버행(overhang) 구조, 지그재그 구조, 또는 이들의 조합으로 적층될 수 있다.

[0048] 도 2c를 참조하면, 상기 제2 반도체 칩(11)은 상기 제1 반도체 칩(7)을 완전히 덮을 수 있다.

[0049] 상술한 바와 같이, 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지는 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 상기 제3 접착 막(54), 상기 제4 접착 막(55), 상기 제5 접착 막(56), 및 상기 제6 접착 막(57)을 사용하여 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14) 및 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)이 적층되는 구성을 포함한다. 상기 제1 도전성 접속(41)의 일부분이 상기 제3 접착 막(54)을 부분적으로 관통 또는 통과할 수 있다. 상기 제1 도전성 접속(41)은 상기 지지대(50) 및 상기 제1 반도체 칩(7) 사이에 형성될 수 있다. 이 경우에, 상기 반도체 패키지의 수평 폭은 현저히 축소될 수 있다. 나아가서, 상기 제2 도전성 접속(43)의 일부분이 상기 제5 접착 막(56)을 부분적으로 관통 또는 통과할 수 있다. 상기 제6 반도체 칩(21)은 상기 제5 반도체 칩(14) 상에 수직 정렬될 수 있다. 이 경우에, 상기 반도체 패키지의 수평 폭은 축소될 수 있다. 결론적으로, 상기 반도체 패키지는 다수의 반도체 칩들을 탑재하면서 크기를 축소하는데 유리한 구성을 갖는다.

[0050] 또한, 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14) 및 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 제1 도전성 접속(41), 상기 제2 도전성 접속(43), 상기 제3 도전성 접속(45), 상기 제1 반도체 칩(7) 및 상기 기판(3)을 경유하여 외부장치들과 데이터를 주고받을 수 있다. 이에 따라, 상기 반도체 패키지의 신호전달 경로는 종래에 비하여 현저히 단축될 수 있다. 나아가서, 상기 지지대(50), 상기 제1 반도체 칩(7), 및 상기 제3 접착 막(54)의 구성은 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 구조적 안정성을 향상시킬 수 있다.

[0051] **[실시예 2]**

[0052] 도 3 내지 도 8은 본 발명 기술적 사상의 제2 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃도이고, 도 9 내지 도 15는 본 발명 기술적 사상의 제2 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.

[0053] 도 3을 참조하면, 제1 반도체 칩(7)은 지지대(50)와 마주보도록 배치될 수 있다. 상기 지지대(50)는 직사각형 또는 바(bar) 모양일 수 있다.

[0054] 도 4 내지 도 6을 참조하면, 지지대(50)는 L모양, C모양, 또는 액자 모양일 수 있다.

[0055] 도 7을 참조하면, 기판(3) 상에 제1 지지대(50A), 제2 지지대(50B), 제3 지지대(50C), 및 제4 지지대(50D)가 부착될 수 있다. 상기 제1 지지대(50A), 상기 제2 지지대(50B), 상기 제3 지지대(50C), 및 상기 제4 지지대(50D)는 제1 반도체 칩(7)을 둘러싸도록 배치될 수 있다. 상기 제1 지지대(50A), 상기 제2 지지대(50B), 상기 제3 지지대(50C), 및 상기 제4 지지대(50D)는 다양한 크기와 모양일 수 있다.

[0056] 도 8을 참조하면, 기판(3) 상에 지지대(50), 제1 반도체 칩(7), 버퍼 칩(61), 및 수동소자(62)가 부착될 수 있다. 상기 버퍼 칩(61)은 제4 도전성 접속(42)에 의하여 상기 기판(3)에 전기적으로 접속될 수 있다. 상기 지지대(50)는 상기 제1 반도체 칩(7), 상기 버퍼 칩(61), 및 상기 수동소자(62)의 배치에 대응하여 다양한 크기와 형태로 변형될 수 있다.

[0057] 도 9를 참조하면, 기판(3) 상에 제1 접착 막(51)을 사용하여 제1 지지대(50A) 및 제2 지지대(50B)가 부착될 수 있다. 상기 제1 지지대(50A) 및 상기 제2 지지대(50B) 사이의 상기 기판(3) 상에 제2 접착 막(53)을 사용하여 제1 반도체 칩(7)이 부착될 수 있다. 상기 제1 지지대(50A), 상기 제2 지지대(50B), 및 상기 제1 반도체 칩(7) 상에 제3 접착 막(54)을 사용하여 제2 반도체 칩(11)이 탑재될 수 있다. 상기 제3 접착 막(54)의 내부를 통과하여 상기 제1 반도체 칩(7) 및 제1 전극 핑거(31)에 연결된 제1 도전성 접속(41)이 형성될 수 있다.

- [0058] 도 10을 참조하면, 기관(3) 상에 제1 반도체 칩(7), 수동소자(62) 및 지지대(50)가 탑재될 수 있다. 상기 수동소자(62)는 상기 제1 반도체 칩(7) 및 상기 지지대(50) 사이에 배치될 수 있다. 상기 제1 반도체 칩(7), 상기 수동소자(62) 및 상기 지지대(50)의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다. 상기 제1 반도체 칩(7), 상기 수동소자(62) 및 상기 지지대(50) 상에 제3 접착 막(54)을 사용하여 제2 반도체 칩(11)이 탑재될 수 있다. 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11), 상기 제1 반도체 칩(7), 상기 수동소자(62) 및 상기 지지대(50)에 접촉될 수 있다. 상기 수동소자(62)는 칩 캐패시터, 칩 저항, 또는 인덕터를 포함할 수 있다. 상기 칩 캐패시터는 디커플링 캐패시터의 역할을 할 수 있다.
- [0059] 도 11을 참조하면, 기관(3)과 칩 스택(9) 사이에 버퍼 칩(61)이 탑재될 수 있다. 예를 들면, 상기 기관(3) 상에 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 지지대(50)가 탑재될 수 있다. 상기 버퍼 칩(61)은 상기 제1 반도체 칩(7) 및 상기 지지대(50) 사이에 배치될 수 있다. 상기 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 상기 지지대(50)의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다. 상기 버퍼 칩(61)은 제4 도전성 접속(42)에 의하여 상기 기관(3)에 형성된 제4 전극 핑거(32)에 전기적으로 접속될 수 있다. 상기 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 상기 지지대(50) 상에 제3 접착 막(54)을 사용하여 제2 반도체 칩(11)이 탑재될 수 있다. 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11), 상기 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 상기 지지대(50)와 직접적으로 접촉될 수 있다.
- [0060] 상기 제4 도전성 접속(42)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다. 본 실시 예에서, 상기 제4 도전성 접속(42)은 본딩 와이어(bonding wire)일 수 있다. 상기 제4 도전성 접속(42)은 상기 제3 접착 막(54)의 내부를 통과할 수 있다. 상기 버퍼 칩(61)은 디램(DRAM) 또는 에스램(SRAM) 과 같은 휘발성 메모리 소자(volatile memory device)를 포함할 수 있다.
- [0061] 상기 제1 반도체 칩(7)에 인접한 상기 기관(3) 상에 수동소자(62)가 탑재될 수 있다. 상기 수동소자(62)는 상기 제1 반도체 칩(7) 및 제3 전극 핑거(35) 사이에 배치될 수 있다.
- [0062] 다른 실시 예에서, 상기 제1 반도체 칩(7) 및 상기 버퍼 칩(61)은 위치를 서로 바꾸어 탑재될 수 있다.
- [0063] 도 12를 참조하면, 기관(3) 상에 제1 반도체 칩(7), 버퍼 칩(61) 및 지지대(50)가 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 버퍼 칩(61)은 플립 칩(flip chip) 기술을 사용하여 상기 기관(3) 상에 부착될 수 있다. 예를 들면, 상기 제1 반도체 칩(7)은 제1 도전성 접속(41A)을 사용하여 상기 기관(3)에 형성된 제1 전극 핑거(31A)에 연결될 수 있다. 상기 제1 반도체 칩(7) 및 상기 기관(3) 사이에 제2 접착막(53A)이 형성될 수 있다. 상기 버퍼 칩(61)은 제4 도전성 접속(42A)을 사용하여 상기 기관(3)에 형성된 제4 전극 핑거(32A)에 연결될 수 있다. 상기 버퍼 칩(61) 및 상기 기관(3) 사이에 제7 접착막(52A)이 형성될 수 있다.
- [0064] 상기 제1 도전성 접속(41A) 및 상기 제4 도전성 접속(42A)은 솔더 볼(solder ball) 또는 솔더 범프(solder bump)일 수 있다. 상기 제2 접착막(53A) 및 상기 제7 접착막(52A)은 언더 필(under fill) 막을 포함할 수 있다.
- [0065] 상기 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 상기 지지대(50) 상에 제3 접착 막(54A)을 사용하여 제2 반도체 칩(11)이 탑재될 수 있다. 이 경우에, 상기 제3 접착 막(54A)은 제4 접착 막(55)과 실질적으로 동일한 두께의 동일한 물질막일 수 있다.
- [0066] 상기 제1 반도체 칩(7) 및 제3 전극 핑거(35) 사이의 상기 기관(3) 상에 수동소자(62)가 탑재될 수 있다.
- [0067] 도 13을 참조하면, 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 제1 반도체 칩(7), 버퍼 칩(61) 및 지지대(50) 상에 오버행(overhang) 구조로 탑재될 수 있다. 즉, 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 차례로 수직 적층될 수 있다. 상기 제2 반도체 칩(11)은 제3 접착막(54)을 사용하여 상기 제1 반도체 칩(7), 상기 버퍼 칩(61) 및 상기 지지대(50) 상에 부착될 수 있다. 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24) 사이에 제4 접착 막(55)이 개재될 수 있다. 상기 제4 접착 막(55)은 상기 제3 접착막(54)과 실질적으로 동일한 두께의 동일한 물질막일 수 있다.
- [0068] 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 각각은 제2 도전성 접속(43) 및 제3 도전성 접속(45)을 이용하여 제2 전극 핑거(33) 및 제3 전극 핑거(35)에 접속될 수 있다. 상기 제2 도전성 접속(43) 및 상기 제3 도전성 접속(45)은 상기 제4 접착 막(55)의 내부를 통과할 수 있다. 상기 제2 도전성 접속(43)은 다수의 본딩 와이어들을 포함할 수 있으며, 상기 제3 도전성 접속(45) 또한 다수의 본딩 와이어들을 포함할 수

있다. 이 경우에, 상기 다수의 본딩 와이어들의 각각은 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 대응하는 하나와 상기 제2 전극 핑거(33) 또는 상기 제3 전극 핑거(35)에 접속될 수 있다.

[0069] 도 14를 참조하면, 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 제1 반도체 칩(7), 버퍼 칩(61) 및 지지대(50) 상에 지그재그 구조로 탑재될 수 있다. 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 각각은 제2 도전성 접속(43) 또는 제3 도전성 접속(45)을 이용하여 제2 전극 핑거(33) 또는 제3 전극 핑거(35)에 접속될 수 있다. 상기 제2 도전성 접속(43) 및 상기 제3 도전성 접속(45)은 제4 접착 막(55)과 분리될 수 있다. 상기 제4 접착 막(55)은 제3 접착막(54)보다 얇을 수 있다.

[0070] 도 15를 참조하면, 기판(3) 상에 제1 반도체 칩(7) 및 지지대(50)가 탑재될 수 있다. 상기 제1 반도체 칩(7)은 제1 관통전극(71)을 포함할 수 있으며, 상기 지지대(50)는 제2 관통전극(73)을 포함할 수 있다. 상기 제1 관통전극(71) 및 제1 전극 핑거(31A) 사이와 상기 제2 관통전극(73) 및 제2 전극 핑거(33A) 사이에 제1 솔더 볼들(41A)이 형성될 수 있다. 상기 지지대(50) 및 상기 기판(3) 사이에 제1 접착 막(51A)이 형성될 수 있으며, 상기 제1 반도체 칩(7) 및 상기 기판(3) 사이에 제2 접착 막(53A)이 형성될 수 있다. 상기 제1 접착 막(51A) 및 상기 제2 접착 막(53A)은 언더 필(fill) 막을 포함할 수 있다.

[0071] 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 수직 적층될 수 있다. 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 각각은 제3 관통전극들(75)을 포함할 수 있다. 상기 제3 관통전극들(75) 상에 제2 솔더 볼들(72)이 형성될 수 있다. 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 상기 제3 관통전극들(75), 상기 제2 솔더 볼들(72), 상기 제2 관통전극(73), 상기 제1 관통전극(71), 및 상기 제1 솔더 볼들(41A)을 경유하여 상기 제1 전극 핑거(31A) 및 상기 제2 전극 핑거(33A)에 접속될 수 있다.

[0072] **[실시예 3]**

[0073] 도 16 내지 도 19는 본 발명 기술적 사상의 제3 실시 예들에 따른 반도체 패키지의 형성방법들을 설명하기 위한 단면도들이다.

[0074] 도 16을 참조하면, 기판(3) 상에 제1 반도체 칩(7) 및 지지대(50)가 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)는 동일 레벨에 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)의 상부 표면들은 실질적으로 동일 평면 상에 노출될 수 있다. 상기 지지대(50)는 제1 접착 막(51)을 사용하여 상기 기판(3) 상에 부착될 수 있다. 상기 제1 반도체 칩(7)은 제2 접착 막(53)을 사용하여 상기 기판(3) 상에 부착될 수 있다.

[0075] 상기 기판(3)은 경성 인쇄 회로 기판(rigid printed circuit board), 연성 인쇄 회로 기판(flexible printed circuit board), 또는 경-연성 인쇄 회로 기판(rigid-flexible printed circuit board)일 수 있다. 상기 기판(3)의 일면에 제1 전극 핑거(31), 제2 전극 핑거(33), 및 제3 전극 핑거(35)가 형성될 수 있다. 상기 기판(3)의 하부 표면을 덮는 하부 솔더 레지스트(2)가 형성될 수 있으며, 상기 기판(3)의 상부 표면을 덮고 상기 제1 전극 핑거(31), 상기 제2 전극 핑거(33) 및 상기 제3 전극 핑거(35)를 노출하는 상부 솔더 레지스트(4)가 형성될 수 있다.

[0076] 상기 제1 전극 핑거(31) 및 상기 제1 반도체 칩(7) 사이에 제1 도전성 접속(41)이 형성될 수 있다. 상기 제1 도전성 접속(41)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다. 본 실시 예에서, 상기 제1 도전성 접속(41)은 본딩 와이어(bonding wire)일 수 있다. 상기 본딩 와이어(bonding wire)는 골드 와이어(Au wire) 또는 알루미늄 와이어(Al wire)일 수 있다.

[0077] 상기 지지대(50)는 상기 제1 반도체 칩(7)과 동일한 수직 두께를 갖는 더미 칩(dummy chip)일 수 있다. 다른 실시 예에서, 상기 지지대(50)는 인쇄 회로 기판, 금속 판, 플라스틱 판, 또는 반도체 기판을 포함할 수 있다.

[0078] 도 17을 참조하면, 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 제1 칩 스택(10)이 탑재될 수 있다. 상기 제1 칩 스택(10)은 제2 내지 제5 반도체 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)은 제1 카스케이드(cascade) 구조로 적층될 수 있다.

[0079] 상기 제2 반도체 칩(11)은 제1 두께(T1)의 제3 접착 막(54)을 사용하여 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 부착될 수 있다. 상기 제2 반도체 칩(11)의 일 측면은 상기 지지대(50)의 일 측면에 수직 정렬될 수 있다. 상기 제2 반도체 칩(11)의 다른 측면은 상기 제1 반도체 칩(7) 상에 정렬될 수 있다. 상기 제3 내지 제5 반도체 칩들(12, 13, 14)은 제2 두께(T2)의 제4 접착 막(55)을 사용하여 상기 제2 반도체 칩(11) 상에 차례로

적층될 수 있다. 이 경우에, 상기 제3 내지 제5 반도체 칩들(12, 13, 14)은 상기 제3 전극 핑거(35) 방향으로 순차적으로 오프셋 정렬될 수 있다.

[0080] 상기 제1 두께(T1)는 상기 제2 두께(T2)보다 두꺼울 수 있다. 상기 제1 도전성 접속(41)은 상기 제3 접착 막(54)의 내부를 통과할 수 있다. 예를 들면, 상기 제1 도전성 접속(41)이 상기 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제3 접착 막(54)을 부분적으로 관통 또는 통과할 수 있다. 상기 제3 접착 막(54)은 DAF(direct adhesive film) 또는 FOW(film over wire)로 지칭될 수 있다.

[0081] 상기 제1 칩 스택(10) 및 상기 제2 전극 핑거(33) 사이에 제2 도전성 접속(43)이 형성될 수 있다. 상기 제2 도전성 접속(43)에 의하여 상기 제2 반도체 칩(11)은 상기 제2 전극 핑거(33)에 연결되고, 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)은 서로 연결될 수 있다. 도시된 바와 같이, 상기 제2 도전성 접속(43)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)에 순차적으로 접촉될 수 있으며, 상기 제2 도전성 접속(43)의 일단은 상기 제2 전극 핑거(33)에 접촉될 수 있다. 상기 제2 도전성 접속(43)은 본딩 와이어(bonding wire)일 수 있다.

[0082] 도 18을 참조하면, 상기 제1 칩 스택(10) 상에 제2 칩 스택(20)이 탑재될 수 있다. 상기 제1 칩 스택(10) 및 상기 제2 칩 스택(20)은 칩 스택(9)을 구성할 수 있다. 상기 제2 칩 스택(20)은 제6 내지 제9 반도체 칩들(21, 22, 23, 24)을 포함할 수 있다. 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 제2 카스케이드(cascade) 구조로 적층될 수 있다. 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)과 다른 방향으로 정렬될 수 있다. 즉, 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 상기 제2 내지 제5 반도체 칩들(11, 12, 13, 14)과 반대 방향으로 순차적으로 오프셋 정렬될 수 있다.

[0083] 예를 들면, 상기 제6 반도체 칩(21)은 제3 두께(T3)의 제5 접착 막(56)을 사용하여 상기 제5 반도체 칩(14) 상에 부착될 수 있다. 상기 제3 두께(T3)는 상기 제2 두께(T2)보다 두꺼울 수 있다. 상기 제3 두께(T3)는 상기 제1 두께(T1)와 실질적으로 동일할 수 있다. 상기 제6 반도체 칩(21)은 상기 제5 반도체 칩(14) 상에 수직 정렬될 수 있다. 상기 제6 반도체 칩(21) 및 상기 제5 반도체 칩(14)의 측면들은 동일 수직선 상에 정렬될 수 있다. 상기 제5 접착 막(56)은 상기 제3 접착 막(54)과 동일 물질 막일 수 있다. 상기 제2 도전성 접속(43)은 상기 제5 접착 막(56)의 내부를 통과할 수 있다. 상기 제2 도전성 접속(43)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제5 접착 막(56)을 부분적으로 관통 또는 통과할 수 있다.

[0084] 상기 제7 내지 제9 반도체 칩들(22, 23, 24)은 제6 접착 막(57)을 사용하여 상기 제6 반도체 칩(21) 상에 부착될 수 있다. 상기 제7 내지 제9 반도체 칩들(22, 23, 24)은 상기 제6 반도체 칩(21) 상에 상기 제2 전극 핑거(33) 방향으로 순차적으로 오프셋 정렬될 수 있다. 상기 제6 접착 막(57)은 상기 제3 접착 막(54)과 실질적으로 동일한 두께의 동일한 물질 막일 수 있다. 상기 제3 접착 막(54) 및 상기 제6 접착 막(57)은 상기 제3 접착 막(54)과 같은 물질 막일 수 있다.

[0085] 상기 제2 칩 스택(20) 및 상기 제3 전극 핑거(35) 사이에 제3 도전성 접속(45)이 형성될 수 있다. 상기 제3 도전성 접속(45)에 의하여 상기 제6 반도체 칩(21)은 상기 제3 전극 핑거(35)에 연결되고, 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)은 서로 연결될 수 있다. 도시된 바와 같이, 상기 제3 도전성 접속(45)은 상기 제6 내지 제9 반도체 칩들(21, 22, 23, 24)에 순차적으로 접촉될 수 있으며, 상기 제3 도전성 접속(45)의 일단은 상기 제3 전극 핑거(35)에 접촉될 수 있다.

[0086] 도 19를 참조하면, 상기 기판(3)의 전면을 덮는 봉지재(59)가 형성될 수 있다. 상기 기판(3)의 후면에 외부 단자들(5)이 형성될 수 있다. 상기 봉지재(59)는 몰딩 컴파운드를 포함할 수 있다. 상기 외부 단자들(5)은 솔더 볼(solder ball), 솔더 범프(solder bump), 핀 그리드 어레이(pin grid array), 리드 그리드 어레이(lead grid array), 도전성 탭(conductive tab), 또는 이들의 조합을 포함할 수 있다. 다른 실시 예에서, 상기 외부 단자들(5)은 생략될 수 있다.

[0087] 계속하여, 쏘잉(sawing) 공정을 이용하여 상기 봉지재(59) 및 상기 기판(3)을 절단할 수 있다. 그 결과 도 1을 참조하여 설명한 것과 유사한 반도체 패키지를 형성할 수 있다.

[0088] **[실시예 4]**

[0089] 도 20은 본 발명의 기술적 사상의 제4 실시 예에 따른 카드 패키지를 설명하기 위한 레이아웃이고, 도 21은 본 발명의 기술적 사상의 제4 실시 예에 따른 카드 패키지를 설명하기 위한 단면도이다.

[0090] 도 20 및 도 21을 참조하면, 카드 기판(113) 상에 제1 반도체 칩(7) 및 지지대(50)가 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)는 동일 레벨에 탑재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 지지대(50)

상에 칩 스택(chip stack; 9)이 탑재될 수 있다. 상기 카드 기관(113) 상에 상기 제1 반도체 칩(7), 상기 지지대(50), 및 상기 칩 스택(9)을 덮는 봉지재(159)가 제공될 수 있다.

[0091] 상기 카드 기관(113)은 하부 솔더 레지스트(112) 및 상부 솔더 레지스트(114)로 덮일 수 있다. 상기 카드 기관(113) 상에 제1 전극 핑거(31), 제2 전극 핑거(33), 및 제3 전극 핑거(35)가 형성될 수 있다. 상기 카드 기관(113) 및 상기 지지대(50) 사이에 제1 접착 막(51)이 개재될 수 있다. 상기 카드 기관(113) 및 상기 제1 반도체 칩(7) 사이에 제2 접착 막(53)이 개재될 수 있다. 상기 제1 반도체 칩(7) 및 상기 제1 전극 핑거(31) 사이에 제1 도전성 접속(first conductive connection; 41)이 형성될 수 있다.

[0092] 상기 칩 스택(9)은 제1 칩 스택(10) 및 상기 제1 칩 스택(10) 상의 제2 칩 스택(20)을 포함할 수 있다. 상기 제1 칩 스택(10)은 제2 내지 제5 반도체 칩들(11, 12, 13, 14)을 포함할 수 있으며, 상기 제2 칩 스택(20)은 제6 내지 제9 반도체 칩들(21, 22, 23, 24)을 포함할 수 있다. 상기 제2 반도체 칩(11)은 제3 접착 막(54)을 사용하여 상기 지지대(50) 및 상기 제1 반도체 칩(7) 상에 부착될 수 있다. 상기 제3 내지 제5 반도체 칩들(12, 13, 14)은 제4 접착 막(55)을 사용하여 상기 제2 반도체 칩(11) 상에 순차적으로 적층될 수 있다. 상기 제3 접착 막(54)은 상기 제4 접착 막(55)보다 두꺼울 수 있다. 상기 제1 도전성 접속(41)은 상기 제3 접착 막(54)을 관통 또는 통과할 수 있다. 상기 제3 접착 막(54)은 상기 제2 반도체 칩(11), 상기 제1 반도체 칩(7) 및 상기 지지대(50)에 접촉될 수 있다.

[0093] 상기 제1 칩 스택(10) 및 상기 제2 전극 핑거(33) 사이에 제2 도전성 접속(43)이 형성될 수 있다. 상기 제2 도전성 접속(43)은 상기 제4 접착 막(55)과 분리될 수 있다. 상기 제6 반도체 칩(21)은 제5 접착 막(56)을 사용하여 상기 제5 반도체 칩(14) 상에 부착될 수 있다. 상기 제6 반도체 칩(21)은 상기 제5 반도체 칩(14) 상에 수직 정렬될 수 있다. 상기 제2 도전성 접속(43)은 상기 제5 접착 막(56)을 관통 또는 통과할 수 있다. 상기 제7 내지 제9 반도체 칩들(22, 23, 24)은 제6 접착 막(57)을 사용하여 상기 제6 반도체 칩(21) 상에 부착될 수 있다. 상기 제2 칩 스택(20) 및 상기 제3 전극 핑거(35) 사이에 제3 도전성 접속(45)이 형성될 수 있다.

[0094] 상기 카드 기관(113)의 일면에 외부 단자들(125)이 형성될 수 있다. 상기 제1 전극 핑거(31), 상기 제2 전극 핑거(33) 및 상기 제3 전극 핑거(35)는 상기 외부 단자들(125)과 전기적으로 접속될 수 있다. 상기 외부 단자들(125)은 도전성 탭(conductive tab)을 포함할 수 있다.

[0095] 상술한 바와 같이, 상기 지지대(50), 상기 제1 반도체 칩(7), 및 상기 제3 접착 막(54)의 구성은 상기 제2 내지 제9 반도체 칩들(11, 12, 13, 14, 21, 22, 23, 24)의 구조적 안정성을 종래에 비하여 현저히 향상시킬 수 있다. 결과적으로, 신호 전달 경로를 단축하고 다수의 반도체 칩들을 탑재하면서 경박단소화에 유리한 카드 패키지를 구현할 수 있다.

[0096] 더 나아가서, 도 1 내지 도 19를 참조하여 설명된 반도체 패키지 및 그 형성 방법들은 카드 패키지 및 그 형성 방법들에 다양하게 응용될 수 있다.

[0097] **[실시예 5]**

[0098] 도 22 및 도 23은 본 발명의 기술적 사상의 제5 실시 예에 따른 전자 장치의 사시도 및 시스템 블록도이다.

[0099] 도 22를 참조하면, 도 1 내지 도 21을 참조하여 설명된 반도체 패키지 및 그 형성 방법은 핸드폰(1900), 넷북, 노트북, 또는 태블릿 PC와 같은 전자시스템들에 유용하게 적용될 수 있다. 예를 들면, 도 1 내지 도 21을 참조하여 설명한 것과 유사한 반도체 패키지는 상기 핸드폰(1900) 내의 메인보드에 탑재될 수 있다. 나아가서, 도 1 내지 도 21을 참조하여 설명한 것과 유사한 반도체 패키지는 외장형 메모리 카드와 같은 확장장치로 제공되어 상기 핸드폰(1900)에 결합되어 사용될 수도 있다.

[0100] 도 23을 참조하면, 도 1 내지 도 21을 참조하여 설명한 것과 유사한 반도체 패키지는 전자 시스템(2100)에 적용될 수 있다. 상기 전자 시스템(2100)은 바디(Body; 2110), 마이크로 프로세서 유닛(Micro Processor Unit; 2120), 파워 유닛(Power Unit; 2130), 기능 유닛(Function Unit; 2140), 및 디스플레이 컨트롤러 유닛(Display Controller Unit; 2150)을 포함할 수 있다. 상기 바디(2110)는 인쇄 회로기판(PCB)으로 형성된 마더 보드(Mother Board)일 수 있다. 상기 마이크로 프로세서 유닛(2120), 상기 파워 유닛(2130), 상기 기능 유닛(2140), 및 상기 디스플레이 컨트롤러 유닛(2150)은 상기 바디(2110)에 장착될 수 있다. 상기 바디(2110)의 내부 혹은 상기 바디(2110)의 외부에 디스플레이 유닛(2160)이 배치될 수 있다. 예를 들면, 상기 디스플레이 유닛(2160)은 상기 바디(2110)의 표면에 배치되어 상기 디스플레이 컨트롤러 유닛(2150)에 의해 프로세스된 이미지를 표시할 수 있다.

- [0101] 상기 파워 유닛(2130)은 외부 배터리(도시하지 않음) 등으로부터 일정 전압을 공급받아 이를 요구되는 전압 레벨로 분기하여 상기 마이크로 프로세서 유닛(2120), 상기 기능 유닛(2140), 상기 디스플레이 컨트롤러 유닛(2150) 등으로 공급하는 역할을 할 수 있다. 상기 마이크로 프로세서 유닛(2120)은 상기 파워 유닛(2130)으로부터 전압을 공급받아 상기 기능 유닛(2140)과 상기 디스플레이 유닛(2160)을 제어할 수 있다. 상기 기능 유닛(2140)은 다양한 전자 시스템(2100)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(2100)이 휴대폰인 경우 상기 기능 유닛(2140)은 다이얼링, 또는 외부 장치(External Apparatus; 2170)와의 교신으로 상기 디스플레이 유닛(2160)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 휴대폰 기능을 수행할 수 있는 여러 구성요소들을 포함할 수 있으며, 카메라가 함께 장착된 경우 카메라 이미지 프로세서(Camera Image Processor)의 역할을 할 수 있다.
- [0102] 응용 실시 예에서, 상기 전자 시스템(2100)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 상기 기능 유닛(2140)은 메모리 카드 컨트롤러일 수 있다. 상기 기능 유닛(2140)은 유선 혹은 무선의 통신 유닛(Communication Unit; 2180)을 통해 상기 외부 장치(2170)와 신호를 주고 받을 수 있다. 더 나아가서, 상기 전자 시스템(2100)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 상기 기능 유닛(2140)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다. 이에 더하여, 상기 기능 유닛(2140)은 대용량 저장 장치를 포함할 수 있다.
- [0103] 도 1 내지 도 21을 참조하여 설명한 것과 유사한 반도체 패키지는 상기 기능 유닛(2140)에 적용될 수 있다. 예를 들면, 상기 기능 유닛(2140)은 상기 기판(3), 상기 외부 단자들(5), 상기 지지대(50), 상기 칩 스택(9), 및 상기 제3 접착 막(54)를 포함할 수 있다. 상기 외부 단자들(5)은 상기 바디(2110)에 접속될 수 있다. 이 경우, 상기 전자 시스템(2100)은 다수의 반도체 칩들을 탑재하면서도 경박단소화에 유리하고, 신호 전달 경로의 단축에 따른 고속 동작 특성을 보일 수 있다.
- [0104] 이상 첨부된 도면을 참조하여 본 발명의 실시 예들을 개략적으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다.

**부호의 설명**

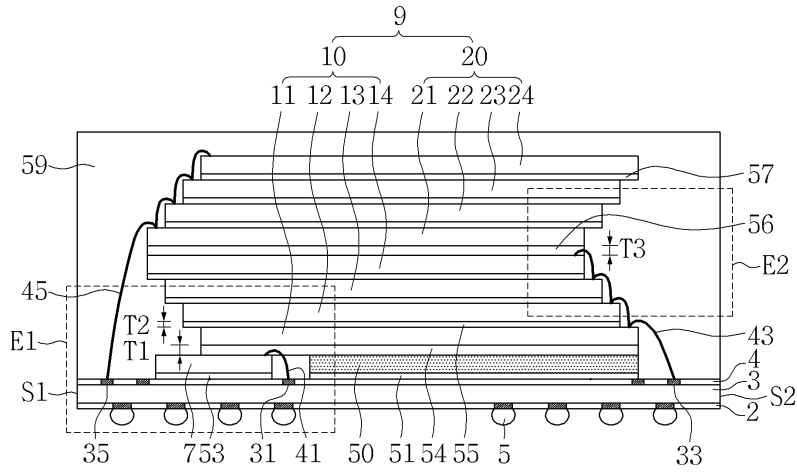
- [0105] 2, 4, 112, 114: 솔더 레지스트                    3, 113: 기판  
 5, 125: 외부 단자                                         7: 제1 반도체 칩  
 9: 칩 스택(chip stack)                                 10, 20: 제1 및 제2 칩 스택  
 11, 12, 13, 14, 21, 22, 23, 24: 제2 내지 제9 반도체 칩  
 31, 31A, 32, 32A, 33, 33A, 35: 전극 핑거  
 51, 52, 52A, 53, 53A, 54, 54A, 55, 56, 57: 접착 막  
 41, 41A, 42, 42A, 43, 45: 도전성 접속  
 50, 50A, 50B, 50C, 50D: 지지대  
 59, 159: 봉지재  
 61: 버퍼 칩     62: 수동소자  
 71, 73, 75: 관통 전극                                 72: 솔더 볼  
 1900: 핸드폰  
 2100: 전자시스템  
 2110: 바디    2120: 마이크로 프로세서 유닛  
 2130: 파워 유닛                                         2140: 기능 유닛  
 2150: 디스플레이 컨트롤러 유닛                    2160: 디스플레이 유닛

2170: 외부 장치

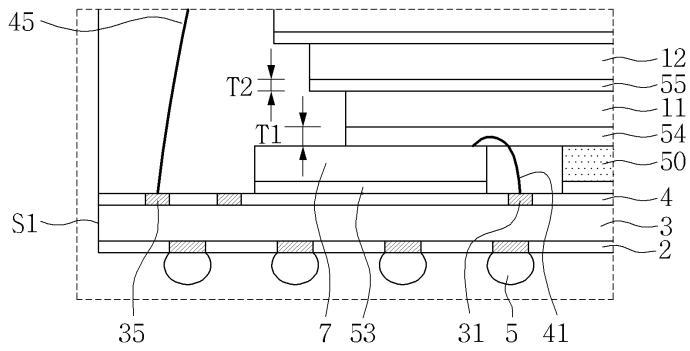
2180: 통신 유닛

도면

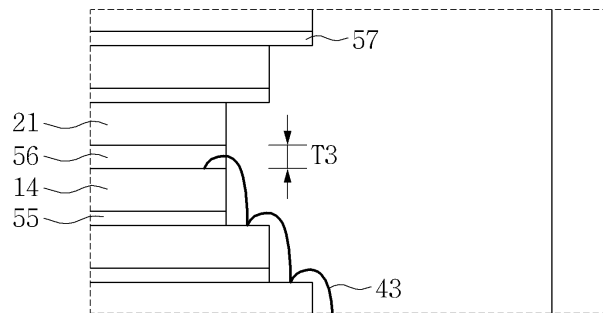
도면1



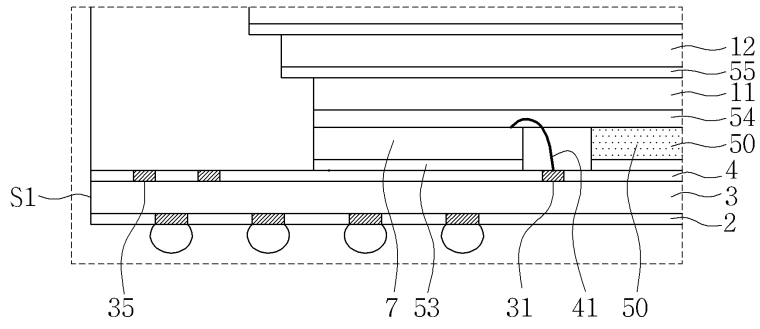
도면2a



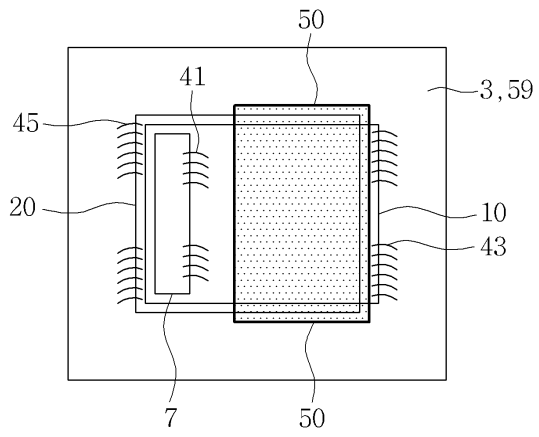
도면2b



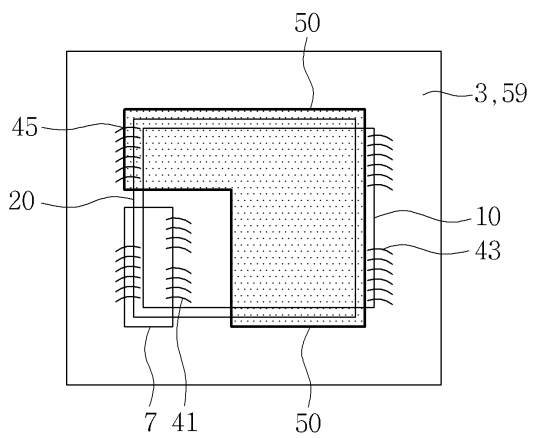
도면2c



도면3

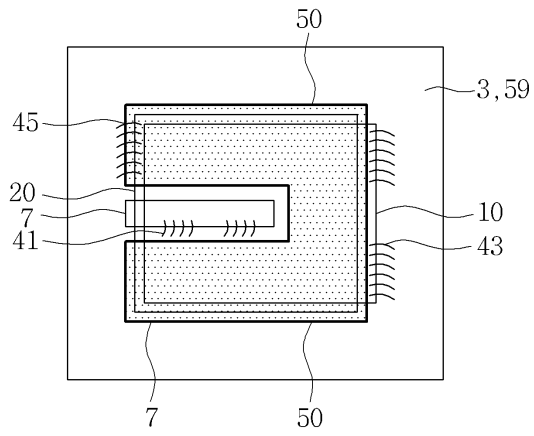


도면4

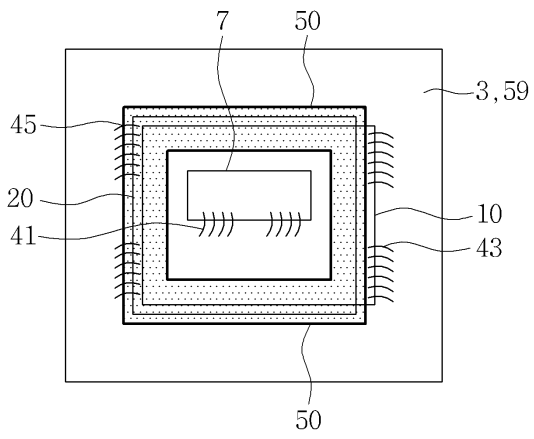




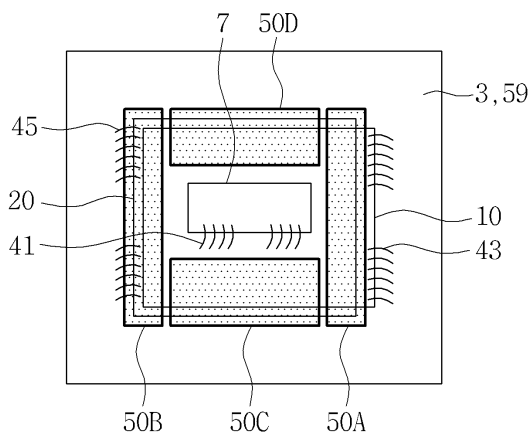
도면5



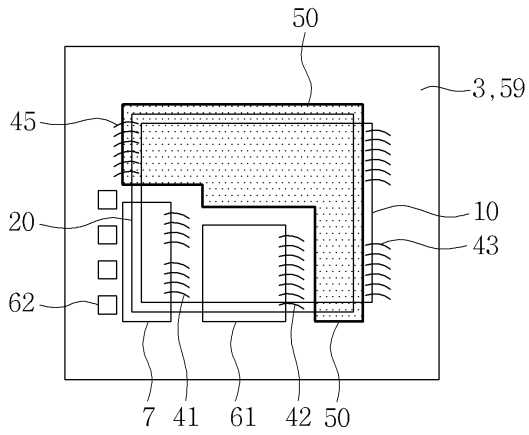
도면6



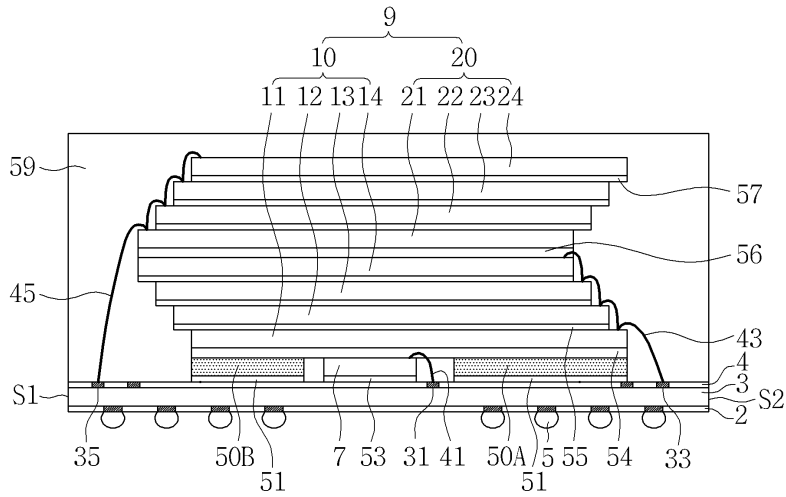
도면7



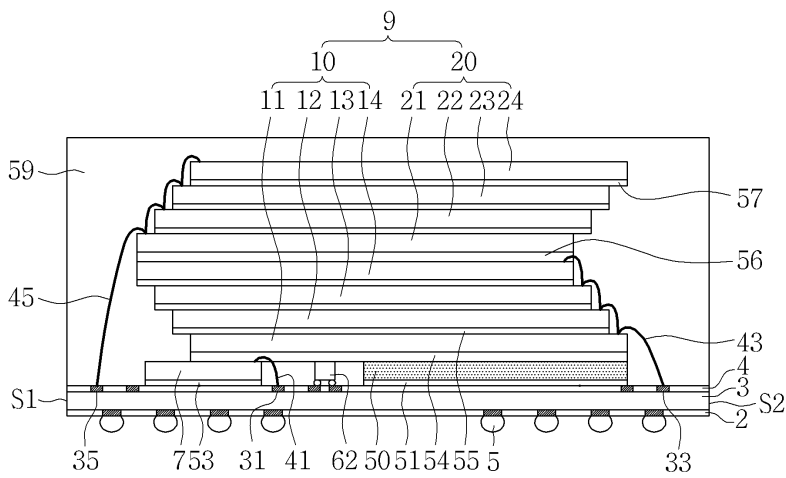
도면8



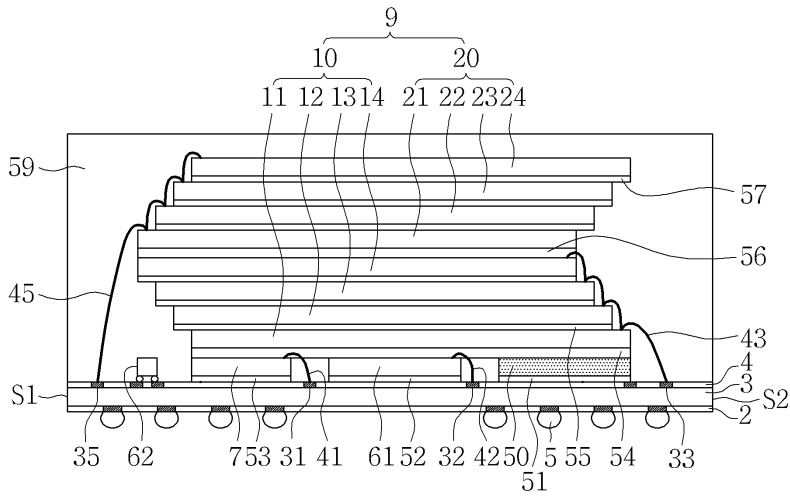
도면9



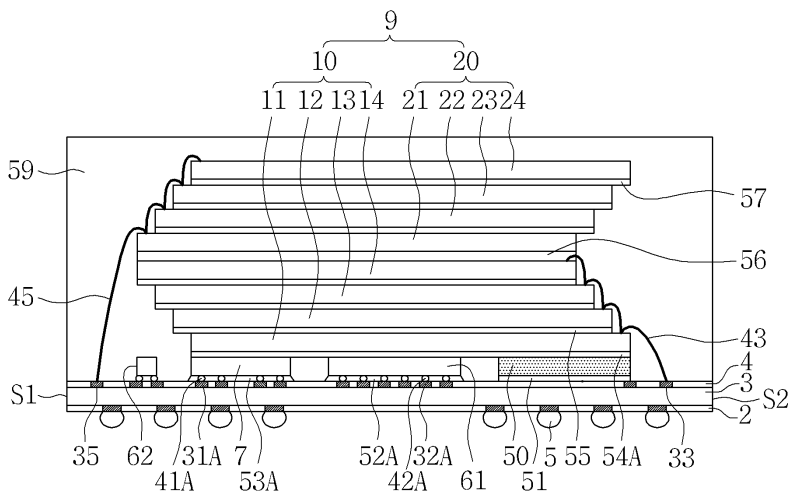
도면10



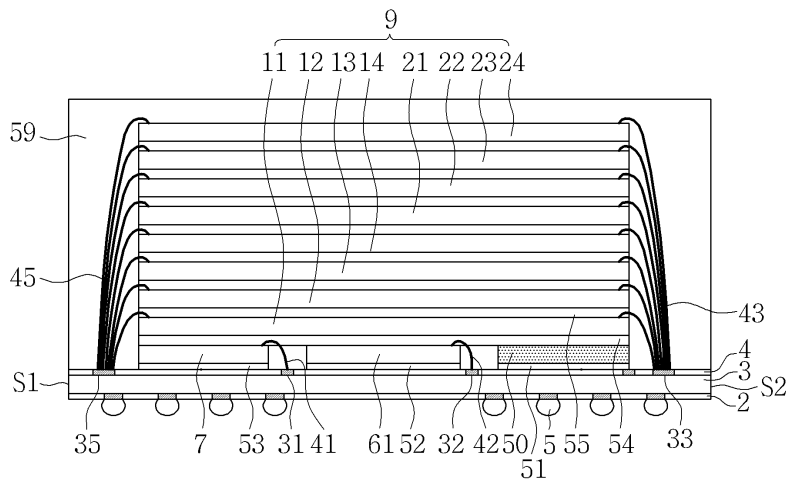
도면11



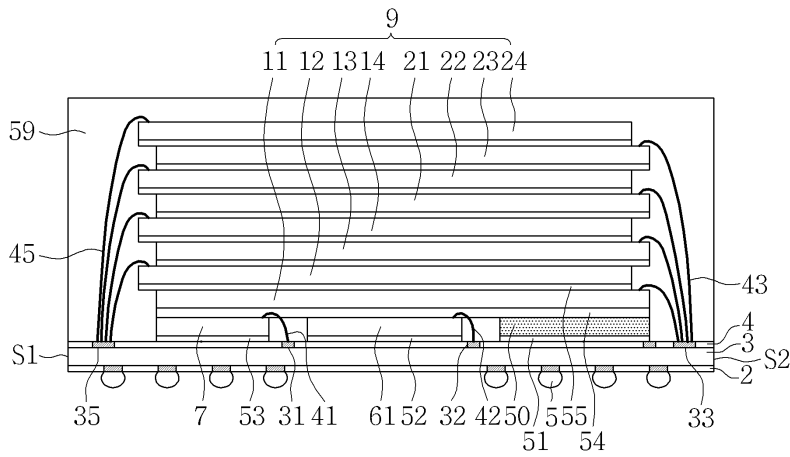
도면12



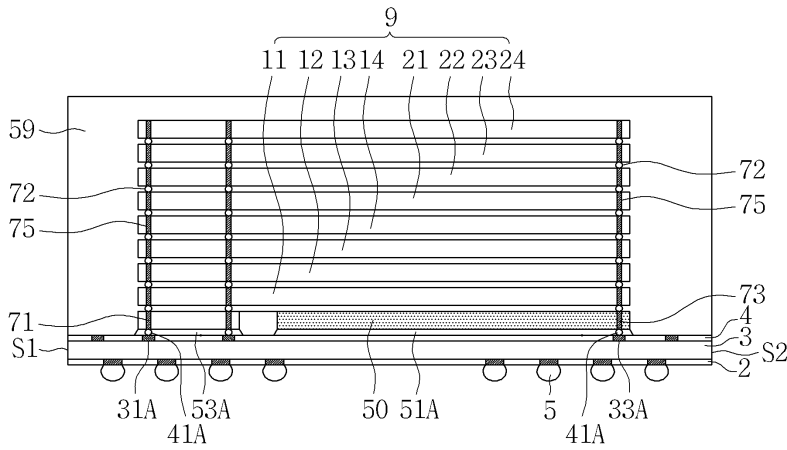
도면13



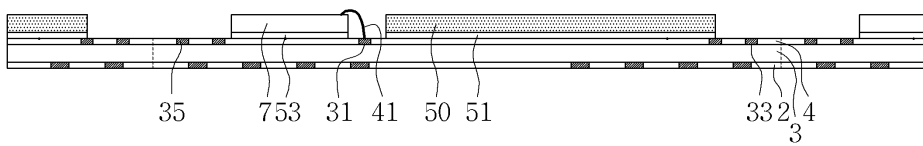
도면14



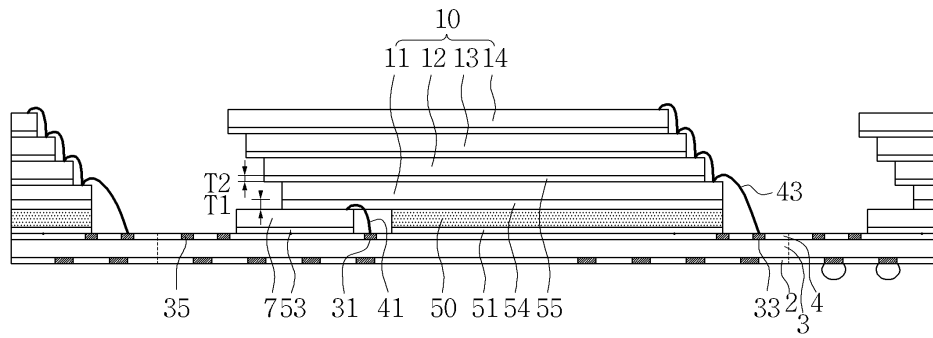
도면15



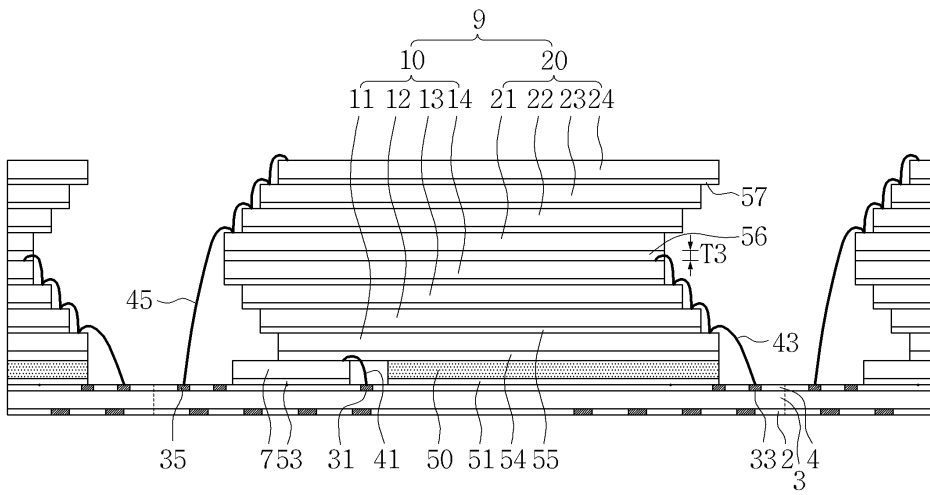
도면16



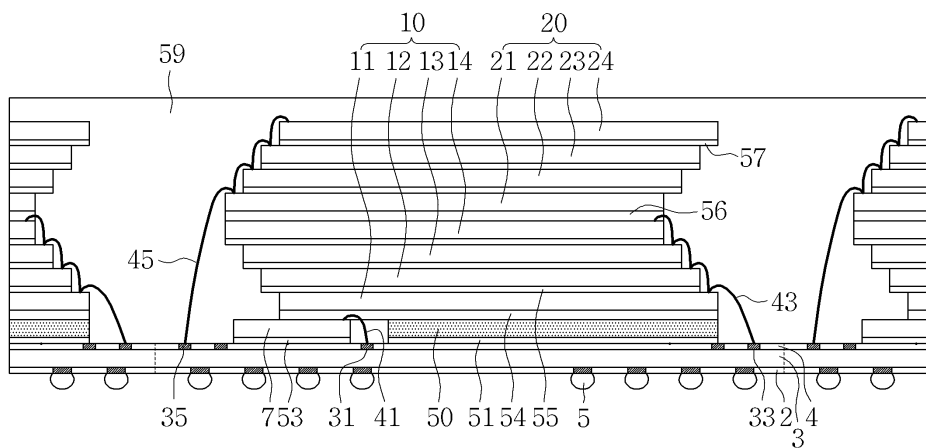
도면17



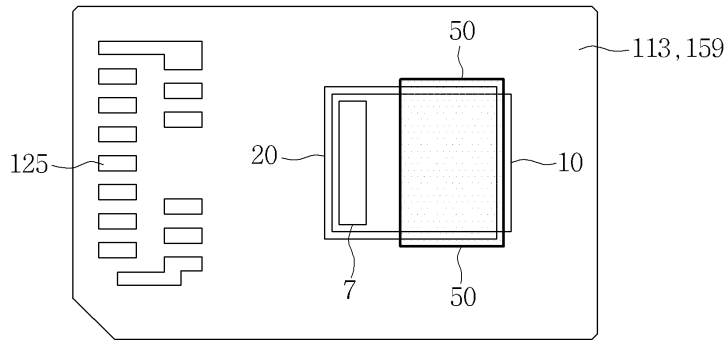
도면18



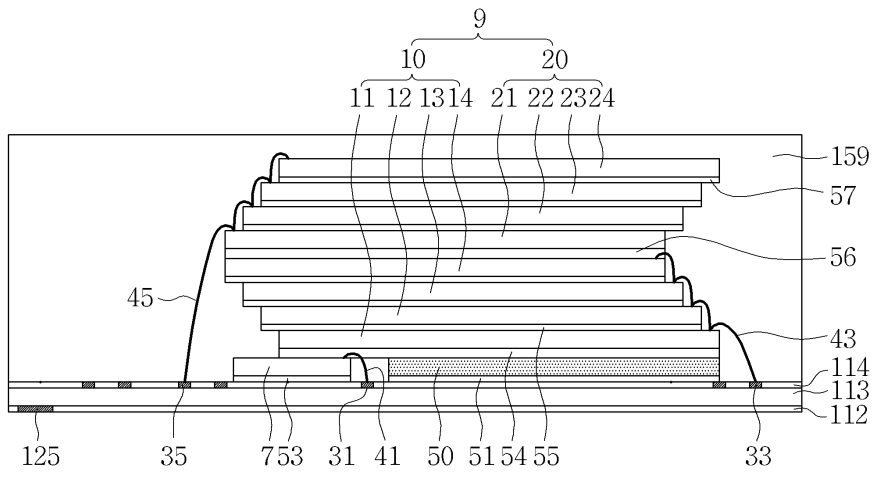
도면19



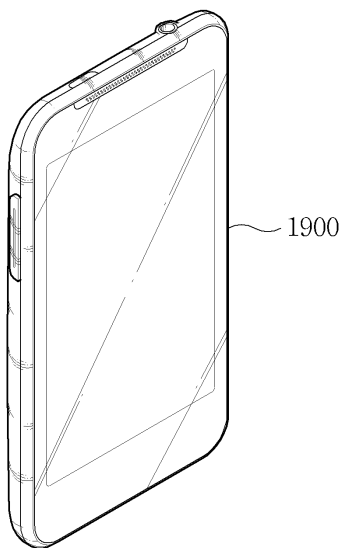
도면20



도면21



도면22



도면23

