



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0040061
(43) 공개일자 2011년04월20일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2009-0097187

(22) 출원일자 2009년10월13일

심사청구일자 2009년10월13일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천광역시 남구 용현3동 인하대학교 전자공학과
하이테크관 810호

김원

인천광역시 남구 용현3동 인하대학교 전자공학과
하이테크관 810호

(74) 대리인

유완식, 이은철

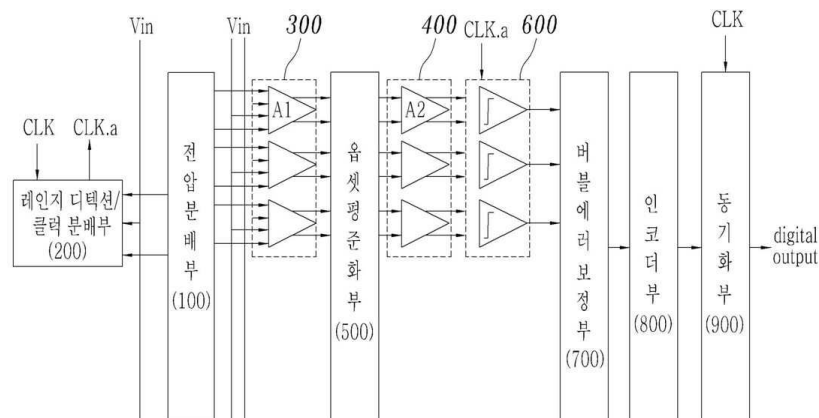
전체 청구항 수 : 총 8 항

(54) 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기

(57) 요약

본 발명은 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기에 관한 것으로서, 저항을 이용하여 전압 분배에 의해 기준전압을 분배하는 전압 분배부; 메인 클럭신호 및 아날로그 입력 신호를 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력신호가 전압 분배부에서 나온 출력전압의 범위에 들어갈 때에 해당 범위를 감지하고 해당 범위에서만 클럭신호를 발생시키는 레인지 디텍션/클럭 분배부; 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 전압 분배부로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부; 비교부로부터 넘어오는 킥백 노이즈를 막아주며, 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부로부터 2개의 출력신호를 입력받아 증폭시키는 제 2 전단증폭부; 상기 레인지 디텍션/클럭 분배부로부터 클럭소스를 입력받으며, 3개의 비교기로 구성되어 각각의 비교기가 상기 제 2 전단증폭부로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부; 상기 비교부에서 발생하는 버블에러를 보정하는 버블에러 보정부; 버블에러가 보정된 출력된 신호를 입력받아 디지털 코드로 변환하는 인코더부; 및 메인 클럭신호를 입력받아, 상기 인코더부로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시키는 동기화부; 를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 C1090-0902-0019

부처명 정보통신부

연구관리전문기관

연구사업명 대학 IT연구센터 육성 지원

연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술

기여율

주관기관 인하대학교 산학협력단

연구기간 2008년 03월 01일 ~ 2009년 08월 31일

특허청구의 범위

청구항 1

디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기에 있어서,

저항을 이용하여 전압분배에 의해 기준전압을 분배하는 전압 분배부(100);

메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)를 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력신호(Vin)가 전압 분배부(100)에서 나온 출력전압의 범위에 들어갈 때에 해당 범위를 감지하고 해당 범위에서만 클럭신호를 발생시키는 레인지 디텍션/클럭 분배부(200);

3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 전압 분배부(100)로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부(300);

비교부(600)로부터 넘어오는 킥백 노이즈를 막아주며, 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부(300)로부터 2개의 출력신호를 입력받아 증폭시키는 제 2 전단증폭부(400);

상기 레인지 디텍션/클럭 분배부(200)로부터 클럭소스를 입력받으며, 3개의 비교기로 구성되어 각각의 비교기가 상기 제 2 전단증폭부(400)로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부(600);

상기 비교부(600)에서 발생하는 버블에러를 보정하는 버블에러 보정부(700);

버블에러가 보정된 출력된 신호를 입력받아 디지털 코드로 변환하는 인코더부(800); 및

메인 클럭신호(CLK)를 입력받아, 상기 인코더부(800)로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시키는 동기화부(900); 를 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 2

제 1 항에 있어서,

상기 제 1 전단증폭부(300)와 제 2 전단증폭부(400) 사이에 위치하여, 오프셋에 의한 영향을 감소시키는 오프셋 평준화부(500); 를 더 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 3

제 1 항에 있어서,

상기 레인지 디텍션/클럭 분배부(200)는,

메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)를 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력 신호(Vin)가 상기 전압 분배부(100)로터 출력된 2개의 기준전압 사이를 통과할 때만 클럭신호를 발생시키는 디지털 레인지 디텍터단(210); 및

상기 비교부(600)의 부하를 고려하여, 디지털 레인지 디텍터단(210)에서 출력되는 나오는 클럭신호를 버퍼링 하여 비교부(600)에 공급하는 클럭 분배단(220); 을 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 4

제 3 항에 있어서,

상기 디지털 레인지 디텍터단(210)은,

메인 클럭신호(CLK), 1개의 아날로그 입력신호 Vin과 2개의 기준전압 입력 ref1, ref2를 받으며, 아날로그 입력 신호와 기준전압 입력들을 비교 연산한 후, 해당 출력신호를 서브 래치부(212) 및 메인 래치부(213)로 보내는 레인지 디텍터부(211);

상기 레인지 디텍터부(211)로부터 아날로그 입력신호 Vin과 기준전압 ref2의 비교 연산된 결과 출력신호를 입력 받아, 메인 래치부(213)의 작동 유무를 결정하는 컨트롤 신호를 발생시키는 서브 래치부(212); 및

상기 레인지 디텍터부(211)로부터 아날로그 입력신호 Vin과 기준전압 ref1의 비교 연산된 결과 출력신호를 입력 받아, 비교부(600)에서 사용될 펄스 형태의 클럭신호를 발생시키는 메인 래치부(213); 를 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 5

제 4 항에 있어서,

상기 서브 래치부(212)는,

아날로그 입력신호 Vin> 기준전압 ref2일 경우, 메인 래치부(213)의 소정 스위치를 오프(Off)시킴으로써, 메인 래치부(213)에서 클럭이 발생하지 못하도록 하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 6

제 4 항에 있어서,

상기 레인지 디텍터부(211)는,

일정한 전류를 공급하는 전류원인 MN5 및 MN6 트랜지스터, 아날로그 입력신호 Vin과 기준전압 ref1, ref2를 입력받는 MN1, MN2, MN3 및 MN4 트랜지스터, 상기 서브 래치부(212)와 메인 래치부(213)에 비교 연산된 출력신호를 보내주기 위한 MP1, MP2, MP3 및 MP4 트랜지스터를 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 7

제 4 항에 있어서,

상기 서브 래치부(212)는,

정제환 구조를 이루며, 래치의 이득을 높이는 MN7, MN8, MN9 및 MN10 트랜지스터, 출력전압 레벨을 증가시키는 레벨 쉬프트 트랜지스터인 MN11 트랜지스터, 상기 레인지 디텍터부(211)로부터 연산된 결과를 입력받는 MP5 및 MP6 트랜지스터를 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

청구항 8

제 4 항에 있어서,

상기 메인 래치부(213)는,

작동 유무를 결정하는 스위치 트랜지스터인 MN14 트랜지스터, 정제환 구조를 이루며, 래치의 이득을 높이는 MN12 및 MN13 트랜지스터, 상기 레인지 디텍터부(211)로부터 연산된 결과를 입력받는 MP7 및 MP10 트랜지스터, 메인 클럭신호(CLK) 받아서 출력 오프셋을 상쇄시키는 이퀄라이저 트랜지스터인 MP11 트랜지스터, 딜레이된 클럭 신호(CLKD)를 받아서 리셋과 프리-차지를 담당하는 MP8 및 MP9 트랜지스터를 포함하는 것을 특징으로 하는 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 디지털 레인지 디텍터단 회로를 이용하여 전체 비교기열 중에서 일부 비교기단에만 선택적으로 클럭을 공급하는 기술에 관한 것으로서, 더욱 상세하게는 디지털 레인지 디텍터단 회로에서 아날로그 입력 전압 범위를 감지하여 해당하는 입력 전압 범위일 때만 비교부를 구동시켜, 전체 아날로그-디지털 변환기의 동적 소비전력을 감소시킬 수 있도록 한 저전력 아날로그-디지털 변환기 회로설계 기법에 관한 것이다.

배경 기술

[0002] 최근 이동통신 기술의 발달과 함께 고속, 저전력 장비 개발이 중요시되고 있다. 특히 UWB(Ultra Wide-Band) 통신 시스템의 BB(Base-Band)단에는 고속의 시스템을 구현하기 위해서 트랜시버 전단부에 고속 아날로그-디지털 변환기를 이용한 신호처리가 선행되어야 한다.

[0003] 수신단에 사용되는 아날로그-디지털 변환기는 8비트 이하의 해상도, 1GS/s 이상의 고속의 데이터 변환속도를 위해 아날로그-디지털 변환기 구조 중 가장 빠른 구조인 플래쉬 구조가 이용된다.

[0004] 완전 병렬구조로도 알려진 플래쉬 A/D 변환기는 기본적으로 가장 빠른 구조이며 개념상 이해하기도 쉬운 구조이다.

[0005] 기존에 나와있는 플래쉬 A/D 변환기는 크게 저항열, 1, 2단 전단증폭기, 읍셋 평준화부, 비교기, 인코더로 구성된다.

[0006] 간단히 플래쉬 A/D 변환기의 동작을 살펴보면, 아날로그 입력 신호 Vin은 각 전단증폭기의 한쪽 입력단에 인가되고, 아날로그 신호와 비교되는 기준전압은 다른 쪽 입력단에 인가된다. 여기서, 각 기준전압은 입력 신호의 full-scale과 동일한 크기의 전압 Vref를 저항열을 사용하여 2^N 개로 나누어진 전압이다. 전단증폭기는 아날로그 입력 신호와 기준전압과의 차이를 일정한 전압이득으로 증폭하여 비교기에서 디지털 코드로 변환하는데 용이하도록 한다. 전단증폭기의 출력으로부터 N-비트의 디지털 출력 신호를 한 클럭 주기 안에 얻기 위해 모든 비교기는 동시에 동작하여 입력 신호를 디지털로 변환시킨다. 각 비교기는 입력신호가 기준전압보다 크면 "1"을, 작으면 "0"을 출력하기 때문에 플래쉬 A/D 변환기 출력은 입력 신호보다 작은 기준전압을 받아들이는 비교기까지 "1"을 출력하는 온도계 코드 형태를 나타낸다.

[0007] 일반적으로 플래쉬 A/D 변환기의 온도계 코드는 인코딩을 쉽게 하기 위해 온도계 코드 검출기를 통해 1-of-n 코드로 바뀌어진다. 끝으로 인코더는 온도계 코드 검출기에 의해 변환된 1-of-n 코드 출력을 주로 이진 혹은 그레이 코드 등으로 전환시킨다.

[0008] 이와 같이 플래쉬 A/D 변환기 구조는, 입력 신호에 대해 모든 비교기가 동시에 결과를 출력하므로 디지털 신호로 변환하는데 한 클럭 주기만을 필요로 한다. 따라서, 플래쉬 A/D 변환기는 다른 구조에 비해 훨씬 빠른 속도로 동작할 수 있다. 단지 플래쉬 A/D 변환기의 속도는 전단증폭기, 비교기 및 사용되는 로직의 속도에 의해 제한된다. 한편 전단증폭기에 인가되는 기준전압은 Vref와 접지 사이의 직렬로 연결된 저항열에 의해 만들어지기 때문에 생성된 기준전압은 접지로부터 저항 수가 늘어날수록 기준전압도 증가하는 단조성의 장점을 지니며, 이 특성이 DNL을 작게 한다.

[0009] 그러나 이러한 장점에도 불구하고 플래쉬 A/D 변환기는 면적 및 전력 소모 측면에서 단점을 가진다. 플래쉬 A/D 변환기에 사용되는 비교기의 수는 해상도 N-비트에 대해 2^N-1 개의 지수함수로 비례하기 때문에 높은 해상도를 요구하는 플래쉬 A/D 변환기의 경우, 많은 수의 비교기에 의해 면적 및 전력 소모가 커지고 입력 커패시턴스가 지수적으로 증가하는 문제점이 있다. 특히 비교기에는 고속의 클럭이 지속적으로 공급되며, 이로 인해 동적 소비전력이 크게 증가한다.

발명의 내용

해결 하고자하는 과제

[0010] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 디지털 레인지 디텍터단 회로를 이용하여 입력 전압 범위를 감지하고, 해당하는 입력 전압 범위일 때만, 비교부를 구동시킴으로써 전체 아날로그-디지털 변환기의 동적 소비전력을 감소시킬 수 있도록 한 저전력 아날로그-디지털 변환기를 제공함에 그 특징적인 목적이 있다.

과제 해결수단

[0011] 이러한 기술적 과제를 달성하기 위한 본 발명은, 저항을 이용하여 전압분배에 의해 기준전압을 분배하는 전압 분배부; 메인 클럭신호 및 아날로그 입력 신호를 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력신호가 전압 분배부에서 나온 출력전압의 범위에 들어갈 때에 해당 범위를 감지하고 해당 범위에서만 클럭신호를 발생시키는 레인지 디텍션/클럭 분배부; 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 전압 분배부로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부; 비교부로부터 넘어오는 킥백 노이즈를 막아주며, 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부로부터 2개의 출력신호를 입력받아 증폭시키는 제 2 전단증폭부; 상기 레인지 디텍션/클럭 분배부로부터 클럭소스를 입력받으며, 3개의 비교기로 구성되어 각각의 비교기가 상기 제 2 전단증폭부로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부; 상기 비교부에서 발생하는 버블에러를 보정하는 버블에러 보정부; 버블에러가 보정된 출력된 신호를 입력받아 디지털 코드로 변환하는 인코더부; 및 메인 클럭신호를 입력받아, 상기 인코더부로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시키는 동기화부; 를 포함한다.

효 과

[0012] 상기와 같은 본 발명에 따르면, 디지털 레인지 디텍터단 회로를 이용함으로써, 아날로그 입력신호의 해당 범위에서만 메인 비교기단에 클럭을 공급하여 전체 아날로그-디지털 변환기의 동적 소비전력을 감소시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0013] 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

[0014] 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.

[0015] 본 발명에 따른 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기에 관하여 도 1 내지 도 4 를 참조하여 설명하면 다음과 같다.

[0016] 도 1 은 본 발명에 따른 디지털 레인지 디텍터 회로를 이용한 아날로그-디지털 변환기에 관한 전체 구성도로서, 도시된 바와 같이 전압 분배부(100), 레인지 디텍션/클럭 분배부(200), 제 1 전단증폭부(300), 제 2 전단증폭부(400), 옅셋 평준화부(500), 비교부(600), 버블에러 보정부(700), 인코더부(800) 및 동기화부(900)를 포함하여 이루어진다.

[0017] 구체적으로, 전압 분배부(100)는 저항을 이용하여 전압분배에 의해 기준전압을 분배한다.

[0018] 레인지 디텍션/클럭 분배부(200)는 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력신호(Vin)가 전압 분배부(100)에서 나온 출력전압의 범위에 들어갈 때에 해당 범위를 감지하고 해당 범위에서만 클럭신호를 발생시킨다.

[0019] 제 1 전단증폭부(300)는 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 전압 분배부(100)로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시킨다.

[0020] 제 2 전단증폭부(400)는 비교부(600)로부터 넘어오는 킥백 노이즈를 막아주며, 3개의 전단증폭기로 구성되어 각각의 전단증폭기가 제 1 전단증폭부(300)로부터 2개의 출력신호를 입력받아 증폭시킨다.

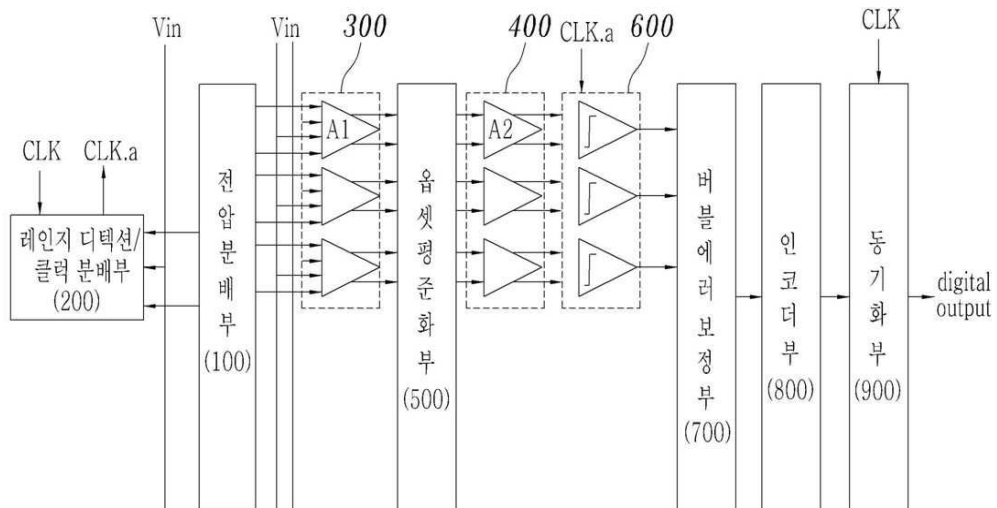
[0021] 옅셋 평준화부(500)는 제 1 전단증폭부(300)와 제 2 전단증폭부(400) 사이에 위치하여, 옅셋에 의한 영향을 감소시킨다.

- [0022] 비교부(600)는 레인지 디택션/클럭 분배부(200)로부터 클럭소스를 입력받으며, 3개의 비교기로 구성되어 각각의 비교기가 제 2 전단증폭부(400)로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시킨다.
- [0023] 버블에러 보정부(700)는 비교부(600)에서 발생하는 버블에러를 보정하는 기능을 수행한다.
- [0024] 인코더부(800)는 버블에러가 보정된 출력된 신호를 입력받아 디지털 코드로 변환하는 기능을 수행한다.
- [0025] 동기화부(900)는 메인 클럭신호(CLK)를 입력받아, 인코더부(800)로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시킨다.
- [0026] 도 2 는 본 발명에 따른 레인지 디택션/클럭 분배부(200)에 관한 세부 구성도로서, 도시된 바와 같이 디지털 레인지 디택터단(210) 및 클럭 분배단(220)을 포함한다.
- [0027] 디지털 레인지 디택터단(210)은 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력 신호(Vin)가 상기 전압 분배부(100)로부터 출력된 2개의 기준전압 사이를 통과할 때만 클럭신호를 발생시킨다.
- [0028] 클럭 분배단(220)은 비교부(600)의 부하를 고려하여, 디지털 레인지 디택터단(210)에서 출력되는 나오는 클럭신호를 버퍼링 하여 비교부(600)에 공급한다.
- [0029] 도 3 은 본 발명에 따른 디지털 레인지 디택터단(210)의 회로도로서, 도시된 바와 같이, 레인지 디택터부(211), 서브 래치부(212) 및 메인 래치부(213)로 구성된다.
- [0030] 우선, 레인지 디택터부(211)는 메인 클럭신호(CLK), 1개의 아날로그 입력신호 Vin과 2개의 기준전압 입력 ref1, ref2를 받으며, 아날로그 입력신호와 기준전압 입력들을 비교 연산한 후, 해당 출력신호를 서브 래치부(212) 및 메인 래치부(213)로 보낸다.
- [0031] 여기서 레인지 디택터부(211)는, 차동 증폭기 형태의 레인지 디택터부(211)에 일정한 전류를 공급하는 전류원인 MN5 및 MN6 트랜지스터, 아날로그 입력신호 Vin과 기준전압 ref1, ref2를 입력받는 MN1, MN2, MN3 및 MN4 트랜지스터, 서브 래치부(212)와 메인 래치부(213)에 비교 연산된 출력신호를 보내주기 위한 MP1, MP2, MP3 및 MP4 트랜지스터로 이루어져 있다.
- [0032] 또한, 서브 래치부(212)는 레인지 디택터부(211)로부터 아날로그 입력신호 Vin과 기준전압 ref2의 비교 연산된 결과 출력신호를 입력받아, 메인 래치부(213)의 전체 작동 유무를 결정하는 컨트롤 신호(메인 래치부(213)의 MN14 트랜지스터를 온/오프(On/Off)시키는 컨트롤 신호)를 발생시킨다.
- [0033] 즉, 아날로그 입력신호 Vin > 기준전압 ref2일 경우, 메인 래치부(213)의 MN14 스위치를 오프(Off)시킴으로써, 메인 래치부(213)에서 클럭이 발생하지 못하도록 한다.
- [0034] 여기서 서브 래치부(212)는, 정제환 구조를 이루며, 래치의 이득을 높이는 MN7, MN8, MN9 및 MN10 트랜지스터, 출력전압 레벨을 증가시키는 레벨 쉬프트 트랜지스터인 MN11 트랜지스터, 레인지 디택터부(211)로부터 연산된 결과를 입력받는 MP5 및 MP6 트랜지스터로 이루어져 있다.
- [0035] 그리고, 메인 래치부(213)는 레인지 디택터부(211)로부터 아날로그 입력신호 Vin과 기준전압 ref1의 비교 연산된 결과 출력신호를 입력받아, 비교부(600)에서 사용될 펄스 형태의 클럭신호를 발생시킨다.
- [0036] 여기서 메인 래치부(213)는, 작동 유무를 결정하는 스위치 트랜지스터인 MN14 트랜지스터, 정제환 구조를 이루며, 래치의 이득을 높이는 MN12 및 MN13 트랜지스터, 레인지 디택터부(211)로부터 연산된 결과를 입력받는 MP7 및 MP10 트랜지스터, 메인 클럭신호(CLK) 받아서 출력 오프셋을 상쇄시키는 이퀄라이저 트랜지스터인 MP11 트랜지스터, 딜레이된 클럭신호(CLKD)를 받아서 리셋과 프리-차지를 담당하는 MP8 및 MP9 트랜지스터를 포함하여 이루어진다.
- [0037] 예를 들어, 기준전압 ref1 < ref2 이며, 아날로그 입력신호 Vin이 ref1 아래에서부터 ref2 위로 향하는 램프형태의 아날로그 입력이라고 가정한다. Vin < ref1 < ref2 일때는 비교기의 동작원리상 서브 래치부(212), 메인 래치부(213) 모두 Low 출력을 내보내게 된다. 또한 아날로그 입력신호 Vin이 ref1 < Vin < ref2로 이동하면, Vin이 ref1

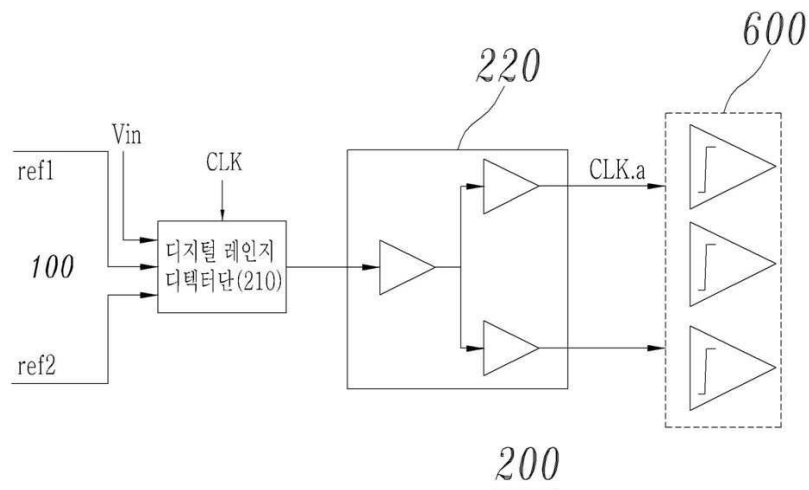
[0052]	900: 동기 화부	210: 디지털 레인지 디텍터단
[0053]	220: 클럭 분배단	211: 레인지 디텍터부
[0054]	212: 서브 래치부	213: 메인 래치부

도면

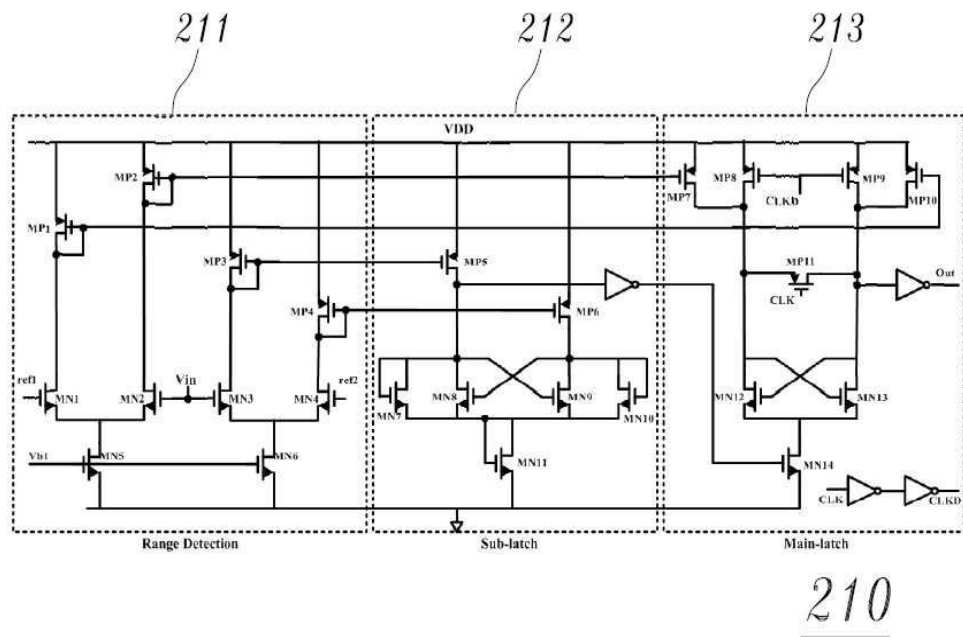
도면1



도면2



도면3



도면4

