

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03L 7/00 (2006.01)

H03L 7/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480037036.1

[45] 授权公告日 2010 年 3 月 10 日

[11] 授权公告号 CN 100593908C

[22] 申请日 2004.12.10

[21] 申请号 200480037036.1

[30] 优先权

[32] 2003.12.11 [33] US [31] 60/528,958

[86] 国际申请 PCT/CA2004/002110 2004.12.10

[87] 国际公布 WO2005/057791 英 2005.6.23

[85] 进入国家阶段日期 2006.6.12

[73] 专利权人 睦塞德技术公司

地址 加拿大安大略

[72] 发明人 迪特尔·黑勒

[56] 参考文献

US6229362B1 2001.5.8

US2003/0076142A1 2003.4.24

EP1292033A1 2003.3.12

审查员 穆飞鹏

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 陈瑞丰

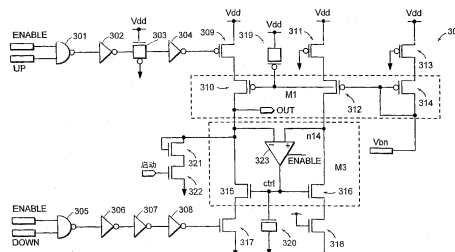
权利要求书 3 页 说明书 13 页 附图 9 页

[54] 发明名称

用于 PLL/DLL 的高输出阻抗电荷泵

[57] 摘要

一种在锁相环/延迟锁定环中使用的电荷泵，包括：上拉电路、下拉电路和运算放大器。将电荷泵设计为使与上拉和下拉电路的操作相关联的静态相位误差最小。运算放大器的使用还减轻了低电源电压的影响。



1. 一种电荷泵，包括：

上拉电路，提供上拉电流以提高电荷泵输出处的电压；

下拉电路，提供下拉电流以减小电荷泵输出处的电压；

运算放大器，具有第一输入和第二输入，第一输入与电荷泵输出相连，第二输入与向下拉电路提供电流的晶体管的漏极相连，运算放大器输出与下拉电路和所述晶体管的栅极相连，运算放大器根据第二输入和第一输入之间的电压差来调整运算放大器输出处的电压电平，以使第二输入和第一输入之间的电压差最小，并减小下拉电流和上拉电流之差；以及

与第一输入相连的启动电路，在电荷泵的加电期间，所述启动电路将第一输入处的电压设为低于电源电压的电压电平。

2. 根据权利要求1所述的电荷泵，其中，向电荷泵提供的电源电压是1伏特。

3. 根据权利要求1所述的电荷泵，其中，上拉电路包括第一PMOS器件和第二PMOS器件，第一PMOS器件的漏极与第二PMOS器件的源极相连，第一PMOS器件的源极与电源电压节点相连，以及第二PMOS器件的漏极与电荷泵输出相连，当第一PMOS器件导通时，上拉电路提供上拉电流。

4. 根据权利要求1所述的电荷泵，其中，下拉电路包括第一NMOS器件和第二NMOS器件，第一NMOS器件的漏极与第二NMOS器件的源极相连，第一NMOS器件的源极与地相连，以及第二NMOS器件的漏极与电荷泵输出相连，当第一NMOS器件导通时，下拉电路提供下拉电流。

5. 根据权利要求1所述的电荷泵，还包括：

向下拉电路和上拉电路提供电流的基准电流源。

6. 根据权利要求5所述的电荷泵，其中，基准电流源包括可编程晶体管阵列。

7. 根据权利要求1所述的电荷泵,其中,运算放大器具有轨至轨的输入范围和轨至轨的输出范围。

8. 根据权利要求6所述的电荷泵,其中,上拉电路包括第一PMOS器件和第二PMOS器件,第一PMOS器件的漏极与第二PMOS器件的源极相连,第一PMOS器件的源极与电源电压节点相连,以及第二PMOS器件的漏极与电荷泵输出相连,当第一PMOS器件导通时,上拉电路提供上拉电流。

9. 根据权利要求6所述的电荷泵,其中,下拉电路包括第一NMOS器件和第二NMOS器件,第一NMOS器件的漏极与第二NMOS器件的源极相连,第一NMOS器件的源极与地相连,以及第二NMOS器件的漏极与电荷泵输出相连,当第一NMOS器件导通时,下拉电路提供下拉电流。

10. 根据权利要求6所述的电荷泵,其中,运算放大器具有轨至轨的输入范围和轨至轨的输出范围。

11. 一种用于使电荷泵中的偏差电流最小的方法,包括:

提供上拉电流以提高电荷泵输出处的电压,以及提供下拉电流以减小电荷泵输出处的电压;

将运算放大器的第一输入与电荷泵输出相连;

将运算放大器的第二输入与向下拉电路提供电流的晶体管的漏极相连,

将运算放大器输出与下拉电路和所述晶体管的栅极相连;

在电荷泵的加电期间,将第一输入处的电压设置为低于电源电压的电压电平;以及

根据第二输入和第一输入之间的电压差来调整运算放大器输出处的电压电平,以使第二输入和第一输入之间的电压差最小,并减小上拉电流和下拉电流之差。

12. 根据权利要求11所述的方法,其中,电源电压是1伏特。

13. 一种电荷泵,包括:

用于提供上拉电流以提高电荷泵输出处的电压的装置;

用于提供下拉电流以减小电荷泵输出处的电压的装置;

放大装置，具有第一输入和第二输入，第一输入与电荷泵输出相连，第二输入与向用于提供下拉电流的装置提供电流的晶体管的漏极相连，放大装置输出与用于提供下拉电流的装置和所述晶体管的栅极相连，放大装置根据第二输入和第一输入之间的电压差来调整放大装置输出处的电压电平，以使第二输入和第一输入之间的电压差最小，并减小下拉电流和上拉电流之差；以及

用于在电荷泵的加电期间将第一输入处的电压设为低于电源电压的电压电平的装置。

用于PLL/DLL的高输出阻抗电荷泵

本申请要求于 2003 年 12 月 11 日递交的美国临时申请 No. 60/528,958 的权益。上述申请的整个教益一并在此作为参考。

背景技术

具有可调整延迟线的延迟锁定环 (DLL) 用于通过延迟第一时钟信号将第一时钟信号与第二时钟信号同步。DLL 包括相位检测器, 检查第一时钟信号和第二时钟信号之间的相位差。基于检测到的相位差, DLL 通过将适当的延迟添加到第一时钟信号、直到第二时钟信号与第一时钟信号同相为止, 使第一时钟信号与第二时钟信号同步。

图 1 是现有技术 DLL 100 的方框图。时钟缓冲器 101 缓冲从外部提供的时钟 (CLK), 以提供与压控延迟线 102 和相位检测器 104 相连的基准时钟 (CLK_REF)。压控延迟线 102 产生作为 CLK_REF 的延迟版本的输出时钟 (CLK_OUT), 并将其路由到器件内的各种电路以及复制延迟电路 103。复制延迟电路 103 提供与通过缓冲器 101 和配线路由的延迟相似的延迟。复制延迟 (或者被称作延迟模型电路) 是本领域技术人员公知的。参见授予 Foss 等的美国专利 No. 5,796,673, 来了解关于复制延迟的更多解释。从复制延迟电路 103 输出的反馈时钟信号 CLK_FB 与相位检测器 104 相连。其它现有技术的 DLL 使用数字抽头延迟线。共同所有的美国专利 No. 5,796,673 和 6,087,868 描述了这种类型的 DLL。

取决于 CLK_REF 和 CLK_FB 之间的相位差, 相位检测器 104 产生相位控制信号 (UP, DOWN)。当首先接收到 CLK_REF 上升沿时, 将 UP 信号设为逻辑 “1”, 而当首先接收到 CLK_FB 上升沿时, 将 DOWN 信号设为逻辑 “1”。当接收到两个信号的后续上升沿时, 将 UP 和 DOWN 信号复位为逻辑 “0”。因此, 当在 CLK_FB 上升沿之前

检测到 CLK_REF 上升沿时, UP 信号转变为逻辑“1”, 以便增大压控延迟线 (VCDL) 102 中的延迟, 直到检测到 CLK_FB 的下一个上升沿为止。或者, 如果在 CLK_REF 上升沿之前检测到 CLK_FB 上升沿, DOWN 信号转变为逻辑“1”, 以便减小延迟, 直到检测到 CLK_REF 的下一个上升沿。

电荷泵 105 和环滤波器 106 对相位检测器 104 的相位控制信号 (UP/DOWN) 进行积分, 以便提供可变偏置电压 V_{CTRL} 110。偏置电压 V_{CTRL} 选择要由 VCDL 102 添加到 CLK_REF 的延迟, 以便将 CLK_FB 和 CLK_REF 同步。

图 2 是可以用于图 1 所示现有技术 DLL 中的现有技术电荷泵 200 的示意图。参考图 1 所示的 DLL 系统, DLL 的响应部分地由精确控制在 DLL 中控制压控延迟 102 (图 1) 的控制电压 V_{CTRL} 的能力来确定。所述能力又是由能够将何种精确程度的电流添加到电荷泵 200 的 OUT 节点或从 OUT 节点引出来确定。

电荷泵 200 的 OUT 节点处的电压取决于从相位检测器 104 (图 1) 接收到的相位控制信号 (UP/DOWN)。为了减小延迟, 同时断言 (assert) DOWN 信号和 ENABLE 信号 (逻辑“1”), 这导致晶体管 217 的栅极处的逻辑为“1”, “导通”了晶体管 217。由于晶体管 215 已经“导通”, 电流 (下拉电流) 通过晶体管 215 和晶体管 217 从节点 OUT 流向地。该下拉电流将电荷从 OUT 节点引出, 导致 OUT 节点处的电压下降。

为了增大延迟, 同时断言 UP 信号和 ENABLE 信号 (逻辑“1”), 这导致晶体管 209 的栅极处的逻辑为“0”, “导通”了晶体管 209。由于晶体管 209 “导通”和晶体管 210 “导通”, 电流通过晶体管 209 和晶体管 210 从 V_{dd} 流向 OUT 节点。该电流流经环滤波器 106 (图 1) 并向节点 OUT 增加电荷。增加的电荷增大了 OUT 节点处的电压。

电荷泵 200 包括被标记为 M1、M2 的两个电流镜, 控制向电荷泵 200 的 OUT 节点提供的电流幅度。电流镜 M1 包括主晶体管 214 以及从晶体管 210 和 212, 并控制从 V_{dd} 流经晶体管 210 的上拉电流。电流镜 M2 包括主晶体管 216 和从晶体管 215。晶体管 216 从电流镜 M1

中的晶体管 212 得到电流，将电流镜像到晶体管 215，以便通过晶体管 215 将下拉电流提供给地。

当 DLL 处于锁定状态时，相位检测器 104（图 1）典型地在每一个时钟周期上在相等持续时间内断言其 UP 和 DOWN 信号。因此，电荷泵 200 在相等的时间段内接收断言的 UP 和 DOWN 信号，以便在节点 OUT 保持相同的电压。当在相等的持续时间内断言相位比较器的 UP 和 DOWN 信号时，为了在 DLL 的输出处提供零静态相位偏差，电荷泵必须在输出 OUT（节点 OUT）产生相同的电流脉冲，以便抵消电流脉冲并且不将净电荷变化传递到环滤波器 106（图 1）。

因此，为了使静态相位误差最小化，应当尽可能接近地匹配通过晶体管 210 和晶体管 215 的漏极/源极电流。理想地，通过电流镜 M1 中晶体管 210 和电流镜 M2 中晶体管 215 的电流幅度相等。通过利用电流镜 M2 将来自器件 212 的电流镜像到器件 210 并且向下镜像到器件 215 来执行电流匹配。

然而，节点 OUT 处的电压可能与节点“ctrl”处的电压不同。该电压差导致电流镜 M2 中偏置晶体管 216 的漏极-源极电压与晶体管 215 的漏极-源极电压不同。对于晶体管 212 和晶体管 210，相对于电流镜 M1 中的偏置晶体管 214 的漏极-源极电压也是一样。源极-漏极电压的改变导致漏极电流的改变，尤其当晶体管 215 和 210 具有较低的输出阻抗时。这导致不同的漏极/源极电流流经每一个电流镜中的器件，最终导致晶体管 210 和晶体管 215 之间的电流差。晶体管 215 和晶体管 210 之间的电流差可以达到大约 20%，当 DLL 处于锁定状态时，这导致了明显的静态相位误差。在所示的实施例中，当工艺变小时，由于晶体管的输出阻抗变小，静态相位误差增大。

当 DLL 处于锁定状态时，将 DLL 静态相位误差理解为恒定地出现在 CLK_REF 和 CLK_FB 之间的相位差，并且在每一个时钟周期期间，通过晶体管 210 提供给节点 OUT 的电荷等于通过晶体管 215 从节点 OUT 引出的电荷。因此，相位检测器检测到在节点 OUT 处时钟信号完全对齐且电压电平没有变化。

图 3 是示出了在锁定条件之前图 2 所示现有技术 DLL 中的源和

汇电流的曲线图。轨迹 150 与图 2 中通过晶体管 210 的源电流相对应，轨迹 152 与图 2 中通过晶体管 215 的汇电流相对应。在锁定条件之前，源电流和汇电流不相等，源电流大于汇电流。在锁定条件中，每一个轨迹 150 和 152 下方的面积相同。因此，当电流不相等时，DLL 补偿了相位误差或“静态相位误差”，以便在节点 OUT 保持相同的电荷。相位误差源自：具有较低电流的信号在时间上比具有较高电流的信号更宽，使得面积实质上相等。尽管在近似相同的时间处出现每一个轨迹 150 和 152 的下降沿，但是在不同的时间处出现上升沿，以补偿不相等的源和汇电流。因此，现有技术 DLL 的本质设计导致了相位误差。

在亚微米技术（即，0.13 微米或更小）中，晶体管的输出阻抗随着沟道长度的缩短而减小，因此晶体管不满足电荷泵的输出晶体管所需的输出阻抗的要求。一种提高电荷泵的输出阻抗以使静态相位误差最小化的公知方法是通过使用共射-共基放大器电流源。然而，共射-共基放大器电流源不符合电源电压减小的发展趋势。例如，对于 1V 的电源电压以及典型的 0.25V 到 0.3V 的阈值电压，1V 电源电压过低，不能维持两个串联的共射-共基放大器电流源（每一个具有两个阈值电压）。

发明内容

通过使用主动(active)电流源来最小化电荷泵中的静态相位误差。主动电流源还减轻了低电源电压的影响。根据本发明的实施例，一种电荷泵包括上拉电路、下拉电路和运算放大器。上拉电路提供上拉电流以提高电荷泵输出处的电压。下拉电路提供下拉电流以减小电荷泵输出处的电压。运算放大器具有第一输入和第二输入。第一输入与电荷泵输出相连，第二输入与向下拉电路提供电流的晶体管的漏极相连。运算放大器输出与所述晶体管和下拉电路相连。运算放大器调整运算放大器输出处的电压电平，以使运算放大器输入之间的电压差最小，并减小下拉电流和上拉电流之间的差。

电荷泵还可以包括与运算放大器的第一输入相连的启动电路，在电荷泵的加电期间，所述启动电路将第一输入处的电压设为低于电源

电压的电压电平。在本发明的实施例中，向电荷泵提供的电源电压可以是大约 1 伏特。

上拉电路包括第一 PMOS 器件和第二 PMOS 器件。第一 PMOS 器件的漏极与第二 PMOS 器件的源极相连，第一 PMOS 器件的源极与电源电压节点（或轨（rail））相连，以及第二 PMOS 器件的漏极与电荷泵输出相连。当第一 PMOS 器件导通时，上拉电路提供上拉电流。

下拉电路包括第一 NMOS 器件和第二 NMOS 器件。第一 NMOS 器件的漏极与第二 NMOS 器件的源极相连，第一 NMOS 器件的源极与地相连，以及第二 NMOS 器件的漏极与电荷泵输出相连。当第一 NMOS 器件导通时，下拉电路提供下拉电流。

电荷泵还包括向下拉电路和上拉电路提供电流的基准电流源。在一个实施例中，基准电流源包括可编程晶体管阵列。运算放大器可以是低功率轨至轨输入、轨至轨输出运算放大器。

附图说明

如附图（其中贯穿不同附图由相同标号来表示相同部件）所示，根据本发明实施例的以下更具体的描述，本发明的上述和其它目的、特征和优点将更加显而易见。附图不必是按比例的，而是着重于演示本发明的原理。

图 1 是现有技术延迟锁定环的方框图；

图 2 是可以在图 1 所示的现有技术 DLL 中使用的现有技术电荷泵的示意图；

图 3 是示出了在锁定条件之前在图 2 所示现有技术 DLL 中的源和汇电流的曲线图；

图 4 是根据本发明原理的电荷泵的示意图；

图 5 是示出了在锁定条件之前图 4 所示电荷泵中的源和汇电流脉冲的曲线图；

图 6 是图 4 所示运算放大器的示意图；

图 7 是可以在图 4 的电荷泵中使用的可编程晶体管阵列的示意图；

图 8 是能够使用电荷泵的现有技术锁相环的方框图；以及

图 9 是示出了具有不同配置的电荷泵另一个实施例的示意图，其中运算放大器控制 PMOS 器件而不是图 4 中实施例所示的 NMOS 器件。

具体实施方式

本发明优选实施例的描述如下。

图 4 是根据本发明原理的电荷泵 300 的示意图。电荷泵 300 包括多个晶体管。在所示的实施例中，晶体管是金属氧化物半导体（“MOS”）晶体管，也被称作场效应晶体管（“FET”）。如本领域技术人员所公知的，存在两种类型的 MOS 晶体管：n 沟道 MOS 晶体管（NMOS）和 p 沟道 MOS 晶体管（PMOS）。电荷泵 300 包括 NMOS 晶体管和 PMOS 晶体管。利用栅极处的圆圈图形化地示出了 PMOS 晶体管。

电荷泵 300 包括电流镜 M1 和主动（active）电流镜 M3。电流镜 M1 与结合图 2 所示现有技术电荷泵 200 所述的电流镜 M1 相似。主动电流镜 M3 包括运算放大器（“op amp”）323，运算放大器 323 通过主动地（actively）使节点“OUT”的电压实质上等于节点“ctrl”的电压以使晶体管 315 的输出（漏极）电流（电荷泵下拉电流）和晶体管 310 的输出（漏极）电流（电荷泵上拉电流）之间的差最小，来使静态相位误差最小。

电流镜 M1 包括偏置 PMOS 晶体管 314 以及 NMOS 晶体管 310 和 312。电压 V_{bn} 设置电流镜 M1 的偏置电压，并设置流经 PMOS 晶体管 314 的电流。PMOS 晶体管 314 和 313 提供了将电流提供给下拉电路和上拉电路的基准电流源。在 PMOS 晶体管 312 和 310 中镜像通过 PMOS 晶体管 314 的电流。作为本领域的公知常识，通过改变这些器件的尺寸（宽度/长度比），可以修改流经电流镜中每一个晶体管的电流。

取决于由 PMOS 器件 314 的源极-漏极连接节点处的偏置电压 V_{bn} 提供的电压，电流镜 M1 中的 PMOS 器件 314 向电荷泵提供初始电流。

当在 DLL 系统中使用电荷泵时,偏置电压根据延迟链的总延迟来调整电荷泵的最大电流,以便基准频率和 DLL 带宽之间的比率保持恒定。

PMOS 晶体管 314 的栅极与 PMOS 晶体管 314 的漏极相连。PMOS 器件 312 和 310 的栅极与 PMOS 器件 314 的栅极相连,这使得能够将该初始电流镜像到 PMOS 晶体管 312 和 310。NMOS 晶体管 316 的漏极与 PMOS 器件 312 的漏极相连。因此,镜像到 PMOS 器件 312 的电流是电流镜 M3 中提供到 NMOS 器件 316 的相同电流。NMOS 器件 316 的栅极与 NMOS 器件 315 的栅极相连,这使得能够将 NMOS 器件 316 的漏极电流镜像到电流镜 M3 中的 NMOS 器件 315,以便提供下拉电流。

通常,当启用电荷泵(断言信号 ENABLE 或将其驱动为逻辑 1)并断言信号 UP 时,由通过 NAND 门 301、反相器 302 和 304 以及传送门(pass gate) 303 施加到晶体管 309 的栅极的电压来“导通”晶体管 309。这允许电流流经上拉电路中的 PMOS 晶体管 309 和 310。该电流将电荷添加到与环滤波器 206(图 1)相连的 OUT 节点。这增多了电荷,同时晶体管 309 处于“导通”导致节点 OUT 的电压增大,当由电荷泵 300 代替图 1 所示现有技术 DLL 100 中所示的电荷泵 105 时,这导致增大了由压控延迟线 102 所产生的延迟。类似地,当启用电荷泵(ENABLE 高)并断言信号 DOWN 时,由通过 NAND 门 305 以及反相器 306、307 和 308 施加到栅极的电压来“导通”晶体管 317。这允许电流流经下拉电路中的晶体管 315 和 317。电流通过晶体管 315、317 从节点 OUT 流向地,该电流从节点 OUT 取走电荷。这减少了电荷,同时晶体管 315 处于“导通”导致节点 OUT 的电压下降,并且由压控延迟线 102(图 1)产生的延迟减小。

匹配从 NAND 门 302、304 的输入处的 UP/DOWN 信号通过反相器 303、304 以及通过反相器 307、308 到晶体管 310、315 的栅极的路径,以提供相同的插入延迟。路径中包括传送门 303 以便复制在从 DOWN 信号到晶体管 317 的栅极的路径中的反相器 307 所增加的延迟。为了补偿当晶体管 309“导通”时 NMOS 晶体管 309 的源极漏极路径两端的较小电压降,添加 PMOS 晶体管 311 和 313,以提供与通

过 PMOS 晶体管 309 的电流路径的对称。NMOS 晶体管 318 提供了与通过 PMOS 晶体管 315 的电流路径的对称。

电流镜 M3 控制下拉电流（通过 NMOS 晶体管 315 到地）和上拉电流（从 V_{dd} 通过 PMOS 晶体管 310）之间的比率。下拉电流减小了节点 OUT 处的电压，上拉电流增大了节点 OUT 处的电压。因此，M1 电流镜通过 PMOS 器件 310 设置电荷泵的最大电流，M3 电流镜控制上拉和下拉电流之间的比率。通过使用公知技术，电流镜 M1 和 M3 可以可调整或可编程。可以确定电流镜 M3 中晶体管 315 和 316 的尺寸，以便传递更多或更少电流。这允许电路设计者补偿例如寄生电阻和电容以及参数变化的其它因子。然而，这种调整是静态的，一旦已经封装芯片就不能重新调整，并且不能补偿 OUT 节点处的电压变化。

根据本发明的一个实施例，如图 4 所示，通过使用运算放大器来提供电流镜的主动调整。主动电流镜 M3 中的运算放大器 323 的反相输入与节点 OUT 相连，且运算放大器 323 的非反相输入与节点“n14”相连。运算放大器 323 的输出节点与节点“ctrl”和 NMOS 器件 315、316 的栅极相连。如果在节点 OUT 和“n14”之间存在任意电压差，运算放大器 323 调整控制节点“ctrl”上的电压。通过 NMOS 器件 315、316，控制节点“ctrl”上的电压变化导致节点 OUT 和节点“n14”上的对应电压变化。

在电荷泵的操作期间，运算放大器 323 通过主动地保持节点“n14”上的电压实质上等于节点 OUT 上的输出电压，使静态相位误差最小。当 DLL 处于锁定状态时，在输出（“OUT”）处能够产生相同的上拉和下拉电流非常重要。在已经实现了锁定条件的 DLL 中，当 UP 和 DOWN 脉冲具有相等的持续时间时，大多数时间不能主动地对节点 OUT 进行充电或放电。此外，UP 和 DOWN 脉冲能够具有比结合图 2 所述的现有技术电荷泵短的持续时间，这导致器件中所需功率的减小。因此，节点 OUT 处的电压实质上保持恒定。节点“ctrl”处的电压变化导致在 NMOS 晶体管 315、316 中流动的电流的相应变化。然而，由于节点“n14”的电容小于节点 OUT 处出现的电容，节点“ctrl”处电压的变化对节点“n14”的影响快于对节点 OUT 的影响。

运算放大器 323 如下主动地控制节点 OUT 处的电压：如果节点 “n14” 处的电压高于节点 OUT 处的电压，则运算放大器 323 增大节点 “ctrl” 处的电压。节点 “ctrl” 处电压的增大导致流经 NMOS 晶体管 316 和 NMOS 晶体管 315 的电流增大，这减小了节点 “n14” 处的电压，直到该电压与节点 OUT 处的电压相同。如果节点 “n14” 的电压小于节点 OUT 的电压，则运算放大器 323 减小节点 “ctrl” 的电压。节点 “ctrl” 上电压的减小导致在 NMOS 晶体管 316 和 NMOS 晶体管 315 中流动的电流的减小。由于节点 “ctrl” 处的电压改变节点 “n14” 上的电压快于改变节点 OUT 上的电压，当节点 “n14” 上的电压等于节点 OUT 上的电压，达到了新的平衡点。当节点 “n14” 上的电压与输出电压 OUT 实质上相同时，通过 NMOS 器件 315 的源极/漏极电流（下拉电流）实质上与通过 PMOS 器件 310 的源极/漏极电流（上拉电流）相等。

通过向电荷泵提供包括运算放大器的主动电流镜，NMOS 晶体管对 315、316 以及 PMOS 晶体管对 312、310 的漏极、源极和栅极处的电压条件实质上相等，并且比图 2 所示现有技术电路接近许多，这导致非常精确的匹配电流通过 NMOS 晶体管 315 和 PMOS 晶体管 310。晶体管 319 和 320 是简单的缓冲电容，这防止了由 NMOS 器件 315 和 PMOS 器件 310 引起的噪声连接到电流镜 M1、M2 的各个偏置节点。

优选地，运算放大器 323 具有轨至轨（rail to rail）（Vdd 到 Vss（地））的输入范围。在晶体管 315、316 是如图 4 所示的 NMOS 器件的实施例中，所需的输出范围从 Vdd 向下到接近地以上的预定电压，即，比地高 NMOS 晶体管的一个阈值电压（Vtn）。该输出电压范围保证了 NMOS 晶体管 315 和 316 永远不会出现导致电路不可运行的完全“截止”。在晶体管 315、316 是如图 9 所示的 PMOS 器件的一个可选实施例中，所需的输出范围从 Vss 到 Vtp（即，比 Vdd 低 PMOS 晶体管的一个阈值电压）。因此，具有轨至轨输出范围的运算放大器 323 是优选的。

在加电阶段期间，如果节点 “n14” 处的电压低于节点 OUT 处的电压，将运算放大器的输出（即节点 “ctrl”）变低。由于节点 “ctrl”

与 NMOS 器件 315 的栅极相连, NMOS 器件 315 很可能“截止”。电路可能被冻结在该状态, 或可能需要较长时间来恢复。这两种情况都是不希望有的。

包括 NMOS 器件 321 和 NMOS 器件 322 的启动电路有助于电荷泵在加电阶段达到其工作点。启动电路最初将节点 OUT 的电压设为小于 V_{dd} 的数值。这使得运算放大器 323 能够在加电阶段之后正确地进行操作。在加电阶段内加电之后的预定时间段内断言的启动信号与 NMOS 器件 322 的栅极相连。NMOS 器件 322 是栅极和源极与节点 OUT 相连的二极管连接方式。NMOS 器件 322 的漏极与 NMOS 器件 322 的漏极相连。

当断言与 NMOS 器件 321 的漏极相连的启动信号时, NMOS 器件 322 “导通”。节点 OUT 近似等于 V_{dd} , 因此, 由于 NMOS 器件 321 和 NMOS 器件 322 “导通”, 流经 NMOS 器件 321 和 NMOS 器件 322 的电流导致节点 OUT 处电压下降。

因此, 启动电路保证了在加电阶段节点 OUT 处的电压小于节点“n14”处的电压, 因此, 最初到运算放大器 323 的差分输入电压为正, 并且在启动阶段期间, 将运算放大器 323 的输出处节点“ctrl”驱动为高, 保持 NMOS 器件 315 导通。这迫使节点 OUT 在该预定时间段内近似为 NMOS 晶体管的阈值电压。在加电阶段之后, 去断言(de-assert)启动信号, 不再需要启用启动电路。

本发明将电流偏差(即, NMOS 晶体管 315 和 PMOS 晶体管 310 之间的电流差)减小为大约 4%。这导致对于整个 DLL 系统较高地减小了静态相位误差。在本实施例中通过将电荷泵的电流偏差从 20% 减小到 4%, 将 PLL/DLL 的整个静态相位误差从 300ps 减小到 60ps。

图 5 是示出了在锁定条件之前图 4 所示电荷泵中的源和汇电流脉冲的曲线图。在该示例中, 轨迹 154 与通过图 4 中晶体管 309 的源电流相对应, 轨迹 156 与通过图 4 中晶体管 317 的汇电流相对应。在根据本发明的实施例中, 源电流和汇电流在幅度上实质上相等。由于图 5 示出了锁定条件之前的脉冲, DLL 会开始改变节点 OUT 的电压, 以便在搜索锁定条件时对齐源和汇脉冲的边沿。当达到锁定条件时, 每

一个轨迹 154、156 下方的面积相等，这导致节点 OUT 处电压的稳定电平。当源和汇电流在幅度上实质上相等时，脉冲边沿的对齐更加精确，消除了对静态相位误差起作用的最大分量之一。

图 6 是图 4 所示运算放大器 323 的实施例的示意图。运算放大器基于以非常低电压操作的互补输入对。在所示的实施例中，运算放大器能够利用从 V_{dd} 到 V_{ss} 的 1V 总电源电压进行操作，其中假定 V_{ss} 是大约 0V（与地相连）。

运算放大器 323 包括两个差分放大器 442 和 444、偏置电路 446 和输出级 440。差分放大器 442、444 具有互补输入对，其中，第一差分放大器具有 NMOS 晶体管输入对 411、412，第二差分放大器具有 PMOS 晶体管输入对 404、405。第一差分放大器 442 还包括晶体管 PMOS 晶体管 403 和 NMOS 晶体管 406、407。第二差分放大器 444 还包括 PMOS 晶体管 409、410 和 NMOS 晶体管 413。

输出级 440 包括晶体管 401 和 402。偏置电路包括晶体管 414、415、416、417、418 和 419，并且向输出级 440 中的晶体管 401、第一差分放大器 442 中的晶体管 403 和第二差分放大器 444 中的晶体管 413 提供偏置电压。

图 4 所示的节点 OUT 与每一个差分放大器的差分输入“inm”相连，图 4 所示的节点“n14”与每一个差分放大器的差分输入“inp”相连。运算放大器的输出级“diff_out”与图 4 所示的节点“ctrl”相连。

当启用电荷泵 300（图 4）（断言信号 ENABLE 或将其驱动为逻辑 1）时，晶体管 419 导通，使得电流可以流经晶体管 416、417、418 和 419。在晶体管 408 中镜像第二差分放大器 444 中晶体管 409 中的电流。晶体管 408 提供了第二差分放大器的输出。在第一差分放大器 440 的晶体管 406 中，对来自晶体管 404 的电流（表示第一差分放大器的输出）和来自晶体管 408 的电流（表示第二差分放大器的输出）进行求和并镜像到输出级中的晶体管 402。当禁用电荷泵 300（去断言信号 ENABLE 或将其驱动为逻辑 0）时，由于晶体管 419 栅极处的逻辑 0，晶体管 419 截止，运算放大器不能修改 ctrl 节点上的电压。

其它实施例可以使用可编程阵列主晶体管用于电流镜中的基准电流源，以便配置或测试电路的操作。图 7 是适于代替图 4 的晶体管 313 和晶体管 314 的这种可编程晶体管阵列的示意图 500。四个有效低选择信号（SEL0b、SEL1b、SEL2b 和 SEL3b）与四个选择 PMOS 晶体管 501、502、503 和 504 相连。每一个选择晶体管与不同的电流镜主 PMOS 晶体管 505、506、507 和 508 相连。一个或多个 SEL 信号为有效低，这使得能够流动可变电流。电流的幅度变化取决于处于有效低的 SEL 信号的数目。例如，仅 SEL0b 为有效低时，电流只能流经 PMOS 晶体管 505 和选择晶体管 501，并且在图 4 的晶体管 312 和 310 中镜像该电流。在所有四个选择信号为有效低时，因为电流流经 PMOS 晶体管 505、506、507 和 508 以及所有的选择晶体管，增大了电流的幅度。通过与晶体管 310 和 312 相连的 V_{bn} 节点在晶体管 312 和 310 中镜像该电流。

可以通过寄存器、熔断编程、掩模编程或本领域的其它任意公知技术来控制 SEL 信号。尽管示出了四组可编程主晶体管，可以使用任意数目。通过由晶体管的可编程阵列来代替图 4 的两个晶体管 416 和 418，可以将利用 NMOS 晶体管的类似电路用于添加可编程性。

本发明并不局限于在 DLL 中使用的电荷泵。例如，本发明还可以使用于锁相环中的电荷泵。锁相环（PLL）是用于将第一时钟信号与第二时钟信号同步的另一种公知电路。

图 8 是现有技术 PLL 600 的方框图。由时钟缓冲器 601 缓冲从外部提供的时钟（CLK），以便提供与相位检测器 604 相连的基准时钟（CLK_REF）。根据 CLK_REF 和 CLK_FB 之间的相位差，相位检测器 604 产生相位控制信号（UP、DOWN）。

电荷泵 605 和环滤波器 606 对相位检测器 604 的相位控制信号（UP/DOWN）进行积分，以提供可变偏置电压 V_{CTRL} 110。偏置电压 V_{CTRL} 控制压控振荡器（VCO）602，压控振荡器 602 输出时钟信号 CLK_OUT。输出时钟信号 CLK_OUT 的频率与偏置电压 V_{CTRL} 610 成正比。VCO 是本领域公知的。

可选地，将 CLK_OUT 信号与分压器 603 相连，以产生反馈时钟

信号 CLK_FB。如果相位检测器在 CLK_FB 的上升沿之前检测到 CLK_REF 的上升沿，则断言 UP 信号，导致 V_{CTRL} 升高，从而增大 CLK_OUT 信号的频率。如果相位检测器在 CLK_REF 的上升沿之前检测到 CLK_FB 的上升沿，则断言 DOWN 信号，导致 V_{CTRL} 减小，从而减小 CLK_OUT 信号的频率。

图 9 是示出了具有不同配置的电荷泵另一个实施例的示意图，其中运算放大器控制 PMOS 器件而不是图 4 中实施例所示的 NOMS 晶体管。通过应用本发明的相同原理，运算放大器 323 按照与结合图 4 所示实施例所述相同的方式，平衡晶体管 310'、312'、315 和 316' 的漏极。

已经描述了本发明，以便用于 PLL/DLL 系统中的电荷泵。然而，本发明并不局限于 PLL/DLL 系统。可以在需要非常精确的电流镜以及电流镜的输出电压不能达到地（这导致主动电流镜中 op amp 不可运行）的任意系统中使用本发明。

尽管已经参考优选实施例具体地示出并描述了本发明，本领域的技术人员可以理解，在不脱离由所附权利要求限定的本发明的范围的前提下，可以对形式和细节进行各种改变。

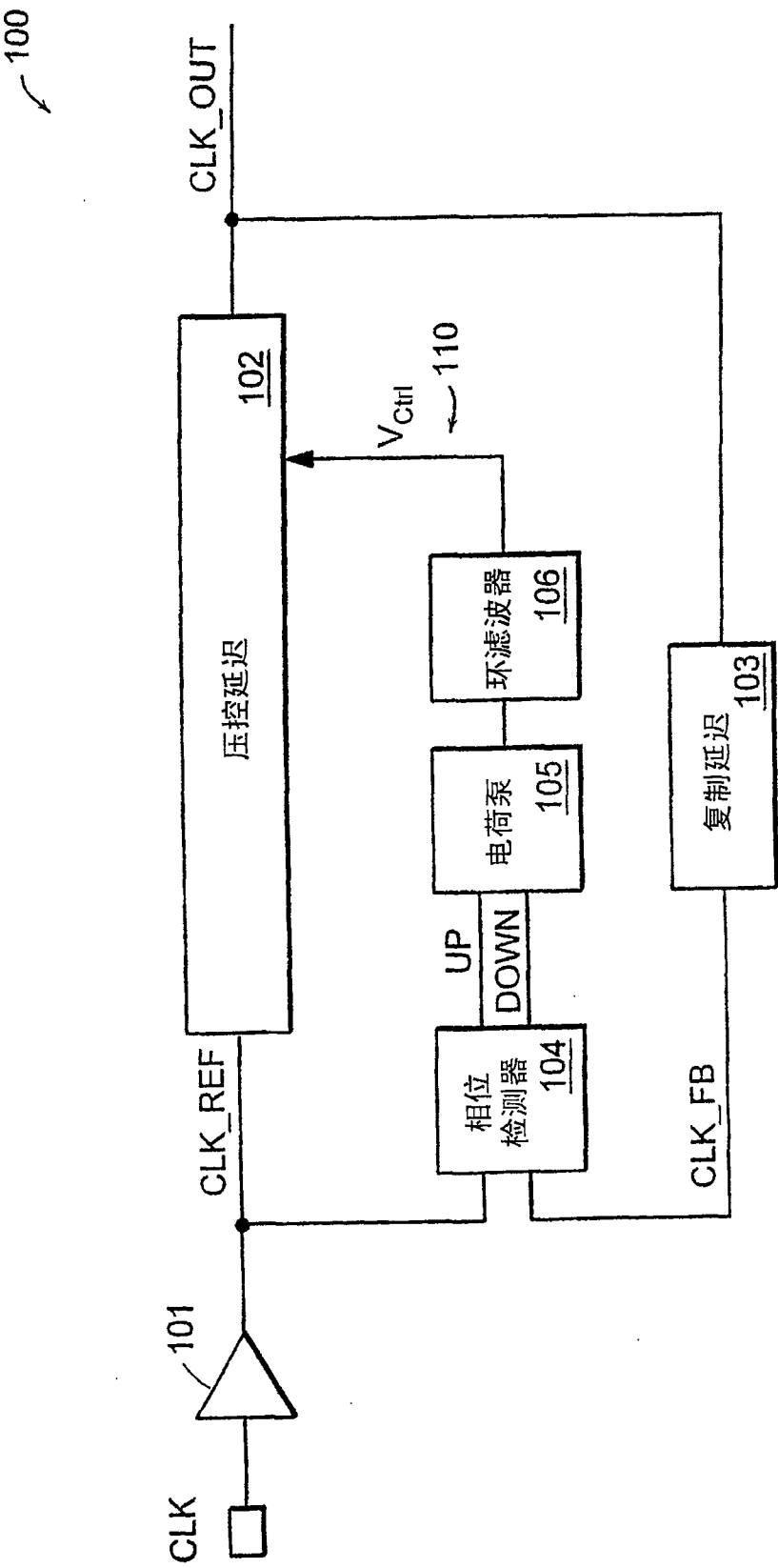


图 1

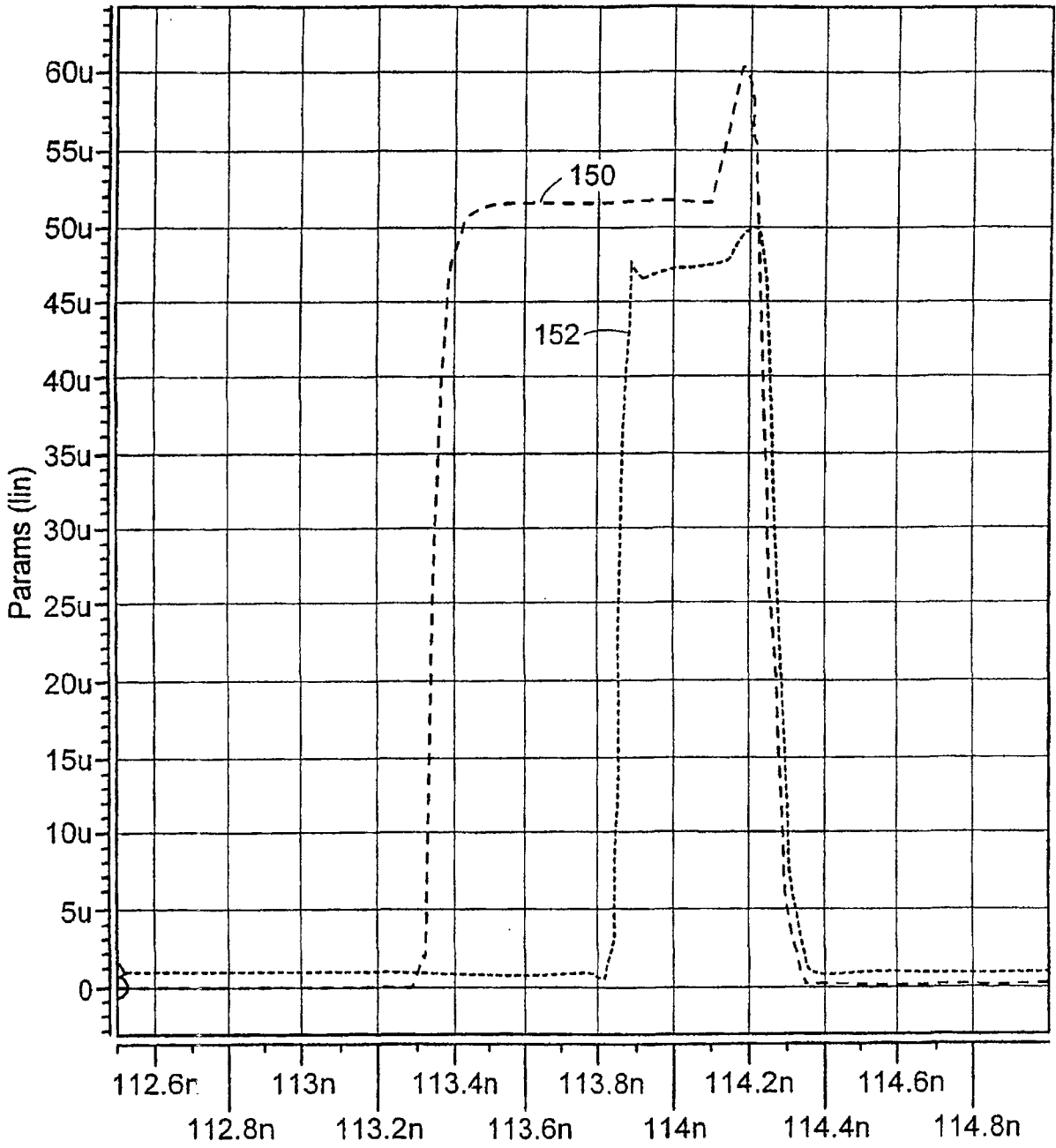


图 3

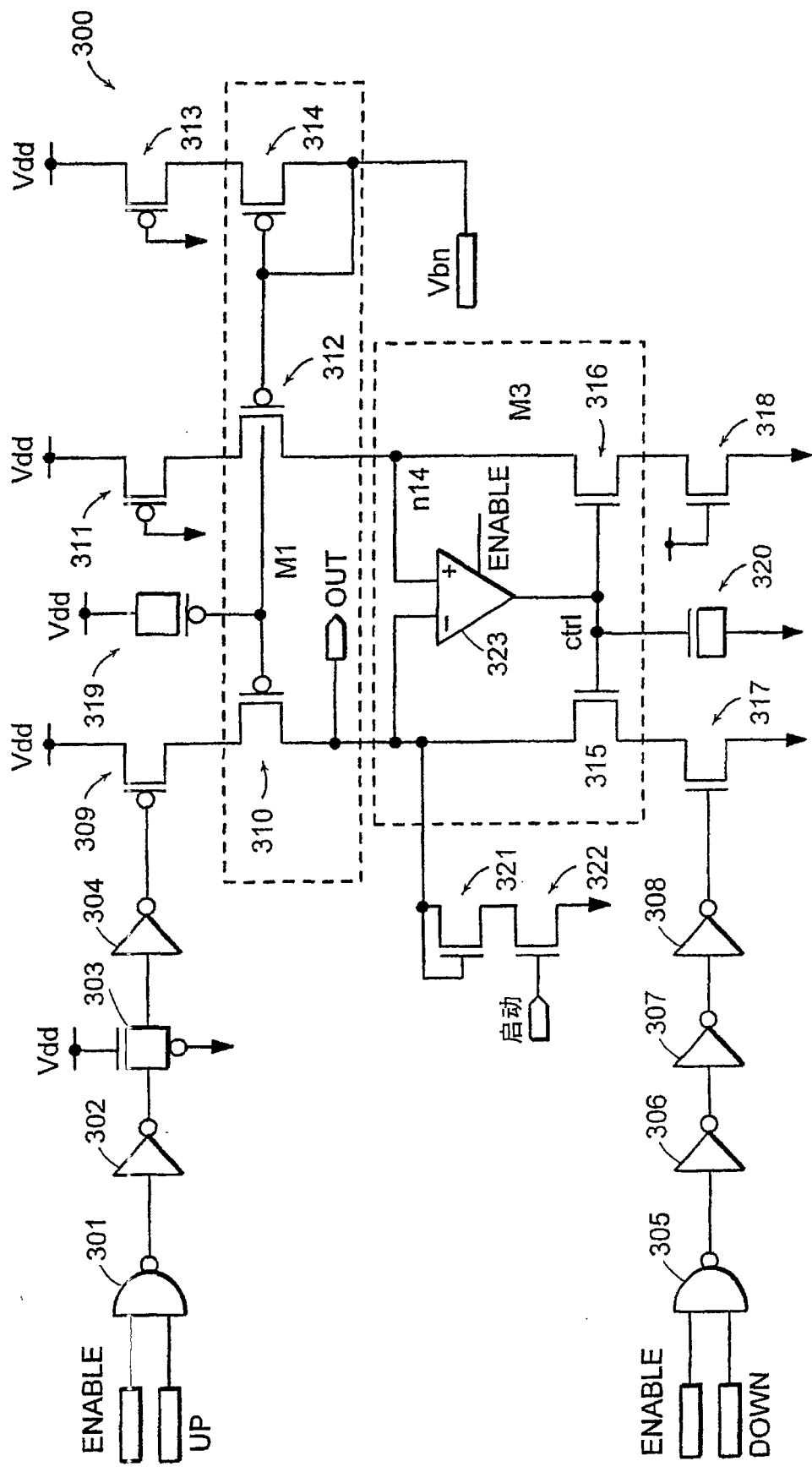


图 4

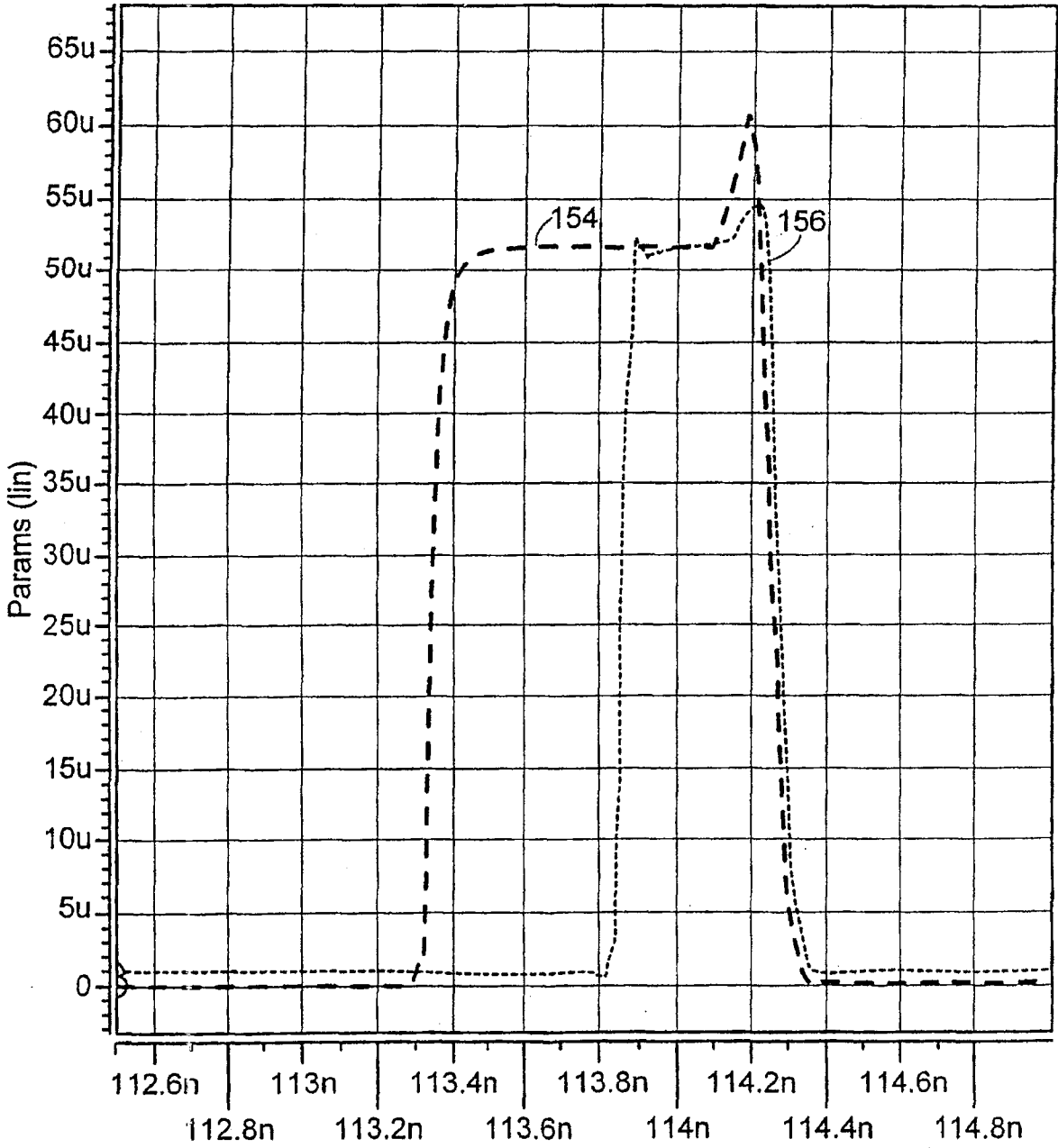


图 5

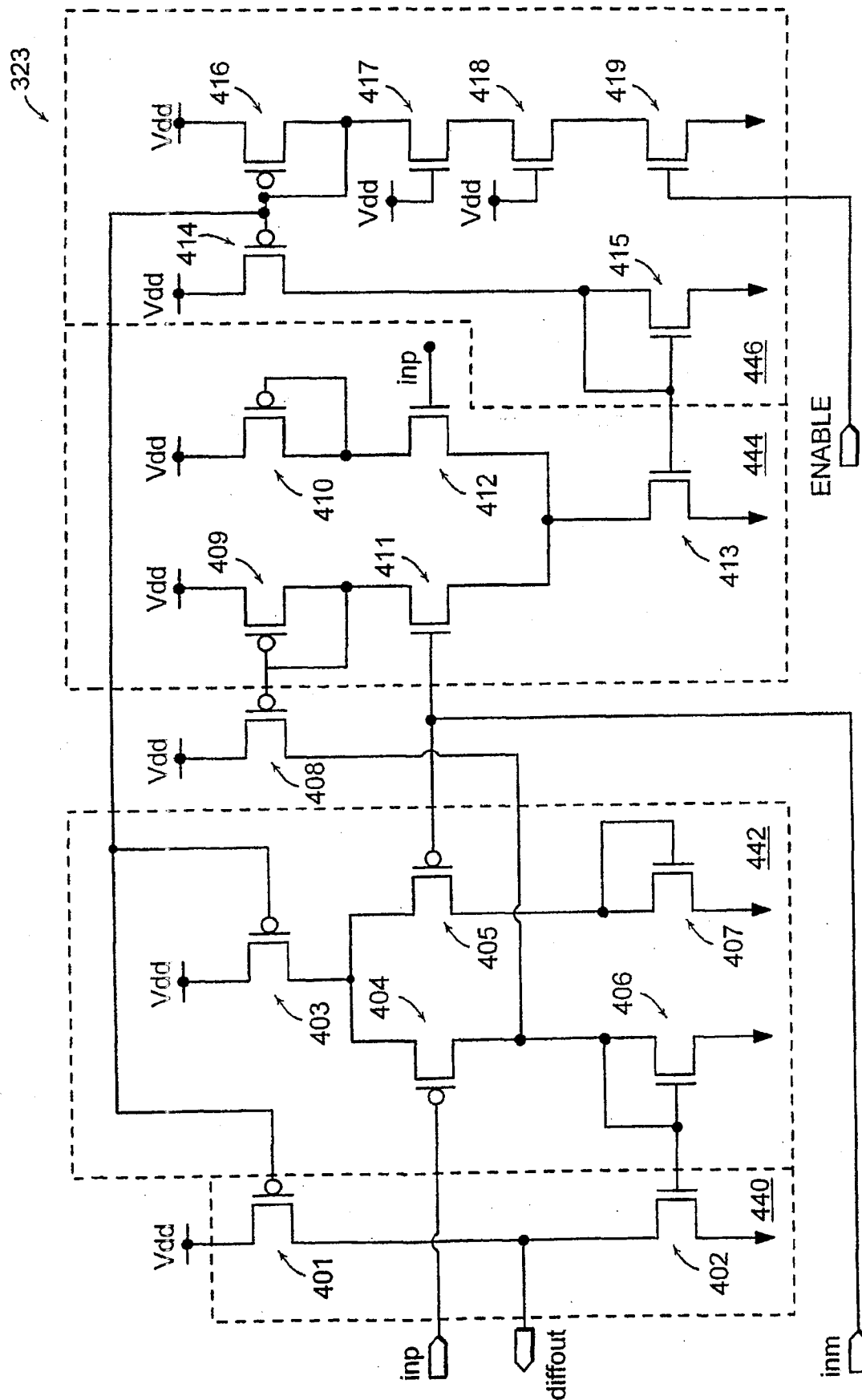


图 6

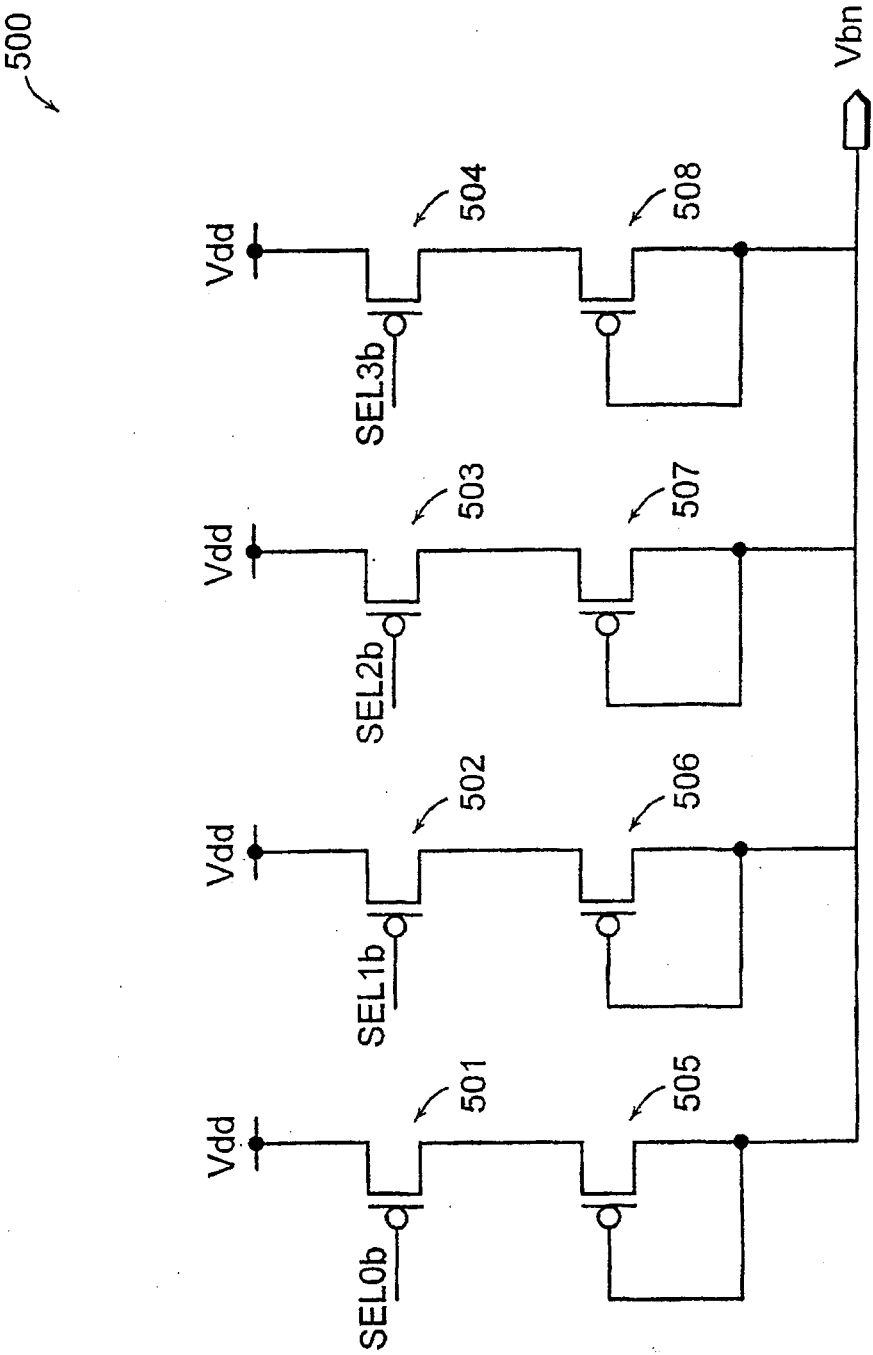


图 7

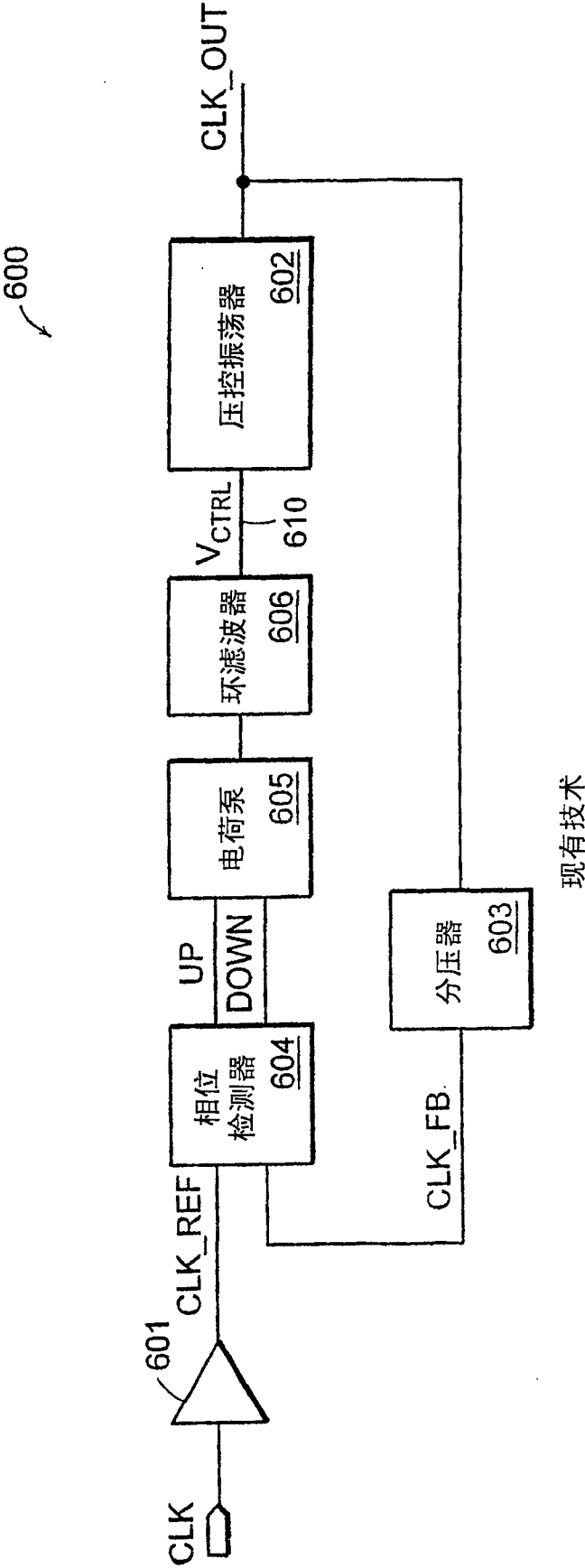


图 8

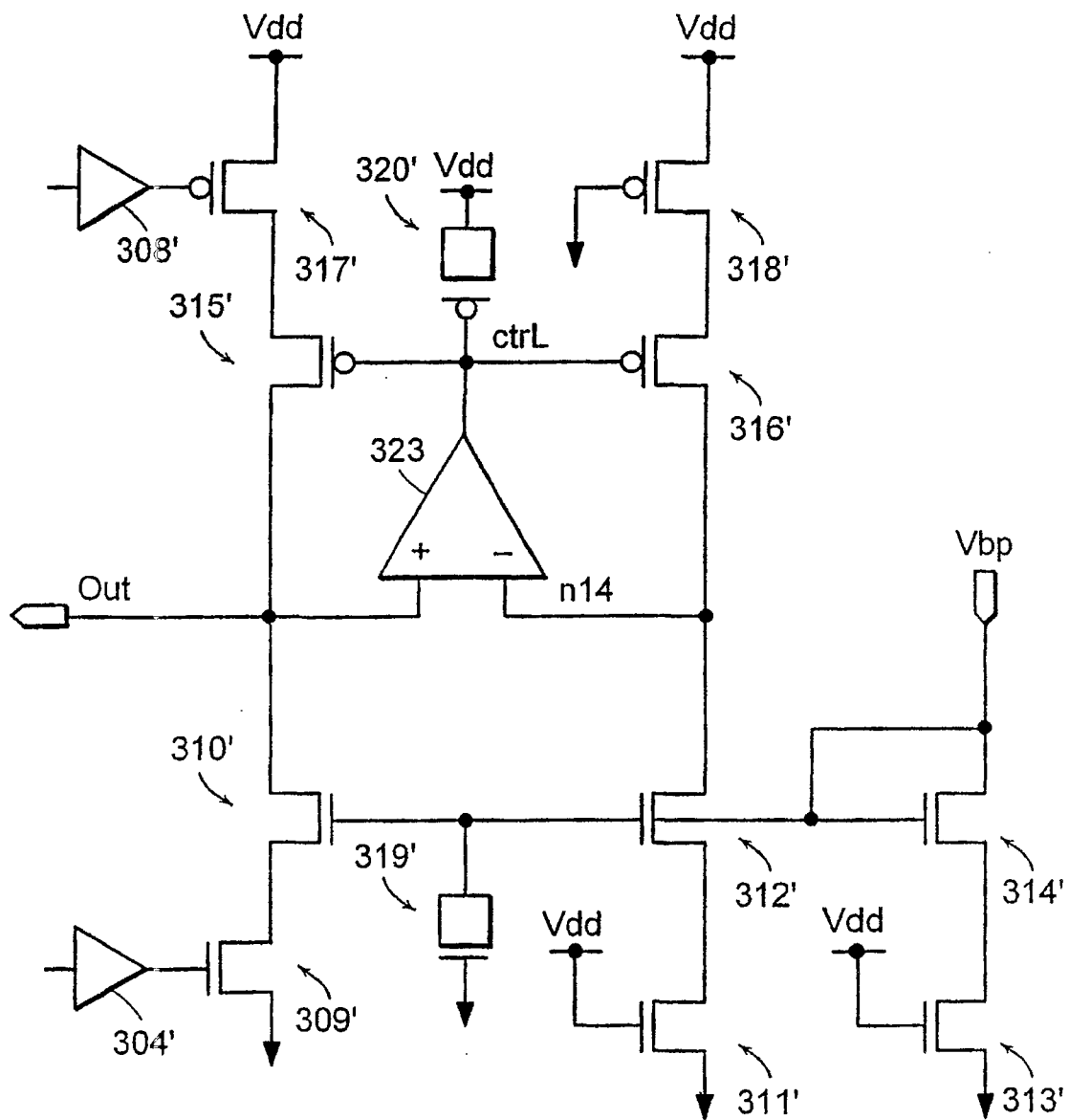


图 9