



(10) **DE 11 2005 000 512 B4** 2011.09.08

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2005 000 512.7**
(86) PCT-Aktenzeichen: **PCT/US2005/006177**
(87) PCT-Veröffentlichungs-Nr.: **WO 2005/093825**
(86) PCT-Anmeldetag: **26.02.2005**
(87) PCT-Veröffentlichungstag: **06.10.2005**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **11.01.2007**
(45) Veröffentlichungstag
der Patenterteilung: **08.09.2011**

(51) Int Cl.: **H01L 21/762** (2006.01)
H01L 21/3105 (2006.01)
H01L 21/265 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/791,759 **04.03.2004** **US**

(73) Patentinhaber:
GLOBALFOUNDRIES Inc., Grand Cayman, KY

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802, München, DE**

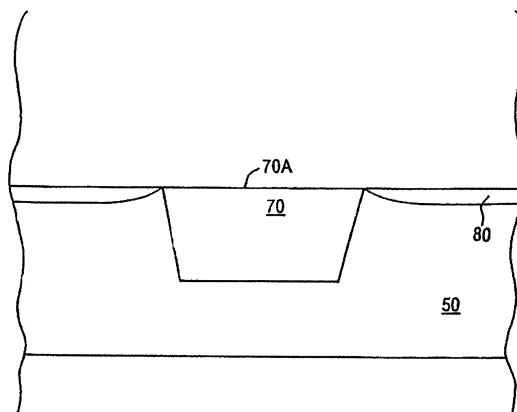
(72) Erfinder:
**Bonser, Douglas J., Wappingers Falls, N.Y.,
US; Groschopf, Johannes, Fishkill, N.Y., US;
Dakshina-Murthy, Srikanteswara, Wappingers
Falls, N.Y., US; Pellerin, John G., Hopewell
Junction, N.Y., US; Cheek, Jon D., Wallkill, N.Y.,
US**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US	66 73 695	B1
US	65 66 215	B1
US	2003/02 26 127	A1
US	56 65 633	A
US	56 16 513	A
US	51 77 028	A
EP	06 01 950	A2

(54) Bezeichnung: **Verfahren zum Herstellen eines Halbleiterbauelements mit flachen Isolationsgräben und verringerter Ausbildung von Einkerbungen**

(57) Hauptanspruch: Verfahren zum Herstellen eines Halbleiterbauelements, wobei das Verfahren umfasst:
Bilden einer Nitridpolierstoppschicht (52) mit einer Dicke von nicht mehr als 40 nm über einem Halbleitersubstrat (50);
Bilden einer Öffnung in der Nitridpolierstoppschicht (52) und eines Grabens (53) in dem Halbleitersubstrat (50);
Füllen des Grabens (53) mit isolierendem Material, wobei Überschussmaterial auf der Nitridpolierstoppschicht (52) gebildet wird; und
Bilden einer planaren oberen Oberfläche des Halbleitersubstrats (50) durch Polieren der oberen Oberfläche des Halbleitersubstrats (50), wobei an der Nitridpolierstoppschicht (52) angehalten wird, wodurch ein flaches Grabenisolationsgebiet (70) gebildet wird; und anschließend
Implantieren von Dotierstoffionen durch die Nitridpolierstoppschicht (52), wodurch dotierte Gebiete (80) in dem Halbleitersubstrat (50) benachbart zu dem flachen Grabenisolationsgebiet (70) gebildet werden.



Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft die Herstellung integrierter Halbleiterschaltungselemente. Die vorliegende Erfindung ist insbesondere auf die Herstellung hochintegrierter Halbleiterschaltungsbauelemente mit flachen Grabenisolationen (STI) mit hoher Qualität, ohne Einkerbungen oder mit einer wesentlich reduzierten Ausbildung von Einkerbungen.

Hintergrund der Erfindung

[0002] Die Miniaturisierung von Elementen von integrierten Halbleiterschaltungsbauelementen zwingt die Industrie dazu, die Breite und den Abstand eines aktiven Gebiets kleiner zu machen, wodurch die Anwendung üblicher LOCOS (lokale Oxidation von Silizium)-Isolationsverfahren zunehmend problematisch wird. STI wird als eine bessere Isolationstechnik als LOCOS betrachtet, da aufgrund ihrer Natur kaum eine Oxidverbreiterung in Form eines "Vogelschnabels", der für LOCOS charakteristisch ist, erzeugt wird, wodurch geringere Konversionsunterschiede erreicht sind.

[0003] Konventionelle STI-Fertigungsverfahren beinhalten das Herstellen eines Pufferoxids auf einer oberen Oberfläche eines Halbleitersubstrats, das Bilden einer Nitridpolierstoppschicht darauf, beispielsweise von Siliziumnitrid, die typischerweise eine Dicke von mehr als 100 nm aufweist, das Bilden einer Öffnung in der Nitridpolierstoppschicht, das anisotrope Ätzen zur Bildung eines Grabens in dem Halbleitersubstrat, das Bilden einer thermischen Oxidschicht in dem Graben und das Füllen des Grabens mit einem isolierenden Material, wie etwa Siliziumoxid, wobei überschüssiges Material auf der Nitridpolierstoppschicht gebildet wird. Es wird dann eine Planarisierung angewendet, beispielsweise durch Ausführen eines chemisch-mechanischen Poliervorganges (CMP). Während der nachfolgenden Bearbeitung wird die Nitridschicht zusammen mit dem Pufferoxid entfernt, woran sich das Bilden von aktiven Bereichen anschließt, was typischerweise Maskierungs-, Ionenimplantations- und Reinigungsschritte umfasst. Während derartiger Reinigungsschritte werden die oberen Kanten des Feldoxids isotrop entfernt, wodurch ein Hohlraum oder eine "Einsenkung oder Einkerbung" in der Oxidfüllung zurückbleibt.

[0004] In der US 2003/0 226 127 A1 werden Verfahren zum Entwerfen und zum Herstellen eines elektronischen Bauteils offenbart. Eine Siliziumoxidschicht wird auf einem Halbleitersubstrat mit einer Siliziumnitridschicht abgeschieden und es wird Polieren durch ein CMP-Verfahren ausgeführt. Darüber hinaus wird eine Ätzstoppschicht aus Siliziumnitrid vorgesehen. Die EP 0 601 950 A2 lehrt ein Verfahren zur Her-

stellung einer SOI-Schicht durch Wafer-Bonding. Die US 5 665 633 A lehrt ein Verfahren zur Herstellung eines Halbleiterbauteils mit Feldisolation durch ausgebildete Gräben. Die US 5 177 028 A lehrt ein Verfahren zur Grabenisolierung und der Ausbildung von FETs auf den Ebenen zwischen den Gräben. Die US 6 673 695 B1 offenbart ein Verfahren zur Ausbildung von STI-Bereichen in einem Halbleitersubstrat.

[0005] In der US 5 616 513 A wird ein Verfahren zum Herstellen eines Halbleiterbauelements beschrieben, in dem eine Nitridpolierstoppschicht und eine Öffnung in derselben gebildet wird, ein Graben mit isolierendem Material gefüllt wird, eine planare obere Oberfläche des Halbleitersubstrats durch Polieren der oberen Oberfläche des Halbleitersubstrats gebildet wird und Dotierstoffionen durch die Nitridpolierstoppschicht implantiert werden. In der US 6 566 215 B1 wird das Bilden von Dotiergebieten in einem Halbleitersubstrat durch Durchimplantieren eines Dotierstoffes durch einen Schichtenstapel beschrieben.

[0006] Beispielsweise ist eine konventionelle STI-Herstellungstechnik in den [Fig. 1](#) bis [Fig. 4](#) gezeigt, wobei gleiche Merkmale mit den gleichen Bezugszeichen belegt sind. Gemäß [Fig. 1](#) wird ein Pufferoxid **11** auf einer oberen Fläche eines Halbleitersubstrats **10** gebildet, und es wird eine Siliziumnitridpolierstoppschicht **12** darauf ausgebildet, die typischerweise eine Dicke von über 100 nm aufweist. Eine Fotomaske (nicht gezeigt) wird dann verwendet, um eine Öffnung durch die Nitridpolierstoppschicht **12**, das Pufferoxid **11** zu bilden, und es wird ein Graben **12** in dem Halbleitersubstrat **10** hergestellt.

[0007] Nachfolgend wird eine thermische Oxidbeschichtung (nicht gezeigt) in dem Graben hergestellt, ein isolierendes Material wird abgeschieden und es wird eine Planarisierung erreicht, durch CMP, wodurch sich die Zwischenstruktur ergibt, die in [Fig. 2](#) gezeigt ist, wobei das Bezugszeichen **20** die Oxidfüllung bezeichnet. Nachfolgend werden die Nitridpolierstoppschicht **12** und die Pufferoxidschicht **11** entfernt und es werden dann Reinigungsschritte vor der Herstellung der aktiven Gebiete ausgeführt. Derartige Reinigungsschritte führen zur Ausbildung von Einkerbungen **30**, wie in [Fig. 3](#) gezeigt ist.

[0008] Die STI-Einkerbungen sind in vielerlei Hinsicht problematisch. Beispielsweise sind die STI-Einkerbungen verantwortlich für eine hohe Leckage des Feldes an der Kante, insbesondere in flachen Source/Drain-Übergängen, verantwortlich. Wie in [Fig. 4](#) gezeigt ist, wachsen Silizidgebiete **41**, die in flachen Source/Drain-Gebieten **40** ausgebildet sind, steil nach unten, wie dies durch das Bezugszeichen **42** dargestellt ist, d. h., diese wachsen bis unter die Tiefe des PN-Übergangs, der in einer späteren Phase hergestellt wird, wodurch sich hohe Leckströme und ein Kurzschluss ergeben können. Die Ansamm-

lung von Dotierstoffen, insbesondere von Bor, an den STI-Feldrändern reduzieren die Tiefe des Übergangs. Folglich verursacht nach der Silizidierung der Übergänge das Silizid **42**, das in das Substrat eindringt, Kurzschlusswege und somit können große Leckströme aus den Source/Drain-Übergängen in ein Wannengebiet bzw. Potenzialtopfgebiet oder Substrat auftreten.

[0009] Wenn Ferner der STI-Rand freigelegt wird als Folge der Ausbildung von Einkerbungen wird ein parasitärer Transistor mit einer geringen Schwellwertspannung über dem Bereich mit einer geringen Dotierstoffkonzentration ausgebildet, wodurch ein Knick in der charakteristischen Kurve eines Transistors hervorgerufen wird und das Vorhandensein eines Knicks führt zu elektrischen Eigenschaften, die sich von den elektrischen Entwurfs-eigenschaften unterscheiden, wodurch die Herstellung von Transistoren mit gleichförmigen Eigenschaften verhindert wird.

[0010] Es besteht daher ein Bedarf für eine Verfahrenstechnik, die die Herstellung äußerst hochintegrierter Halbleiterbauelemente mit sehr zuverlässigen STI-Gebieten ohne oder mit deutlich reduzierten Einkerbungen ermöglicht.

Überblick über die Erfindung

[0011] Ein Vorteil der vorliegenden Erfindung liegt in einem Verfahren zur Herstellung eines Halbleiterbauelements, das sehr zuverlässige STI-Gebiete mit keinen oder wesentlich reduzierten Einkerbungen aufweist.

[0012] Weitere Vorteile und andere Aspekte der vorliegenden Erfindung sind in der nachfolgenden Beschreibung angegeben und werden für den Fachmann zum Teil beim Studium des Folgenden ersichtlich oder können aus dem Praktizieren der vorliegenden Erfindung erkannt werden. Die Vorteile der vorliegenden Erfindung können insbesondere so realisiert und erreicht werden, wie dies in den angefügten Patentansprüchen dargestellt ist.

[0013] Gemäß der vorliegenden Erfindung werden die vorhergehenden und weiteren Vorteile zum Teil durch ein Verfahren des Herstellens eines Halbleiterbauelements erreicht, wobei das Verfahren umfasst: Bilden einer Nitridpolierstoppschicht mit einer Dicke von nicht mehr als 40 nm über einem Halbleitersubstrat; Bilden einer Öffnung in der Nitridpolierstoppschicht und eines Grabens in einer Substratschicht; Füllen der Öffnung mit einem isolierenden Material, wobei ein Überschussmaterial auf der Nitridpolierstoppschicht gebildet wird; und Polieren, um eine obere planare Oberfläche zu bilden, wobei an der Nitridpolierstoppschicht gestoppt wird, wodurch ein flaches Grabenisolationsgebiet gebildet wird.

[0014] Ausführungsformen der vorliegenden Erfindung umfassen: Bilden eines Pufferoxids auf einer oberen Fläche des Halbleiterbauelementsubstrats, Bilden der Nitridpolierstoppschicht, beispielsweise einer Siliziumnitridpolierstoppschicht mit einer Dicke von 5 nm bis 15 nm, beispielsweise 10 nm, auf der Pufferoxidschicht, Füllen der Öffnung mit dielektrischem isolierendem Material, etwa Siliziumoxid, das durch chemische Dampfabscheidung aufgebracht wird, und anschließendes Ausführen eines chemisch-mechanischen Polierens (CMP), um eine Einebnung zu bewirken, wobei an der Nitridpolierstoppschicht angehalten wird, und wobei nicht mehr als 2 nm der oberen Fläche der Nitridpolierstoppschicht abgetragen werden. Ausführungsformen der vorliegenden Erfindung umfassen ferner die Ionenimplantation von Verunreinigungen bzw. Dotierstoffen durch die Nitridpolierstoppschicht, um Dotiergebiete in dem Halbleitersubstrat benachbart zu dem flachen Grabenisolationsgebiet zu schaffen, Ätzen, um einen Teil der oberen Fläche des isolierenden Materials, das den Graben füllt, zu entfernen, so dass die obere Fläche des isolierenden Materials in dem Graben im Wesentlichen bündig zur oberen Fläche des Halbleitersubstrats ist, und anschließendes Entfernen der Nitridpolierstoppschicht. Nachfolgend wird eine Gateoxidschicht auf dem Substrat ausgebildet, und eine Gateelektrodenschicht wird darauf gebildet, wobei konventionelle Verfahren eingesetzt werden.

Kurze Beschreibung der Zeichnungen

[0015] [Fig. 1](#) bis [Fig. 4](#) zeigen schematisch der Reihe nach Phasen eines konventionellen Verfahrens zur Herstellung von STI-Gebieten. In den [Fig. 1](#) bis [Fig. 4](#) sind gleiche Elemente mit gleichen Bezugszeichen belegt.

[0016] [Fig. 5](#) bis [Fig. 11](#) zeigen schematisch diverse Stufen eines Verfahrens gemäß einer Ausführungsform der vorliegenden Erfindung. In den [Fig. 5](#) bis [Fig. 11](#) sind gleiche Merkmale mit gleichen Bezugszeichen belegt.

Beschreibung der Erfindung

[0017] Die vorliegende Erfindung wendet sich an das Problem, das mit der Einrichtung konventioneller STI-Verfahrensabläufen einhergeht, die zur Ausbildung von Einkerbungen an den Ecken eines STI-Gebiets führen, und löst diese Probleme. Ein derartiger konventioneller Verfahrensablauf umfasst typischerweise das Ausbilden einer relativ dicken Nitridpolierstoppschicht mit einer Dicke von ungefähr größer als 100 nm. Eine derartige dicke Nitridpolierstoppschicht wird typischerweise unmittelbar nach dem STI-Oxidpoliervorgang entfernt, da nachfolgende Schritte eine Ionenimplantation erfordern, um die aktiven Bereiche herzustellen, und dicke Nitridschichten eine derartige Ionenimplantation abblocken. Es werden viele

Maskierungs-, Implantations- und Reinigungsschritte angewendet, um die aktiven Gebiete zu bilden, woraus die Ausbildung von Einkerbungen an den Ecken bzw. Kanten des STI-Gebietes resultiert. Konventionelle Lösungen für dieses Problem streben danach, diese Einkerbungen zu minimieren, indem beispielsweise Reinigungen nach der Oxidpolierung und Nitridablösevorgänge vor dem STI-Oxideinfüllen optimiert werden. Jedoch haben solche Lösungen nicht in ausreichender Weise die Problematik der Einkerbung beim STI gelöst.

[0018] Gemäß der vorliegenden Erfindung wird eine äußerst dünne Nitridpolierstoppschicht, beispielsweise ein Siliziumnitrid, bei einer Dicke von nicht mehr als 40 nm abgeschieden, etwa eine Dicke von 1 nm bis 40 nm. Geeignete Dicken für Siliziumnitridpolierätzstoppschichten sind 5 nm bis 15 nm, beispielsweise 10 nm.

[0019] Vorteilhafterweise wird die dünne Nitridpolierstoppschicht nicht unmittelbar nach dem STI-Oxidpolieren entfernt. Vielmehr wird die dünne Nitridpolierstoppschicht während der nachfolgenden Bearbeitung, die Maskierungs-, Ionenimplantations- und Reinigungsschritte umfasst, beibehalten, um die aktiven Gebiete zu bilden. Die Verwendung einer dünnen Nitridpolierstoppschicht ist ausreichend, um die gefüllten Gräben zu schützen, wodurch ein isotroper Angriff des Oxids an den STI-Ecken oder Kanten verhindert wird, der ansonsten zur Ausbildung von Einkerbungen führen würde. Da ferner die Nitridpolierstoppschicht dünn ist, wird die Ionenimplantation nicht abgeblockt. Vielmehr liefert die Verwendung einer dünnen Nitridpolierstoppschicht eine konsistentere Oberfläche für die Implantation, da eine relativ unbedeckte Siliziumoberfläche rasch ein nicht konsistentes natürliches Oxid ausbildet, wohingegen die Nitridoberfläche deutlich stabiler ist. Daher wird gemäß den Ausführungsformen gemäß der vorliegenden Erfindung die Nitridpolierstoppschicht bis zur Ausbildung des Gateoxids belassen, wodurch der aktive Siliziumbereich geschützt wird, und wodurch eine wesentlich ebenere Oberfläche bereitgestellt und Einkerbungen vermieden oder wesentlich reduziert werden.

[0020] Ein Verfahren gemäß einer Ausführungsform der vorliegenden Erfindung ist schematisch in den [Fig. 5](#) bis [Fig. 11](#) gezeigt, wobei ähnliche Strukturelemente mit ähnlichen Bezugszeichen belegt sind. Gemäß [Fig. 5](#) wird ein Pufferoxid mit einer Dicke von 5 nm bis 20 nm, beispielsweise 15 nm, über einer oberen Fläche eines Halbleitersubstrats **50** gebildet. Gemäß Ausführungsformen der vorliegenden Erfindung wird eine sehr dünne Siliziumnitridpolierstoppschicht **52** auf dem Pufferoxid **51** gebildet. Die Siliziumnitridpolierstoppschicht **52** wird typischerweise mit einer Dicke von 5 nm bis 15 nm, beispielsweise 10 nm, hergestellt. Es wird dann ein Graben **53** in dem

Substrat **50** gebildet, wobei konventionelle Fotolithografie- und Ätzverfahren eingesetzt werden.

[0021] Zu diesem Zeitpunkt kann, obwohl dies nicht gezeigt ist, ein dünnes thermisches Oxid zur Auskleidung des Grabens gebildet werden. Nachfolgend wird, wie in [Fig. 6](#) gezeigt ist, ein isolierendes Material **60**, etwa Siliziumoxid, abgeschieden, um den Graben zu füllen und um ein überschüssiges Material auf der Siliziumnitridpolierstoppschicht **52** beispielsweise durch CMP zu bilden. Die Einebnung wird dann beispielsweise durch CMP erreicht, woraus sich die Zwischenstruktur ergibt, die in [Fig. 7](#) gezeigt ist, wobei das Bezugszeichen **70** die STI-Oxidfüllung bezeichnet. Das CMP wird typischerweise so ausgeführt, dass wenn dieses an der Siliziumnitridpolierstoppschicht **52** anhält, nicht mehr als 2 nm von der oberen Fläche der Siliziumnitridpolierstoppschicht **52** abgetragen werden.

[0022] In konventionellen Vorgehensweisen wird die Siliziumnitridpolierstoppschicht nach dem CMP entfernt, woran sich konventionelle Maskierungs-, Ionenimplantations- und Reinigungsschritte anschließen, um die aktiven Gebiete zu bilden, woraus die Erzeugung von Einkerbungen resultiert. Gemäß Ausführungsformen der vorliegenden Erfindung wird jedoch die relativ dünne Siliziumnitridpolierstoppschicht **52** während der nachfolgenden Maskierungs-, Ionenimplantations- und Reinigungsschritte beibehalten, die in konventioneller Weise ausgeführt werden, wodurch sich die Ausbildung von Verunreinigungs- bzw. dotierten Gebieten **80** ergibt, wie dies in [Fig. 8](#) gezeigt ist, die schließlich für Source/Drain-Gebiete von Transistoren verwendet werden können. Da die Siliziumnitridpolierstoppschicht **52** relativ dünn ist, gibt es im Wesentlichen keine Blockierung der Ionen während der Implantation. Des Weiteren bildet die Siliziumnitridschicht eine stabile Oberfläche, die eine größere Gleichförmigkeit bei der Herstellung der dotierten Gebiete bietet.

[0023] Nachfolgend wird die obere Fläche der STI-Oxidfüllung **70** entfernt, etwa durch Flusssäure (HF), so dass die obere Fläche **70A** im Wesentlichen koplanar bzw. bündig ist zu der oberen Fläche des Halbleitersubstrats **50**, woraus sich die Zwischenstruktur ergibt, die in [Fig. 9](#) gezeigt ist. Nachfolgend wird die Siliziumnitridpolierstoppschicht **52** beispielsweise durch Anwendung von Flusssäure entfernt, und daraufhin wird die Pufferoxidschicht **51** entfernt, woraus sich die in [Fig. 10](#) gezeigte Struktur ergibt. Nachfolgend wird eine Verarbeitung ausgeführt, um eine Transistorstruktur zu bilden, wie sie in [Fig. 11](#) gezeigt ist, die eine Gateelektrode **100** aufweist, die über dem Halbleitersubstrat **50** angeordnet ist, wobei ein Gateoxid **101** dazwischen vorgesehen ist, und wobei dielektrischen Seitenwandabstandshalter **102** daran ausgebildet sind. In [Fig. 11](#) bezeichnet das Bezugszeichen **103** ein Zwischenschichtdielektrikum und ein

Element **104** repräsentiert einen elektrischen Kontakt durch die dielektrische Schicht zu einem aktiven Gebiet **80** auf dem Substrat **50**.

[0024] Die vorliegende Erfindung stellen einen Verfahrensablauf bereit, der für die Herstellung von Halbleiterbauelementen mit äußerst zuverlässigen STI-Gebieten ohne die Ausbildung von Einkerbungen oder mit deutlich reduzierten Einkerbungen ermöglicht. Ausführungsformen der vorliegenden Erfindung umfassen das strategische Reduzieren der Dicke einer Siliziumnitridpolierstoppschicht auf unter 40 nm und das Beibehalten der Siliziumnitridpolierstoppschicht unmittelbar nach dem CMP, um die Grabenkanten vor einem isotropen Ätzangriff während konventioneller Reinigungsschritte zu schützen, die ausgeführt werden, wenn aktive Gebiete gebildet werden, wobei die dünne Siliziumnitridpolierstoppschicht während einer Ionenimplantation beibehalten wird, wodurch äußerst gleichförmige implantierte Gebiete erreicht werden.

[0025] Die vorliegende Erfindung ist industriell anwendbar bei der Herstellung hochintegrierter Halbleiterbauelemente, die STI-Gebiete ohne oder mit wesentlich reduzierter Ausbildung von Einkerbungen enthalten. Die vorliegende Erfindung genießt insbesondere eine Anwendbarkeit bei der Herstellung von Halbleiterbauelementen mit Abmessungen im Bereich unter einem Mikrometer.

Patentansprüche

1. Verfahren zum Herstellen eines Halbleiterbauelements, wobei das Verfahren umfasst:
Bilden einer Nitridpolierstoppschicht (**52**) mit einer Dicke von nicht mehr als 40 nm über einem Halbleitersubstrat (**50**);
Bilden einer Öffnung in der Nitridpolierstoppschicht (**52**) und eines Grabens (**53**) in dem Halbleitersubstrat (**50**);
Füllen des Grabens (**53**) mit isolierendem Material, wobei Überschussmaterial auf der Nitridpolierstoppschicht (**52**) gebildet wird; und
Bilden einer planaren oberen Oberfläche des Halbleitersubstrats (**50**) durch Polieren der oberen Oberfläche des Halbleitersubstrats (**50**), wobei an der Nitridpolierstoppschicht (**52**) angehalten wird, wodurch ein flaches Grabenisolationsgebiet (**70**) gebildet wird; und anschließend
Implantieren von Dotierstoffionen durch die Nitridpolierstoppschicht (**52**), wodurch dotierte Gebiete (**80**) in dem Halbleitersubstrat (**50**) benachbart zu dem flachen Grabenisolationsgebiet (**70**) gebildet werden.

2. Verfahren nach Anspruch 1, welches das Bilden der Nitridpolierschicht (**52**) mit einer Dicke von 5 nm bis 15 nm umfasst.

3. Verfahren nach Anspruch 1, bei dem durch das Polieren der oberen Oberfläche des Halbleitersubstrats (**50**) nicht mehr als 2 nm der Nitridpolierstoppschicht (**52**) abgetragen werden.

4. Verfahren nach Anspruch 1, welches ferner ein Bilden einer Pufferoxidschicht (**51**) auf einer oberen Oberfläche des Halbleitersubstrats (**50**) vor dem Bilden der Nitridpolierstoppschicht (**52**) auf der Pufferoxidschicht (**51**) umfasst.

5. Verfahren nach Anspruch 1, welches ferner umfasst:

Entfernen der Nitridpolierstoppschicht (**52**);

Bilden einer Gateoxidschicht (**101**) auf dem Halbleitersubstrat (**50**) nach dem Entfernen der Nitridpolierstoppschicht (**52**); und

Bilden einer Gateelektrode (**100**) auf der Gateoxidschicht (**101**).

6. Verfahren nach Anspruch 5, welches ferner ein Ätzen umfasst, um einen Teil einer oberen Oberfläche (**70A**) des den Graben (**53**) füllenden isolierenden Materials zu entfernen, so dass die obere Oberfläche (**70A**) des isolierenden Materials bündig ist zu der oberen Oberfläche des Halbleitersubstrats (**50**) vor dem Entfernen der Nitridpolierstoppschicht (**52**).

Es folgen 11 Blatt Zeichnungen

Anhängende Zeichnungen

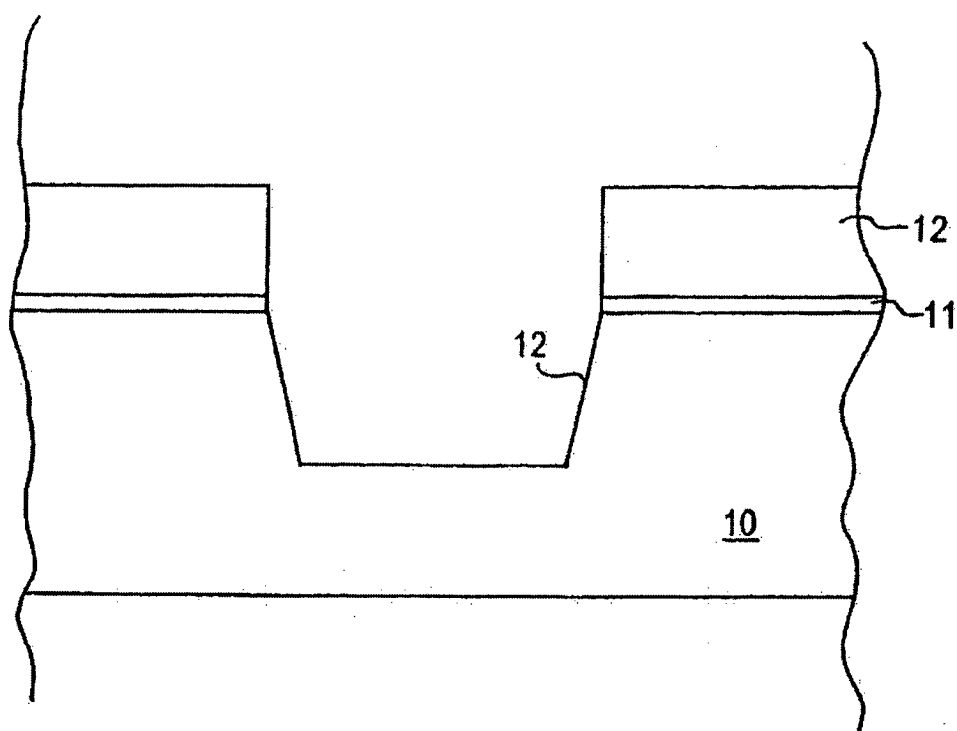


FIG. 1
(Stand der Technik)

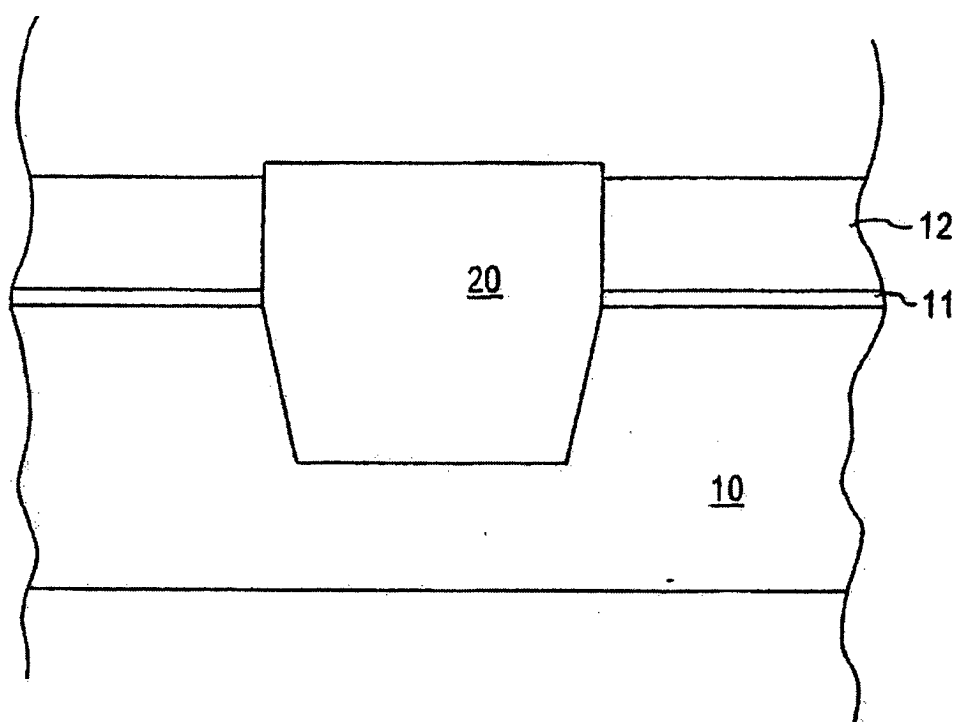


FIG. 2

(Stand der Technik)

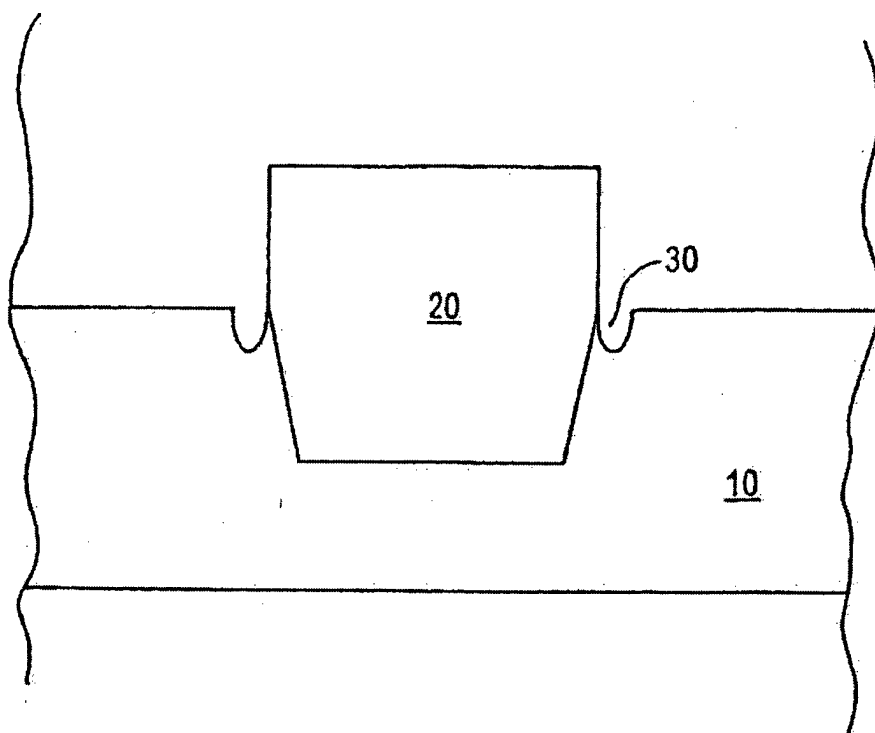


FIG. 3

(Stand der Technik)

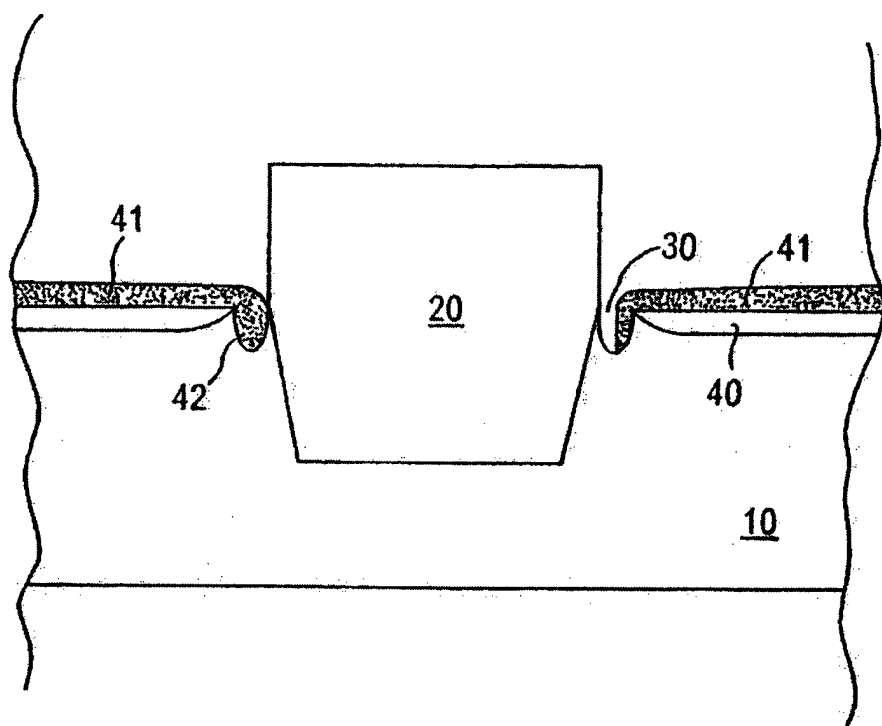


FIG. 4

(Stand der Technik)

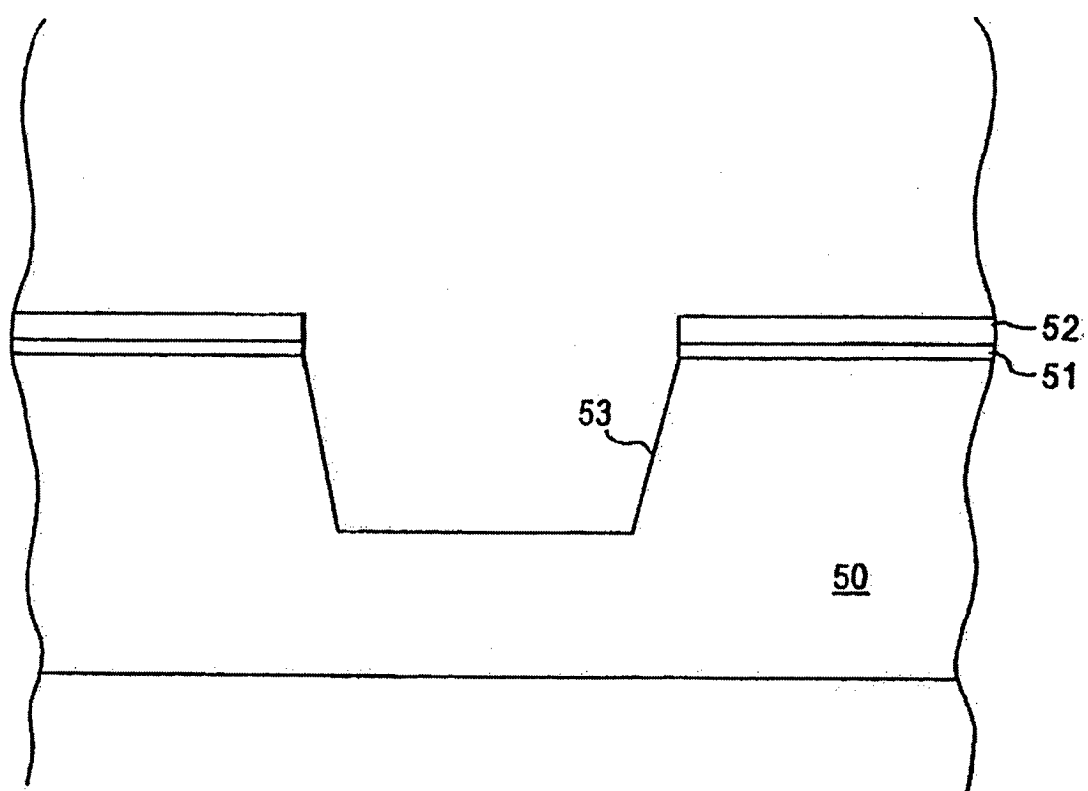


FIG. 5

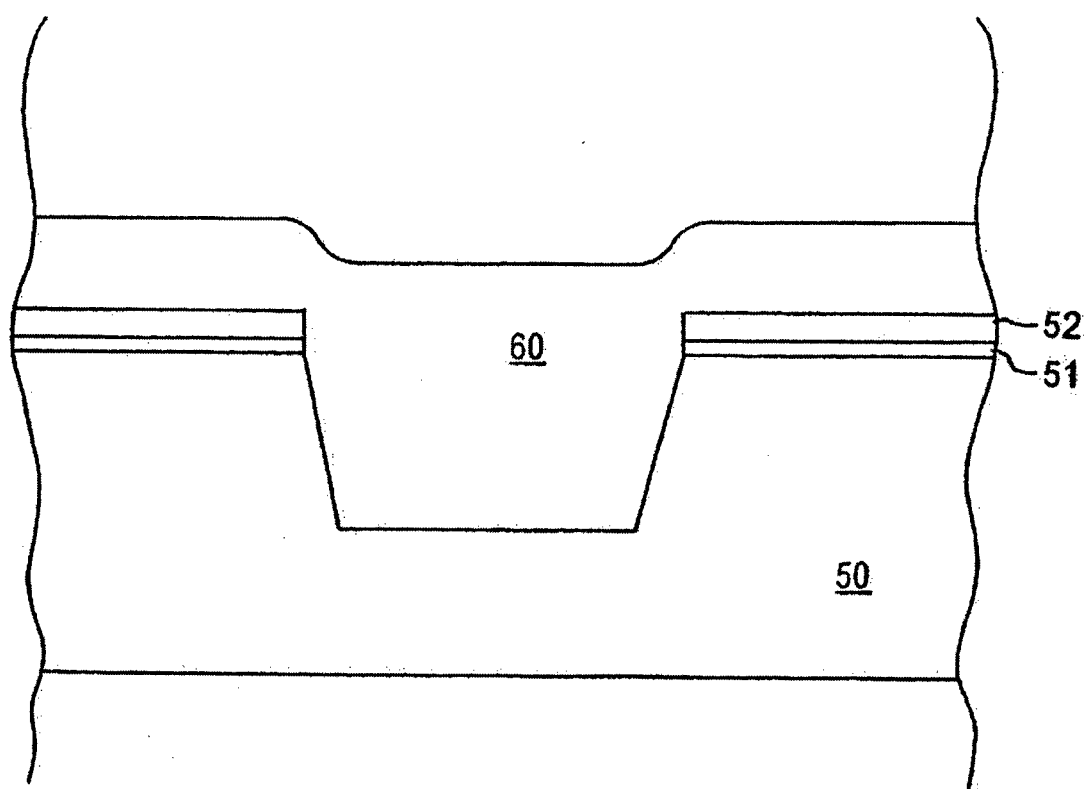


FIG. 6

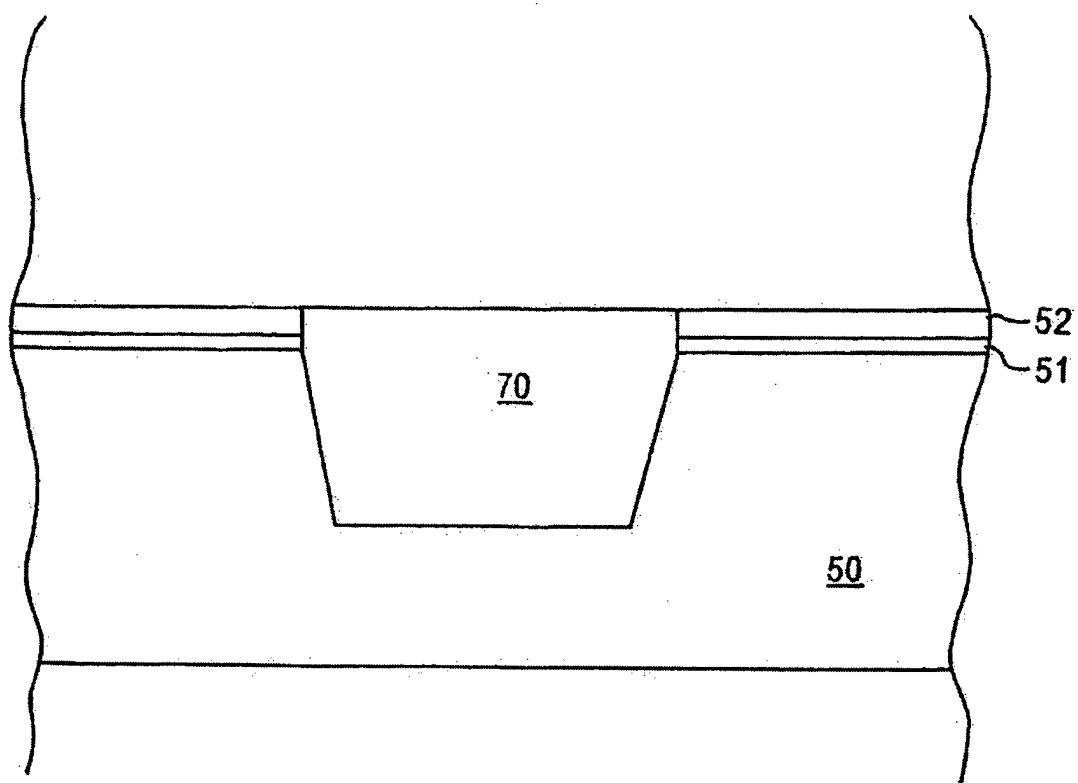


FIG. 7

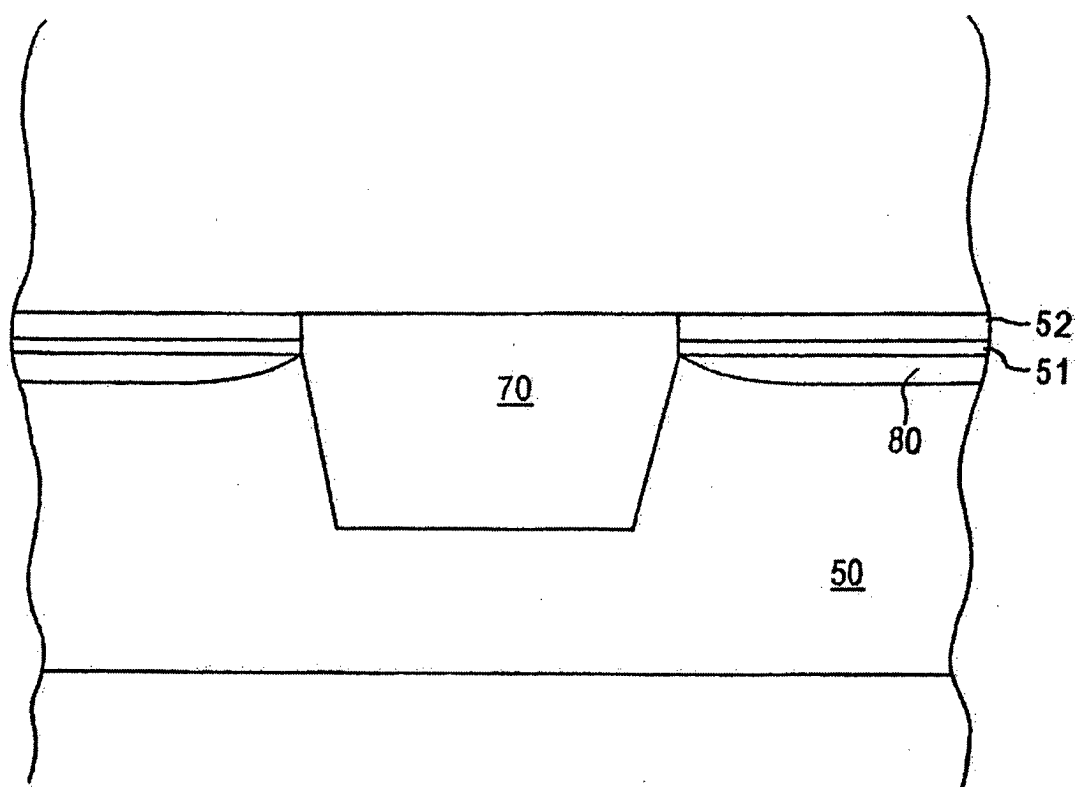


FIG. 8

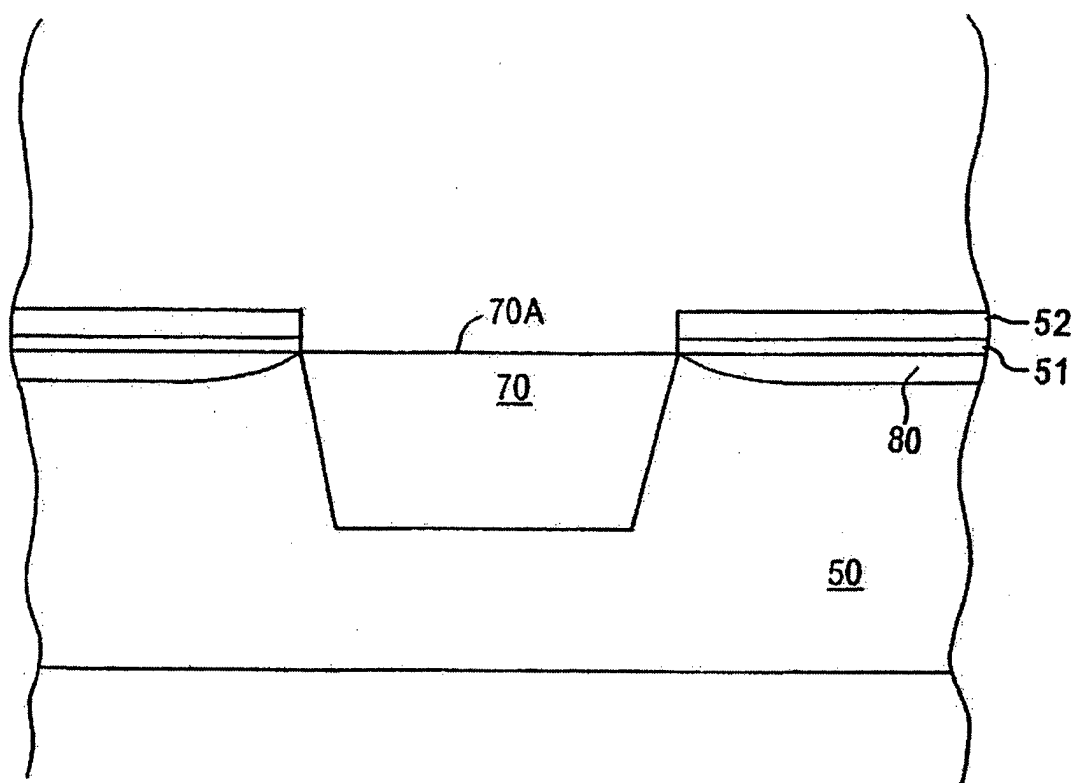


FIG. 9

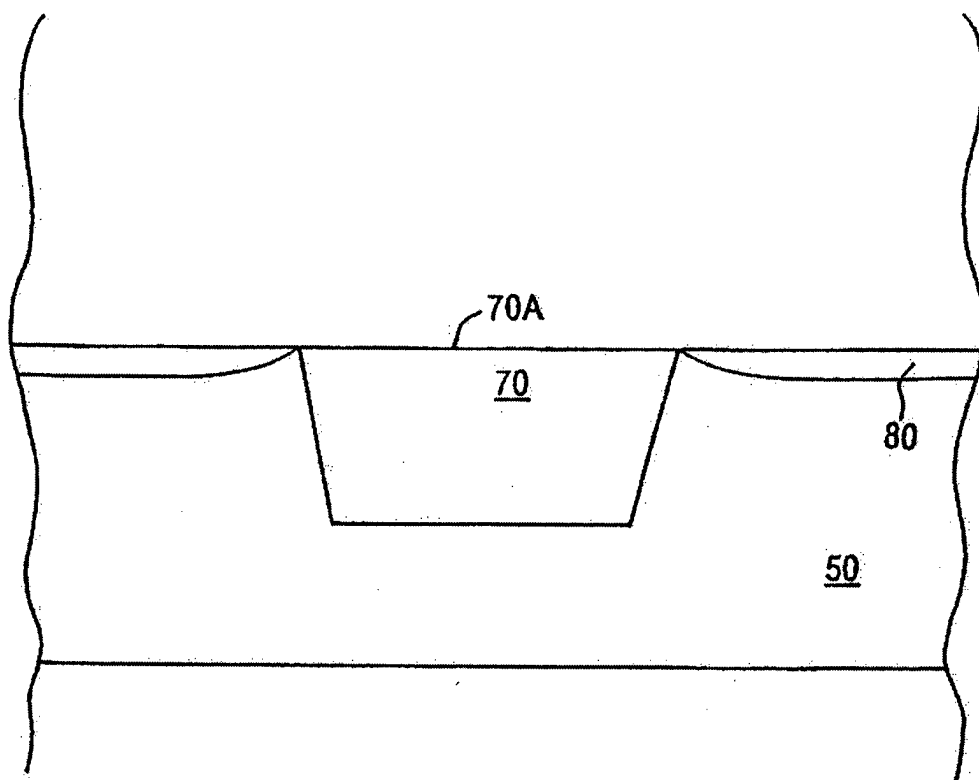


FIG. 10

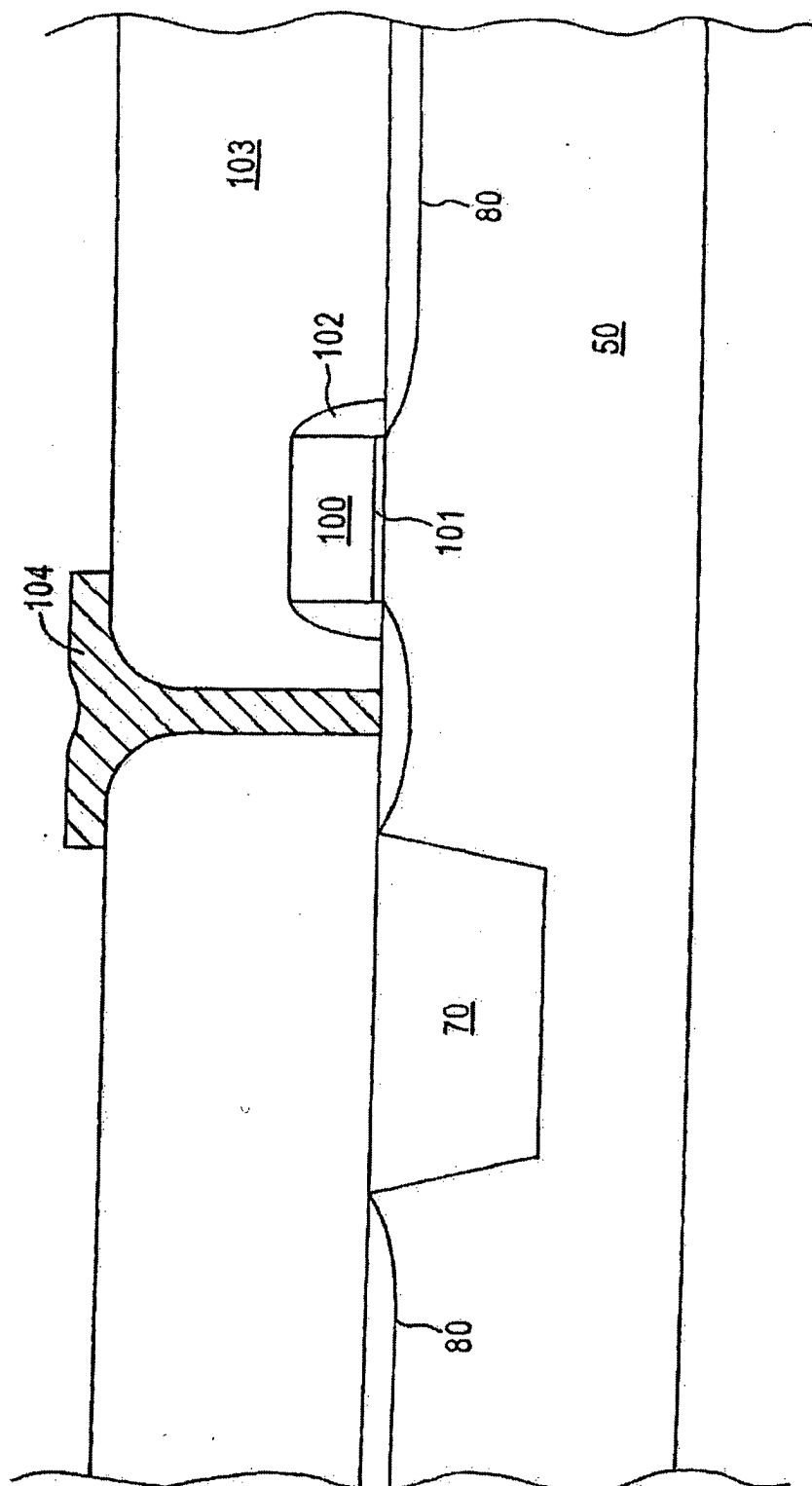


FIG. 11