(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4794428号
(P4794428)
(45)発行日　平成23年10月19日(2011.10.19)　(24)登録日　平成23年8月5日(2011.8.5)

(51)Int.Cl.　　F I
H03K 3/356 (2006.01)　　H03K 3/356 B
H03K 3/037 (2006.01)　　H03K 3/037 Z

請求項の数 22　外国語出願　(全 23 頁)

(21)出願番号　特願2006-351993(P2006-351993)
(22)出願日　平成18年12月27日(2006.12.27)
(65)公開番号　特開2007-184925(P2007-184925A)
(43)公開日　平成19年7月19日(2007.7.19)
審査請求日　平成19年1月26日(2007.1.26)
(31)優先権主張番号　102005063097.9
(32)優先日　平成17年12月30日(2005.12.30)
(33)優先権主張国　ドイツ(DE)

(73)特許権者　501085762
インフィネオン　テヒノロギーズ　アーゲー
Ｉｎｆｉｎｅｏｎ　Ｔｅｃｈｎｏｌｏｇｉｅｓ　ＡＧ
ドイツ連邦共和国　Ｄ－８１６６９　ミュンヘン　ザンクト－マルティン－シュトラーセ　５３
(74)代理人　100068755
弁理士　恩田　博宣
(74)代理人　100105957
弁理士　恩田　誠

最終頁に続く

(54)【発明の名称】パルス・スタティック・フリップフロップ

(57)【特許請求の範囲】
【請求項１】
論理信号（／Ｄ１）の論理状態を記憶するためのパルス・スタティック・フリップフロップ（１００）であって、
該論理信号（／Ｄ１）をパルス信号（ＰＵＬＳＥ）と論理的に合成し、セット信号（／ＳＥＴ）を出力する第１の論理回路（６）と、
該論理信号（／Ｄ１）を相補パルス信号（／ＰＵＬＳＥ）と論理的に合成し、リセット信号（／ＲＥＳ）を出力する第２の論理回路（７）と、
論理保持レベルを保持する記憶手段（１７、１８、１９）を有し、該セット信号（／ＳＥＴ）によって制御される第１のプッシュプル・トランジスタ（１６）によって該論理保持レベルを第１の論理レベル（ＶＤＤ）に設定し、該リセット信号（／ＲＥＳ）によって制御される第２のプッシュプル・トランジスタ（１５）によって該論理保持レベルを第２の論理レベル（ＶＳＳ）に設定し、該論理信号（／Ｄ１）の記憶論理状態として該論理保持レベルを取り出すラッチ回路（７０）であって、該記憶手段（１７、１８、１９）が、該論理信号（／Ｄ１）の記憶論理状態を出力するインバータ（１９）と、該インバータ（１９）の出力信号が入力される保持トランジスタ（１７）及び相補保持トランジスタ（１８）とを含む、該ラッチ回路（７０）とを備え、
該パルス・スタティック・フリップフロップ（１００）は非同期リセット機能を有するように設計されており、該パルス・スタティック・フリップフロップ（１００）には、
各々制御可能経路と制御接続（７８、７９）とを有するリセットトランジスタ（７６）

と相補リセットトランジスタ（７７）とが該ラッチ回路（７０）内に設けられ、該リセットトランジスタの制御可能経路が、該保持トランジスタ（１７）の制御可能経路と該第２の論理レベルを規定する第２の電源電位接続（ＶＳＳ）との間に接続され、該相補リセットトランジスタ（７７）の制御可能経路が、該第１の論理レベルを規定する第１の電源電位接続（ＶＤＤ）と該インバータ（１９）の入力（２１）との間に接続され、非同期リセット信号（ＲＮ）が両リセットトランジスタ（７６、７７）の制御接続（７８、７９）に供給されていることを特徴とするパルス・スタティック・フリップフロップ。

【請求項２】

該第２のプッシュプル・トランジスタ（１６）が、該第１のプッシュプル・トランジスタ（１５）に対して相補的なプッシュプル・トランジスタである、

ことを特徴とする請求項１に記載のパルス・スタティック・フリップフロップ（１００）。

【請求項３】

該保持トランジスタ（１７）と該相補保持トランジスタ（１８）の各々が制御可能経路と制御接続（２６、２５）とを有し、該インバータ（１９）の入力（２１）が、第１の電源電位接続（ＶＤＤ）と第２の電源電位接続（ＶＳＳ）との間に直列に接続された両保持トランジスタ（１７、１８）の制御可能経路間の電位ノード（２０）に接続され、該インバータ（１９）の出力（２２）が両保持トランジスタ（１７、１８）の制御接続（２５、２６）に接続され、

該インバータ（１９）の入力（２１）が、該第２の電源電位接続（ＶＳＳ）で該リセット信号（／ＲＥＳ）に基づいて該第２のプッシュプル・トランジスタ（１５）を介して切り替えられるとともに、該第１の電源電位接続（ＶＤＤ）で該セット信号（／ＳＥＴ）に基づいて該第１のプッシュプル・トランジスタ（１６）を介して切り替えられ、

該論理信号（Ｄ１）の該記憶論理状態が、該インバータの入力（２１）から取り出される、

ことを特徴とする請求項２に記載のパルス・スタティック・フリップフロップ（１００）。

【請求項４】

該第１のプッシュプル・トランジスタ（１６）と該第２のプッシュプル・トランジスタ（１５）の各々が制御可能経路と制御接続（２４、２３）とを有し、両プッシュプル・トランジスタの制御可能経路が該第１の電源電位接続（ＶＤＤ）と該第２の電源電位接続（ＶＳＳ）との間に直列に接続され、該リセット信号（／ＲＥＳ）は該第２のプッシュプル・トランジスタ（１５）の制御接続（２４）に供給され、該セット信号（／ＳＥＴ）は該第１のプッシュプル・トランジスタ（１６）の制御接続（２３）に供給され、該インバータ（１９）の入力（２１）は該両プッシュプル・トランジスタ（１５、１６）の制御可能経路間の追加電位ノード（１６３）に接続されている、

ことを特徴とする請求項３に記載のパルス・スタティック・フリップフロップ（１００）。

【請求項５】

制御可能経路と制御接続（６５）とを有する追加トランジスタ（６４）が設けられ、該追加トランジスタの制御可能経路が該電位ノード（２０）と該保持トランジスタ（１７）の制御可能経路との間に接続され、該セット信号（／ＳＥＴ）が該追加トランジスタ（６４）の制御接続（６５）に供給されている、

ことを特徴とする請求項３または４に記載のパルス・スタティック・フリップフロップ（１００）。

【請求項６】

制御可能経路と制御接続とを有する追加相補トランジスタが設けられ、該追加相補トランジスタの制御可能経路が該相補保持トランジスタ（１８）の制御可能経路と該電位ノード（２０）との間に接続され、該リセット信号（／ＲＥＳ）が該追加相補トランジスタの制御接続に供給されている、

ことを特徴とする請求項３乃至５の何れか一項に記載のパルス・スタティック・フリップフロップ。
【請求項７】
該第１の論理回路（６）がＮＡＮＤゲートで形成されている、
ことを特徴とする請求項１乃至６の何れか一項に記載のパルス・スタティック・フリップフロップ（１００）。
【請求項８】
該第１の論理回路（６）が、各々制御可能経路と制御接続（５０、５１、５２、５３）とを有する、第１の論理トランジスタ（４６）、第２の論理トランジスタ（４７）、第１の相補論理トランジスタ（４８）及び第２の相補論理トランジスタ（４９）を有し、
該第１の相補論理トランジスタ（４８）の制御可能経路と該第１及び第２の論理トランジスタ（４６，４７）の制御可能経路とが、第１の電源電位接続（ＶＤＤ）と第２の電源電位接続（ＶＳＳ）との間に直列に接続され、
該第２の相補論理トランジスタ（４９）の制御可能経路が、該第１の電源電位接続（ＶＤＤ）と、該第１の相補論理トランジスタ（４８）の制御可能経路と該第１の論理トランジスタ（４６）の制御可能経路との間に存在するセット信号ノード（５４）との間に接続され、
該パルス信号（ＰＵＬＳＥ）が、該第１の論理トランジスタ（４６）の制御接続（５１）と、該第２の相補論理トランジスタ（４９）の制御接続（５３）とに供給され、
該論理信号（／Ｄ１）が、該第１の相補論理トランジスタの制御接続（５２）と、該第２の論理トランジスタの制御接続（５０）とに供給され、
該セット信号（／ＳＥＴ）が該セット信号ノード（５４）から取り出される、
ことを特徴とする請求項７に記載のパルス・スタティック・フリップフロップ（１００）。
【請求項９】
該第２の論理回路（７）がＮＯＲゲートで形成されている、
ことを特徴とする請求項１乃至８の何れか一項に記載のパルス・スタティック・フリップフロップ（１００）。
【請求項１０】
該第２の論理回路（７）が、各々制御可能経路と制御接続（６１、６２、５９、６０）とを有する、第１の論理トランジスタ（５７）、第２の論理トランジスタ（５８）、第１の相補論理トランジスタ（５５）及び第２の相補論理トランジスタ（５６）を有し、
該第１及び第２の相補論理トランジスタ（５５、５６）の制御可能経路と該第１の論理トランジスタ（５７）の制御可能経路とが、第１の電源電位接続（ＶＤＤ）と第２の電源電位接続（ＶＳＳ）との間に直列に接続され、
該第２の論理トランジスタ（５８）の制御可能経路が、該第２の相補論理トランジスタ（５６）の制御可能経路と該第１の論理トランジスタ（５７）の制御可能経路との間に存在するリセット信号ノード（６３）と、該第２の電源電位接続（ＶＳＳ）との間に接続され、
該論理信号（／Ｄ１）が、該第１の相補論理トランジスタ（５５）の制御接続（５９）と、該第１の論理トランジスタ（５７）の制御接続（６１）とに供給され、
該相補パルス信号（／ＰＵＬＳＥ）が、該第２の相補論理トランジスタ（５６）の制御接続（６０）と、該第２の論理トランジスタ（５８）の制御接続（６２）とに供給され、
該リセット信号（／ＲＥＳ）が該リセット信号ノード（６３）から取り出される、
ことを特徴とする請求項９に記載のパルス・スタティック・フリップフロップ。
【請求項１１】
該パルス・スタティック・フリップフロップが非同期セット機能を有するように設計されている、
ことを特徴とする請求項１乃至１０の何れか一項に記載のパルス・スタティック・フリップフロップ（２００）。

【請求項１２】
各々制御可能経路と制御接続とを有する設定トランジスタ（８１）と相補設定トランジスタ（８０）とが設けられ、該設定トランジスタ（８１）の制御可能経路が、該インバータ（１９）の入力（２１）と該第２の電源電位接続（ＶＳＳ）との間に接続され、該相補設定トランジスタ（８０）の制御可能経路が、該第１の電源電位接続（ＶＤＤ）と該相補保持トランジスタ（１８）の制御可能経路との間に接続され、非同期信号（／ＳＮ）が両設定トランジスタ（８０、８１）の制御接続（８２、８３）に供給されている、
ことを特徴とする請求項１１に記載のパルス・スタティック・フリップフロップ。
【請求項１３】
該第１及び第２の論理回路（６、７）への論理信号（／Ｄ１）を試験制御信号（ＴＥ）に基づいて試験信号（ＴＩ）か或いは該論理信号（Ｄ）に切り替える走査入力段（９０）を備える、
ことを特徴とする請求項１乃至１２の何れか一項に記載のパルス・スタティック・フリップフロップ（２００）。
【請求項１４】
該ラッチ回路（８４）に接続された走査出力段（９１）であって、試験出力（９２）に対して該論理信号（／Ｄ１、Ｄ）の記憶論理状態（ＱＩ）から引き出された試験出力信号（ＴＯ）を切り替えるか、あるいは試験制御信号（ＴＥ）に基づいて所定の論理レベル（ＶＳＳ）に該試験出力（９２）を切り替える走査出力段（９１）を備える、
ことを特徴とする請求項１乃至１３の何れか一項に記載のパルス・スタティック・フリップフロップ（２００）。
【請求項１５】
該走査出力段（９１）が少なくとも１つの伝送ゲート（１３８）を有する、
ことを特徴とする請求項１４に記載のパルス・スタティック・フリップフロップ（２００）。
【請求項１６】
クロック信号（ＣＬＫ）に基づいて該パルス信号（ＰＵＬＳＥ）と該相補パルス信号（／ＰＵＬＳＥ）を生成するパルス発生器（３８）を備える、
ことを特徴とする請求項１乃至１５の何れか一項に記載のパルス・スタティック・フリップフロップ（１００）。
【請求項１７】
該パルス発生器（３８）が、該クロック信号（ＣＬＫ）の各立ち上がりクロックエッジ及び／又は各立ち下がりクロックエッジで、該パルス信号（ＰＵＬＳＥ）と該補正パルス信号（／ＰＵＬＳＥ）を生成する、
ことを特徴とする請求項１６に記載のパルス・スタティック・フリップフロップ（１００）。
【請求項１８】
該パルス発生器（１４３）が少なくとも１つの論理ゲート（１５０）、特にＮＡＮＤゲートを有する、
ことを特徴とする請求項１６または１７に記載のパルス・スタティック・フリップフロップ。
【請求項１９】
該パルス発生器（１４３）が少なくとも１つの遅延経路（１４７、１４８、１４９）を有する、
ことを特徴とする請求項１６乃至１８の何れか一項に記載のパルス・スタティック・フリップフロップ。
【請求項２０】
該遅延経路の遅延時間はプログラミング可能である、
ことを特徴とする請求項１９に記載のパルス・スタティック・フリップフロップ。
【請求項２１】

該各トランジスタがＮＭＯＳトランジスタで形成され、該各相補トランジスタがＰＭＯＳトランジスタで形成されている、
ことを特徴とする請求項１乃至２０の何れか一項に記載のパルス・スタティック・フリップフロップ。
【請求項２２】
該各トランジスタがＣＭＯＳ技術を使用して設計されている、
ことを特徴とする請求項１乃至２１の何れか一項に記載のパルス・スタティック・フリップフロップ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は論理信号の論理状態を記憶するためのパルス・スタティック・フリップフロップに関する。
【背景技術】
【０００２】
フリップフロップは、例えばマイクロプロセッサのパイプライン段階で論理状態を迅速に記憶するために使用される。このケースでは、重要な変数は、記憶される論理レベルがフリップフロップの透過性を定めるクロック信号に関して変更される時間間隔を示すセットアップ時間である。別の重要な変数は、フリップフロップの透過性を決定するクロック信号のエッジと、フリップフロップの出力時に記憶されている論理状態の存在の間の時間間隔を示す遅延時間ｔＣＬＫ－Ｑである。フリップフロップのホールドタイムとは、入力データ項目が、該データ項目がフリップフロップに確実に記憶されるように、透過性を開始するクロックエッジ後に、その信号レベルに留まらなければならない最小必須時間である。従来、フリップフロップに関する先行技術文献としては、例えば特許文献１～３が開示されている。
【特許文献１】欧州特許第０２０３４９１号明細書
【特許文献２】米国特許第６７８８１２１号明細書
【特許文献３】欧州特許第０２５０９３２号明細書
【発明の開示】
【発明が解決しようとする課題】
【０００３】
図１は、従来の技術によるマスタラッチとスレーブラッチを有するクロックエッジ制御式フリップフロップを描いている。フリップフロップＭＳＦＦは、データ項目ＤＩと、クロック入力ＣＬＫＩと、データ出力ＱＯとを有する。各々がデータ入力Ｄ１１、Ｄ２２、データ出力Ｑ１１、Ｑ２２、及びクロック入力Ｃ１、Ｃ２を有する２つのラッチＬＴ１，ＬＴ２が設けられる。入力データ項目Ｄは第１のラッチＬＴ１のデータ入力ＤＩ１に供給され、第１のラッチＬＴ１からの出力データ項目ＱＩは第２のラッチＬ２のデータ入力Ｄ２２に供給される。出力データ項目Ｑは第２のラッチＬＴ２の出力Ｑ２２から取り出すことができる。クロック信号ＣＬＫはクロック入力ＣＬＫＩに供給され、前記クロック信号ＣＬＫは第１のインバータＩ１を介して反転及び遅延され、遅延及び反転されたクロック信号ＣＬＫ´を形成する。反転クロック信号ＣＬＫ´は第１のラッチＬＴ１のクロック入力Ｃ１に供給される。遅延されたクロック信号ＣＬＫ´も第２のインバータＩ２によって反転され、さらに遅延され、追加クロック信号ＣＬＫ´´として第２のラッチＬＴ２のクロック入力Ｃ２に供給される。クロック信号ＣＬＫの立上りクロックエッジ時に、第２のラッチＬＴ２が透明となるように切り替えられ、第１のラッチＬＴ１またはマスタラッチがロックされる。その結果として、データ項目Ｄは立上りクロックエッジ時にマスタ／スレーブフリップフロップＭＳＦＦの中に読み込まれ、この状態は１クロック期間中に出力ＱＯで出力される。
【０００４】
図１に示すようにマスタ／スレーブ配列と比較してフリップフロップの速度を加速する

ために、いわゆるパルスフリップフロップが過去に提案された。例えば、低出力電子機器及び設計に関する国際シンポジウム２００１（Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｓｙｍｐｏｓｉｕｍ ｏｎ Ｌｏｗｅｒ－Ｐｏｗｅｒ Ｅｌｅｃｔｒｏｎｉｃｓ ａｎｄ Ｄｅｓｉｇｎ ２００１）、Ｊ．Ｔｓｃｈａｎｚら、「高性能マイクロプロセッサのための単一エッジトリガパルスフリップフロップと二重エッジトリガフリップフロップの比較遅延及びエネルギー」に説明されている。

【０００５】

図２は、パルスフリップフロップＰＦＦの対応する回路配列を示す。パルストリガフリップフロップのケースでは、出力段としてラッチを駆動する内部パルス信号を生成するために外部クロック信号ＣＬＫを使用する入力段が設けられる。入力データ項目Ｄは、データ入力ＤＩと伝送ゲートＴＧを介してここでは２つのフィードバック・インバータＩ６、Ｉ７で形成されたラッチＬＴに供給される。このようにしてバッファに記憶されるデータ項目は追加インバータ１５を介して反転出力データ項目／Ｑの形で出力ＱＯに出力される。伝送ゲートＴＧは互いに相補的であり、各々パルス形状を有する制御信号ＰＵＬＳＥ、／ＰＵＬＳＥを使用して駆動される。クロック信号ＣＬＫはクロック信号入力ＣＬＫＩに供給され、ＮＡＮＤゲートＮＡに入力される。３つのインバータＩ１、Ｉ２、Ｉ３を備える遅延経路では、クロック信号が遅延され、同様に遅延クロック信号ＣＬＫ´の形でＮＡＮＤゲートに供給される。したがって、このようにして発生し、ＮＡＮＤゲートＮＡの出力から取り出すことができるパルス信号ＰＵＬＳＥ、またはインバータＩ４によって生成される相補パルス信号／ＰＵＬＳＥは、入力ＤＩと出力ＱＯの間の透過性フェーズを制御する。透過性ウィンドウは、例えば使用されるトランジスタが１８０ｎｍ＿ＣＭＯＳ技術を使用して設計されるときに１２５ｐｓである。

【０００６】

このようなフリップフロップは、例えば図３に描かれているように特にマイクロプロセッサのパイプライン段で使用される。このケースではデータはフリップフロップの入力に供給され、追加論理回路がそれぞれのフリップフロップの出力に接続される。それぞれの論理回路の論理演算は次に、下流に接続されているフリップフロップに追加の入力項目を与える。フリップフロップと論理回路の連鎖がこのようにして概して形成される。各論理回路はキャパシタンスを有するため、それらはそれぞれのフリップフロップによって駆動されなければならない。必要信号伝搬時間は、t_{CLK-Q}、t_{LOGIC}、及びt_{SETUP}の和から構成され、t_{CLK-Q}はクロック信号のそれぞれのクロックエッジと出力データ項目の関連エッジの間の遅延時間であり、t_{LOGIC}はそれぞれの論理回路によって引き起こされる遅延であり、ｔＳＥＴＵＰはセットアップ時間である。特に、処理時間及び準備時間はマイクロプロセッサでは決定的に重要な意味を持つ。

【０００７】

したがって、改善されたパルスフリップフロップ、短いセットアップ時間、特に、発生するクロックエッジ対出力信号遅延を小さくすることが本発明の目的である。

【課題を解決するための手段】

【０００８】

上記目的は、請求項１の特長を有する論理信号の論理状態を記憶するためのパルス・スタティック・フリップフロップによって達成される。

論理信号の論理状態を記憶するための本発明のパルス・スタティック・フリップフロップは、論理信号をパルス信号と論理的に合成し、セット信号を出力する第１の論理回路と、論理入力信号を相補的なパルス信号と論理的に合成し、リセット信号を出力する第２の論理回路と、論理保持レベルを保持する記憶手段を有するラッチ回路であり、セット信号によって制御される第１のプッシュプル・トランジスタによって該保持レベルを第１のレベルに設定し、リセット信号によって制御される第２のプッシュプル・トランジスタによって該保持レベルを第２の論理レベルに設定するラッチ回路と、を有する。このケースでは保持レベルは論理信号の記憶されている論理状態として取り出すことができる。

【０００９】

ハイレベルからローレベルへの遷移は第２のプッシュプル・トランジスタを使用して達成されるが、本発明に従って、２つのプッシュプル・トランジスタが、例えばローレベルからハイレベルへ等、第１の論理レベルから第２の論理レベルへの迅速な信号変換を実現する。これは、プッシュプル・トランジスタを、それらが一致し、したがって変化する入力信号、すなわち論理信号のケースにおいて特に迅速なレベル遷移を実現するような寸法で作ることができるという優位点を有する。第１のプッシュプル・トランジスタは好ましくは第２のプッシュプル・トランジスタに相補的であるプッシュプル・トランジスタである。

【００１０】

ラッチ回路は、好ましくは、入力と出力を有するインバータと、保持トランジスタと、それぞれが制御可能経路と制御接続を有する相補保持トランジスタを有する。このケースでは、インバータの入力は、第１の電源電位接続と第２の電源電位接続の間で直列に接続されている保持トランジスタの制御可能経路間の電位ノードに接続されている。インバータの出力は保持トランジスタの制御接続に接続され、インバータの入力は、第２の電源電位接続でのリセット信号に基づいてプッシュプル・トランジスタを介して切り替えることができる。インバータの入力も、第１の電源電位接続でセット信号に基づいて相補プッシュプル・トランジスタを介して切り替えることができる。論理信号の記憶されている論理状態は次にインバータの入力から取り出すことができる。

【００１１】

従来の技術によるラッチ回路と比較すると、それぞれのレベル遷移は本発明の回路装置で別々に駆動される。これにより、フリップフロップの特に高速を達成できる。

プッシュプル・トランジスタは、好ましくはそれぞれ制御可能経路と制御接続を有し、制御可能経路は第１の電源電位接続と第２の電源電位接続の間で直列で接続されている。リセット信号は、次に相補プッシュプル・トランジスタの制御接続に供給され、セット信号はプッシュプル・トランジスタに供給される。このケースでは、インバータの入力はプッシュプル・トランジスタの制御可能経路間で追加電位ノードに接続される。

【００１２】

好ましい一実施形態は、制御可能経路と制御接続を有する追加トランジスタを提供し、該制御可能経路は保持トランジスタの制御接続の電位ノードと制御可能経路の間で接続される。セット信号は追加トランジスタの制御接続に供給される。

【００１３】

これには特に、例えばＰＭＯＳトランジスタで形成し得る相補プッシュプル・トランジスタにより電位ノードが、ハイレベルが制御接続にかけられるときに使用可能になるという優位点があり、電位ノードは相補プッシュプル・トランジスタの制御接続でのローレベルのケースでは第１の電源電圧電位のレベルに確実に引っ張られる。追加のトランジスタの結果として、相補プッシュプル・トランジスタはさらに小さくなるように構成できる。相補プッシュプル・トランジスタまたはＰＭＯＳトランジスタの寸法は、同じ技術を使用して設計されるＮＭＯＳトランジスタよりも通常弱いために、追加のトランジスタはフリップフロップの追加の信頼性を提供する。

【００１４】

本発明のフリップフロップの別の開発は、制御可能経路と制御接続を有する追加の相補トランジスタを提供し、該制御可能経路は相補保持トランジスタの該制御可能経路と電位ノードの間で接続されている。このケースでは、リセット信号は追加相補トランジスタの制御接続に供給される。追加の相補トランジスタは、例えばリセット信号がローレベルにあるときに、プッシュプル・トランジスタが第２の電源電圧電位に電位ノードを引っ張ることができないことを保証にする。中断できるそれぞれの保持ループのこのフィードバックは、セット信号とリセット信号に基づいて本発明のラッチ回路の確実な回路を実現する。

【００１５】

第１の論理回路は、好ましくはＮＡＮＤゲートで形成される。ＮＡＮＤゲートで形成す

る設計では、あるいは論理Ｎｏｔ－ＡＮＤゲートで形成される設計では、好ましくはそれぞれが制御可能経路と制御接続を有するという、第１の論理トランジスタと第２の論理トランジスタ及第１の相補論理トランジスタと第２の相補論理トランジスタが準備される。このケースでは、第１の相補論理トランジスタの制御可能経路と第２の論理トランジスタの制御可能経路は第１に電源電位接続と第２の電源電位接続の間で直列に接続されている。第２の相補論理トランジスタの制御可能経路は第１の電源電位接続とセット信号ノードの間で接続され、セット信号ノードは第１の相補論理トランジスタの制御可能経路と、第１の論理トランジスタの制御可能経路の間に存在する。この実施形態では、パルス信号は第１の論理トランジスタの、及び第２の相補論理トランジスタの制御接続に供給される。論理信号は第１の相補論理トランジスタの、及び第２の論理トランジスタの制御接続に供給される。このケースでは、セット信号はセット信号ノードから取り出すことができる。

【００１６】

好適実施形態では、２つの論理トランジスタと相補保持トランジスタは、特に、論理信号の、例えばフリップフロップ用の入力信号の、論理ハイレベルから論理ローレベルへの遷移の場合にはラッチ回路の記憶されている論理状態を制御する。

【００１７】

第２の論理回路は好ましくはＮＯＲゲートで形成される。ＮＯＲゲート、またはＮｏｔ－ＯＲゲートで形成される設計では、第２の論理回路が、好ましくは各々制御可能経路と制御接続とを有する第１の論理トランジスタと第２の論理トランジスタ、及び第１の相補論理トランジスタと第２の相補論理トランジスタを有する。このケースでは、第１の相補論理トランジスタと第２の相補論理トランジスタの制御可能な経路、及び第１の論理トランジスタの制御可能な経路が、第１の電源電位接続と第２の電源電位接続の間で直列で接続されている。

【００１８】

第２の論理トランジスタの制御可能経路は、第２の相補論理トランジスタの制御可能経路と第１の論理トランジスタの制御可能経路の間にあるリセット信号ノードと、第２の電源電位接続の間で接続されている。論理信号は第１の相補論理トランジスタの、及び第１の論理トランジスタの制御接続に供給される。相補パルス信号は第２の相補論理トランジスタの、及び第２の論理トランジスタの制御接続に供給される。このケースでは、次にリセット信号をリセット信号ノードから取り出すことができる。ＮＯＲゲートで形成される第２の論理回路の設計を用いて、２つの相補論理トランジスタと保持トランジスタが、本来、論理信号の論理状態のローからハイへの変化の場合にラッチ回路の状態を制御する。

【００１９】

一好適実施形態では、フリップフロップは非同期リセット機能を有するように設計される。次に、好ましくは、それぞれ制御可能経路と制御接続を有するリセットトランジスタと相補リセットトランジスタが設けられ、該リセットトランジスタの該制御可能経路が保持トランジスタの制御可能経路と第２の電源電位接続の間で接続される。次に相補リセットトランジスタの制御可能経路は第１の電源電位接続とインバータの入力の間で接続される。このケースでは、非同期リセット信号がリセットトランジスタの制御接続に供給される。

【００２０】

また、フリップフロップは、好ましくは非同期セット機能を有するように作られる。次にそれぞれ制御可能経路と制御接続を有する設定トランジスタと相補設定トランジスタが設けられ、設定トランジスタの制御可能経路は、インバータの入力と第２の電源電位接続の間で接続されている。相補設定トランジスタの制御可能経路は第１の電源電位接続と、相補保持トランジスタの制御可能経路の間で接続される。非同期セット信号は設定トランジスタの制御接続に供給される。

【００２１】

クロック信号の状態に関係なく、セット機能またはリセット機能は、記憶されている論理レベルを設定するためにラッチ回路を使用することを可能にする。

本発明のフリップフロップの１つの好ましい開発は、試験制御信号に基づき、論理信号として試験信号を、あるいは論理信号を第１の論理回路及び第２の論理回路に切り替える走査入力段を提供する。マイクロプロセッサの重大な経路で使用されるときに、フリップフロップと論理回路の多くの連鎖は並列となるように設計され、これらのフリップフロップのすべての操作の方法は試験できなければならないため、出力つまり保持レベルは、対応するマイクロプロセッサの試験モードでの走査入力段によって、並列分岐に設けられる類似するフリップフロップのための論理入力信号として使用される。試験信号のシーケンスをクロック式で切り替えることを可能にするシフトレジスタはこのようにして設計される。その結果、この試験モードでは、それぞれのシフトレジスタに提供されるフリップフロップのすべての操作方法がチェックできる。

【００２２】

別の好適実施形態は、走査出力段を提供する。後者はラッチ回路に接続され、論理信号の記憶されている論理状態から引き出される試験出力信号を試験出力に切り替える、あるいは試験制御信号に基づき試験出力を規定の論理レベルに切り替える。本発明のフリップフロップのこの出力段は、フリップフロップの意図される走査機能のおかげで電力消費を削減することを可能にする。

【００２３】

このケースでは、走査出力段は、好ましくは少なくとも１つの伝送ゲートを有する。

本発明のフリップフロップの別の好ましい実施形態は、クロック信号に基づいてパルス信号と、相補的なパルス信号を生成するパルス発生器を提供する。このケースでは、パルス信号発生器は、好ましくは、クロック信号の各立上り及び／または立下りクロックエッジでパルス信号と相補パルス信号を生成する。このケースでは、一好適実施形態はパルス発生器のために少なくとも１つの論理ゲート、特にＮＡＮＤゲートを提供する。フリップフロップの一好適実施形態では、パルス発生器は少なくとも１つの遅延経路も有する。１つの特に好ましい実施形態ではこの遅延経路の遅延時間をプログラミングできる。特に、有利なことに本発明のフリップフロップの透過性フェーズを制御するためのパルスが各クロック信号エッジで生成されるときにいわゆる二重エッジトリガフリップフロップを設計できる。

【００２４】

遅延時間を適応させることにより、例えばクロック分散ツリーで、多数のフリップフロップが使用されるときにクロックエッジに達する回数が異なる場合に、本発明のフリップフロップの透過性フェーズを柔軟に適応させることが可能になる。

【００２５】

各トランジスタは好ましくはＮＭＯＳトランジスタで形成され、各相補トランジスタは好ましくはＰＭＯＳトランジスタで形成されている。該トランジスタは好ましくはＣＭＯＳ技術を使用して設計される。

【００２６】

下位クレーム及び添付図面に関して後述されている例示的な実施形態は、本発明の追加の有利な改良点及び成果に関連する。本発明の例示的な好適実施形態は、図を参照してさらに詳しく後述される。

【発明を実施するための最良の形態】

【００２７】

図中、他に特に規定がなければ同一のまたは機能上同一の要素には同じ符号を用いている。

問題点を概して説明するために、図３は例えばマイクロプロセッサシステムにおけるフリップフロップの典型的な使用を示す。例えば、それぞれデータ入力３５、クロック入力３６、及びデータ出力３７を有するフリップフロップ１００～１０８を示す。論理ハイレベルまたは論理ローレベルを有するデータ信号Ｄは、例えば第１のフリップフロップ１００のデータ入力３５に供給される。フリップフロップ１００の対応する出力信号Ｑは入力１２７と出力１２８を有する論理回路１０９に供給される。該対応するデータ信号ＤＳは

、同様にクロック信号ＣＬＫによってクロッキングされ、出力３７で出力信号ＱＳを提供する第２のフリップフロップ１０１のデータ入力３５に供給される。

【００２８】

このケースでは、図３は、直列接続されたフリップフロップ１００～１０８と論理回路１０９～１１７とを有する３つの例示的な分岐を描いている。このケースでは、データ信号Ｄ′は第２の分岐に供給され、データ信号Ｄ′′は第３の分岐に供給される。論理回路１０９～１１７は、フリップフロップ１００～１０８の出力３７のために駆動される負荷を表す。特に、論理回路１０９～１１７は、例えば図３でコンデンサ１１８～１２６で示すキャパシタンスを有する。

【００２９】

信号処理中、信号遅延はフリップフロップ１００～１０８の特性の結果と、論理回路１０９～１１７及びクロック信号の分岐ツリーにおける信号処理の結果として発生する。

このケースでは、フリップフロップ遅延時間は、フリップフロップの透過性フェーズを開始するクロックエッジと、データ入力信号に対応するフリップフロップ１００の出力３７でのレベルの存在との間の信号伝搬時間すなわち遅延を示すt_{CLK-Q}である。以下の例の中では、それぞれの立上りクロック信号エッジがフリップフロップのそれぞれの透過性フェーズの開始点を記すと想定する。

【００３０】

また、それぞれの論理回路１０９の処理時間t_{LOGIC}が信号伝搬時間に影響を及ぼす。使用されるフリップフロップのセットアップ時間t_{SETUP}も役割を果たす。上記したように、セットアップ時間t_{SETUP}は、クロック信号の立上りクロックエッジに関してデータ入力信号が印加される時間を示し、その結果、フリップフロップは入力信号レベルを検出することができ、出力時にそれを確実に提供する。

【００３１】

フリップフロップを特徴付ける別の時間は、論理レベルがフリップフロップで正しく検出及び記憶されるように、データ入力信号が立上りクロックエッジ時に存在する論理レベルに留まらなければならない時間の長さを示すホールドタイムt_{HOLD}である。

【００３２】

特徴時間t_{CLK-Q}、t_{SETUP}及びt_{HOLD}は、０から１へつまりローからハイへ、及び１から０へつまりハイからローへ変化する入力信号レベルのさまざまな値を有してよい。

【００３３】

さらに、立上りクロック信号エッジ間のオフセットが、クロック信号経路での遅延のためにフリップフロップ間で生じる。これは、時間オフセットt_{SKEW}を引き起こす機能ブロック１２７によって図３に示されている。結果として生じるクロック信号ＣＬＫＳは、クロック信号ＣＬＫと比較して遅延時間t_{SKEW}分、遅延される。

【００３４】

最大の信号遅延は、通常、２０～２５という論理深度（ｌｏｇｉｃ　ｄｅｐｔｈ）を有するそれぞれの論理回路１０９～１１７によって引き起こされる。このケースでは、４０ｆＦと８０ｆＦの間のキャパシタンス１１８～１２６が典型的な値である。

【００３５】

個々の論理回路１０９～１１７が特に短い信号伝搬時間を有する場合、下流のフリップフロップに供給されるデータ信号ＤＳのレベル変化が、必要とされるセットアップまたはホールドタイムに対して早く起きすぎるため、ホールドタイムが妨害される可能性がある。信号分岐の中の論理回路１０９、１１０、１１１によって引き起こされるさまざまな遅延を処理するために、フリップフロップの透過性フェーズを可変となるように構成することが有利である。これは、本発明に従って、クロック信号エッジから引き出される信号パルスを変更することによって達成され、さらに詳細に後述される。

【００３６】

フリップフロップを有する回路装置の試験動作モードでは、第１の分岐のフリップフロ

ップ１００からの出力信号Ｑが、入力信号Ｄ′としていわゆる走査モードで第２の分岐のフリップフロップ１０３に供給され、第２の分岐のフリップフロップ１０３からの出力信号Ｑ′が第３の分岐のフリップフロップ１０６のための入力信号Ｄ′′として使用される。フリップフロップ１００、１０３、１０６を備えるシフトレジスタはこのようにして試験動作モードまたは走査モードで形成される。次に、シフトレジスタ・チェーンの最後のフリップフロップの出力３７で読み取ることができる試験信号のシーケンスが第１のフリップフロップ１００の入力３５の中に注入される。対応する信号経路は鎖線ＳＰで示されている。この走査モードは、フリップフロップの誤差を検出するために使用できる。

【００３７】

図４は本発明のパルス・スタティック・フリップフロップ１の基本形を示す。

フリップフロップ１はこの例示的な実施形態において／Ｄ１と示される論理信号のための入力２と、この例で／ＱＩと示される出力信号のための出力３とを有する。パルス信号ＰＵＬＳＥと相補パルス信号／ＰＵＬＳＥを供給するためのパルス信号入力４、５も設けられている。

【００３８】

２つの入力８、９と出力１２を有するＮＡＮＤゲート６が設けられている。論理信号／Ｄ１とパルス信号ＰＵＬＳＥは入力に供給される。ＮＡＮＤゲート６はセット信号／ＳＥＴを出力１２で提供する。論理信号／Ｄ１と相補パルス信号／ＰＵＬＳＥはＮＯＲゲート７の入力１０、１１に供給される。リセット信号／ＲＥＳは、ＮＯＲゲートの出力１３から取り出すことができる。セット信号とリセット信号／ＳＥＴ、／ＲＥＳはラッチ回路１４を駆動するために使用される。

【００３９】

ラッチ回路１４は、各々が制御接続つまりゲート接続２４、２３と制御可能経路つまりソース－ドレイン経路とを有するＮＭＯＳプッシュプル・トランジスタ１５とＰＭＯＳプッシュプル・トランジスタ１６とを有する。インバータ１９の入力２１に接続された電位ノード２０は、ＰＭＯＳプッシュプル・トランジスタ１６のドレイン接続２８とＮＭＯＳプッシュプル・トランジスタ１５のドレイン接続２９との間に設けられる。内部データ信号つまり論理状態ＱＩは、インバータ１９の出力２２から取り出すことができる。ＮＭＯＳ保持トランジスタ１７とＰＭＯＳ保持トランジスタ１８が設けられている。ＰＭＯＳプッシュプル・トランジスタ１６のソース接続２７は第１の電源電位接続ＶＤＤに接続され、ＮＭＯＳプッシュプル・トランジスタ１５のソース接続３０は第２の電源電位接続ＶＳＳに接続されている。

【００４０】

保持トランジスタ１７、１８の各々は、制御可能経路つまりドレイン接続３２，３３及びソース接続３１，３４と、制御接続つまりゲート接続２６、２５とを有する。制御可能経路は第１の電源電位ＶＤＤと第２の電源電位ＶＳＳの間で直列に接続される。なお、「電源電位接続」と「電源電位」ＶＤＤまたはＶＳＳとは同意語として使用される。ＰＭＯＳ保持トランジスタのドレイン接続３３と、ＮＭＯＳ保持トランジスタのドレイン接続３２は電位ノード２０に接続される。インバータ１９の出力２２から取り出される信号レベルＱＩはＰＭＯＳ保持トランジスタのゲート接続２５及びＮＭＯＳ保持トランジスタ１７のゲート接続２６に供給される。

【００４１】

例えば、パルス信号ＰＵＬＳＥは立上りクロック信号エッジ（ここでは不図示）時に所定のパルス長を有する信号パルスを提供する。相補パルス信号／ＰＵＬＳＥはパルス信号ＰＵＬＳＥに対して相補的である、すなわち反転されている。論理信号／Ｄ１が、例えばパルス信号の信号パルスの間に論理ローレベルにある場合、セット信号／ＳＥＴが論理ハイレベルを提供する。ＰＭＯＳプッシュプル・トランジスタ１６はこのようにしてオフになる。同時に、リセット信号／ＲＥＳは相補パルス信号／ＰＵＬＳＥのパルス幅の期間、論理ハイレベルにあり、したがってＮＭＯＳプッシュプル・トランジスタ１５の制御可能経路をオンにする。電位ノード２０はこのようにして第２の電源電位レベルＶＳＳに引っ

張られる。これは、例えば論理ローレベルに対応する。このようにして、インバータ１９の出力２２では、信号ＱＩの論理レベルとして論理ハイレベルが存在する。ここではさらに詳細に説明されていない本発明のフリップフロップの一実施形態では、信号パルスは立上りクロック信号エッジと立下りクロック信号エッジの両方で生成され、本発明の特性を有する二重エッジトリガフリップフロップはこのようにして提供される。

【００４２】

ラッチ回路１４は、電位ノード２０を介したインバータ入力２１に対して、インバータ出力２２、ゲート接続２６、及びオンにされた保持トランジスタ１７の間のループを使用することにより、電位ノード２０から保持レベル／ＱＩとして取り出される信号／Ｄ１のレベルを記憶する。

【００４３】

図５は、本発明のパルス・スタティック・フリップフロップの１つの例示的な好適実施形態を描いている。

フリップフロップ１００は、それぞれ論理データ入力信号Ｄ、クロック信号ＣＬＫ及び論理データ出力信号Ｑのためのデータ入力３５、クロック入力３６及びデータ出力３７を有する。フリップフロップは、クロック信号エッジに基づいて、パルス信号ＰＵＬＳＥと相補パルス信号／ＰＵＬＳＥを生成するパルス発生器３８を有する。

【００４４】

データ入力３５の下流に接続され、インバータとして形成されている、ＮＭＯＳトランジスタ４０とＰＭＯＳトランジスタ４１とを有する入力ドライバ３９が設けられている。入力ドライバは、データ入力信号Ｄに対して逆である内部データ信号／Ｄ１を提供する。

【００４５】

出力ドライバ４２はラッチ回路４５の下流で接続され、同様にインバータとして形成されている。出力ドライバ４２は、ＮＭＯＳトランジスタ４３とＰＭＯＳトランジスタ４４とを有する。出力ドライバ４２は、データ出力３７に供給されるデータ出力信号Ｑを提供する。出力ドライバ４２は、ラッチ回路４５から該ラッチ回路によって記憶されている論理状態／ＱＩを受け取る。

【００４６】

ＮＡＮＤゲートで形成された第１の論理回路６は、各々がゲート接続５０、５１、５２、５３と負荷経路つまりソースドレイン経路とを有する、２つのＮＭＯＳトランジスタ４７、４６と２つのＰＭＯＳトランジスタ４８、４９とを有する。第１のＰＭＯＳトランジスタ４８のソースドレイン経路、及びＮＭＯＳトランジスタ４６、４７のソースドレイン経路は、第１の電源電位接続ＶＤＤと第２の電源電位接続ＶＳＳとの間に直列に接続されている。このケースでは、内部データ信号／Ｄ１は第１のＰＭＯＳトランジスタ４８のゲート接続５２と第２のＮＭＯＳトランジスタ４７のゲート接続５０に供給される。第２のＰＭＯＳトランジスタ４９の制御可能経路は、第１の電源電位接続ＶＤＤと電位ノード５４との間に接続されている。電位ノード５４は第１のＰＭＯＳトランジスタ４８と第１のＮＭＯＳトランジスタ４６の制御経路４８、４６の間にある。パルス信号は第１のＮＭＯＳトランジスタ４６及び第２のＰＭＯＳトランジスタ４９のゲート接続５１、５３に供給される。セット信号／ＳＥＴはノード５４から取り出される。

【００４７】

ＮＯＲゲートで形成された第２の論理回路７は、各々が制御可能経路とゲート接続５９、６０、６１、６２とを有する、第１のＰＭＯＳトランジスタ５５と第２のＰＭＯＳトランジスタ５６と第１のＮＭＯＳトランジスタ５７と第２のＮＭＯＳトランジスタ５８とを有する。ＰＭＯＳトランジスタ５５、５６の制御可能経路、及び第１のＮＭＯＳトランジスタ５７の制御可能経路は、第１の電源電位ＶＤＤと第２の電源電位ＶＳＳとの間に直列に接続されている。内部データ信号／Ｄ１は、第１のＰＭＯＳトランジスタ５５及び第１のＮＭＯＳトランジスタ５７のゲート接続５９と６１に供給される。第２のＮＭＯＳトランジスタ５８の制御可能経路は、電位ノード６３と第２の電源電位ＶＳＳとの間に接続されている。電位ノード６３は、第２のＰＭＯＳトランジスタ５６の制御可能経路と第１の

ＮＭＯＳトランジスタ５７の制御可能経路との間にある。相補パルス信号／ＰＵＬＳＥは第２のＰＭＯＳトランジスタ５６及び第２のＮＭＯＳトランジスタ５８のゲート接続６０、６２に供給される。リセット信号／ＲＥＳは電位ノード６３から取り出される。

【００４８】

ラッチ回路４５は、基本的には図４に示すように構成され、インバータ１９はＮＭＯＳトランジスタ６８とＰＭＯＳトランジスタ６９から構成されている。ここでは、制御接続つまりゲート接続６５と、例えばソース接続６７とドレイン接続６６との間の経路のような制御可能経路とを有する追加ＮＭＯＳトランジスタ６４がさらに設けられている。追加のＮＭＯＳトランジスタ６４のドレイン接続６６はＰＭＯＳプッシュプル・トランジスタ１６のドレイン接続２８に接続され、追加のＮＭＯＳトランジスタ６４のソース接続６７はＮＭＯＳ保持トランジスタ１７のドレイン接続３２に接続されている。セット信号／ＳＥＴは追加のＮＭＯＳトランジスタ６４のゲート接続６５に供給される。ＮＭＯＳトランジスタ６４は、セット信号／ＳＥＴが論理ローレベルにあるときに、ＰＭＯＳプッシュプル・トランジスタ１６が、電位ノード２０を第１の電源電位ＶＤＤ、つまり論理ハイレベルに確実に引っ張ることを保証する。

【００４９】

本発明のフリップフロップ１００は、入力３５または出力３７からの効果的なデカップリング（ｄｅｃｏｕｐｌｉｎｇ）が、入力ドライバ３９と出力ドライバ４２を使用して達成されるために、標準セルライブラリ内での使用に特にきわめて適している。

【００５０】

本発明のフリップフロップ１００の１つの特定の優位点は、重要なトランジスタ経路で直列に接続されるトランジスタつまりは負荷経路が多くても２つという点でもある。これらは、論理ローレベルから論理ハイレベルへデータ入力信号Ｄの信号変化の場合のトランジスタ４０、５５、５６、１５及び４４である。論理ハイレベルから論理ローレベルへのデータ入力信号Ｄのレベル変化の場合には、重要なトランジスタ経路はトランジスタ４１、４６、４７、１６及び４３によって与えられる。信号出力３７と電源電位接続ＶＳＳ、ＶＤＤとの間にはそれぞれ２つの制御可能経路しかないため、本発明のフリップフロップは特に１００ｎｍより小さい構造を有する、低消費ＣＭＯＳ技術を使用する実装に極めて適している。

【００５１】

マスタ／スレーブラッチを有するフリップフロップと比較すると、さらに短い遅延時間を達成することが可能である。本発明に従って、クロック信号ＣＬＫの立上りクロックエッジは、パルス発生器３８によって２つの反転パルスＰＵＬＳＥ、／ＰＵＬＳＥに分割される。パルス信号ＰＵＬＳＥと相補パルス信号／ＰＵＬＳＥは、論理回路６、７の中で、セット信号／ＳＥＴとリセット信号／ＲＥＳを生成するために、入力ドライバ３９によって駆動されたまたは反転駆動されたデータ信号Ｄ、／Ｄ１と論理的に合成される。プッシュプル・トランジスタ１５、１６は、好ましくはパワードライバの形をとる。ラッチ回路４５に記憶されている論理レベルが電位ノード２０で変化すると、プッシュプル・トランジスタ１５、１６が、一方では、ＰＭＯＳプッシュプル・トランジスタ１６を使用して第１の電源電位ＶＤＤに電位ノード２０を切り替え、または、他方では、ＮＭＯＳプッシュプル・トランジスタ１５を使用して第２の電源電位ＶＳＳに電位ノード２０を切り替えることによって、記憶されているレベルを迅速に書き替えるために使用される。

【００５２】

出力ドライバ４２は、通常、図３にコンデンサ１１８～１２６によって示されているように４０ｆＦ～８０ｆＦというキャパシタンスを駆動しなければならない。尚、速度に関連しているそれぞれのトランジスタ（ローからハイへの入力レベル変化の場合にはトランジスタ４０、５５、５６、１５、４４、及びハイからローへの入力レベル変化の場合にはトランジスタ４１、４６、４７、１６、４３）の特定の寸法は、内部負荷と要求されるトランジスタドライバ強度との間の特に有利な割合を容易に達成することを可能にする。これにより、本発明のフリップフロップにおける特に迅速な信号遷移を生成することが可能

になる。

【００５３】

図６は、本発明のフリップフロップ１００で発生する信号の例示的な信号波形を示す。一番上の行はクロック期間t_{CLK}を有する従来のクロック信号を描いている。図６は、一例として、パルス発生器３８によって生成されるパルス信号ＰＵＬＳＥと相補パルス信号／ＰＵＬＳＥも示している。従来のパルス幅t_pは、例えば６０ｐｓである。第１の立上りクロック信号の前において論理ハイレベルにあり、フリップフロップ１００に十分なセットアップ時間t_{SETUP}を可能にする例示的なデータ入力信号Ｄも描かれている。図５に関してここに示されている構成では、ＮＯＲゲート７は内部データ信号／Ｄ１を相補パルス信号／ＰＵＬＳＥと合成することによって、パルス信号ＰＵＬＳＥに本来対応するリセット信号／ＲＥＳを生成する。ＮＡＮＤゲート６は内部データ信号／Ｄ１または反転データ信号をパルス信号ＰＵＬＳＥと合成することによって論理ハイレベルでセット信号／ＳＥＴを生成する。ＮＭＯＳトランジスタ６４はオンになり、ＰＭＯＳプッシュプル・トランジスタ１６はセット信号の論理ハイレベルの結果としてオフになる。同時に、そのゲート接続２４に適用される論理ハイレベルでリセット信号ＰＵＬＳＥを有するＮＭＯＳプッシュプル・トランジスタ１５は、電位ノード２０を論理ローレベルつまり第２の電源電位ＶＳＳに引っ張る。記憶されている論理レベル／ＱＩはこのようにしてラインノード２０に存在する。結果的に、論理ハイレベルはインバータ出力２２に存在し、データ出力信号Ｑは出力ドライバ４２によって論理ハイレベルに設定される。

【００５４】

時間t_1では、データ入力信号Ｄが論理ハイレベルから論理ローレベルに変化する。このケースでは、リセット信号／ＲＥＳが論理ローレベルに留まり、その結果としてＮＭＯＳプッシュプル・トランジスタ１５はオフにされたままとなる。同時に、セット信号／ＳＥＴは、セットアップ時間またはＮＡＮＤゲート６における論理信号処理によって引き起こされるわずかな時間オフセットの後に、パルス幅の期間の間、論理ローレベルに設定される。結果として、ＰＭＯＳプッシュプル・トランジスタ１６は電位ノード２０を第１の電源電位つまり論理ハイレベルに切り替える。／ＱＩはこのようにしてハイに設定される。その結果、信号ＱＩは次にインバータ出力２２から取り出され、論理ローレベルの信号Ｑは出力ドライバ４２によってフリップフロップ出力３７から取り出される。

【００５５】

図７は、負のセットアップ時間がある状況の場合の類似した信号波形を示す。すなわち、立上りクロックエッジの後、言い換えればパルス信号ＰＵＬＳＥまたは相補パルス信号／ＰＵＬＳＥのそれぞれの信号パルスの間に、入力レベル変化が起こる。

【００５６】

本発明のフリップフロップ１００は、それにも関わらずフリップフロップ出力３７で記憶されている信号レベルを確実に提供する。時間t_2、t_3での入力信号レベルでは、パルス信号ＰＵＬＳＥはすでに論理ハイレベルにあり、相補パルス信号／ＰＵＬＳＥはパルス幅t_pの間、論理ローレベルにある。本発明に従って、さまざまなトランジスタが、ローからハイへ、及びハイからローへの、つまりプッシュプル・トランジスタ１６と１５の信号変化の場合に電位ノード２０の論理状態を保証するという事実の結果として、入力信号レベルＤは、負のセットアップ時間にも関わらず確実に記憶できる。

【００５７】

図８は、本発明のフリップフロップで使用するためのラッチ回路の１つの発展型を示す。ラッチ回路の構造７０は、基本的には図５に描かれているラッチ回路４５の要素を有する。ここでは、追加トランジスタが、フリップフロップの非同期セット機能と非同期リセット機能を形成するために提供される。

【００５８】

ラッチ回路７０は、非同期セット信号ＳＮのために非同期セット入力７１を、及び非同期リセット信号ＲＮのために非同期リセット入力７２を有する。セット信号／ＳＥＴとリセット信号／ＲＥＳのための入力７４、７３も設けられている。出力ドライバ４２によっ

て駆動される論理出力信号Ｑは、ラッチ出力７５から取り出される。

【００５９】

各々ゲート接続７８、７９及び制御可能経路を有する、ＮＭＯＳリセットトランジスタ７６と相補ＰＭＯＳトランジスタ７７が設けられている。ＮＭＯＳリセットトランジスタ７６の制御可能経路は、ＮＭＯＳ保持トランジスタ１７のソース接続３１と、第２の電源電位ＶＳＳとの間に接続されている。ＰＭＯＳリセットトランジスタ７７の制御可能経路は、第１の電源電位ＶＤＤと電位ノード２０との間に接続されている。非同期リセット信号ＲＮは、リセットトランジスタ７６、７７の制御接続つまりはゲート接続７８、７９に供給される。ＮＭＯＳリセットトランジスタがその制御可能経路をオンにすると、ＰＭＯＳリセットトランジスタは、非同期リセット信号ＲＮの論理ハイレベルの結果としてハイインピーダンス負荷経路を有する。リセット信号ＲＮが論理ローレベルに設定されると、ＮＭＯＳリセットトランジスタ７６はオフになり、ＰＭＯＳリセットトランジスタ７９は電位ノード２０を論理ハイレベルに引っ張る。このように、非同期リセット信号が論理ローレベルにあるときには、フリップフロップつまりはラッチデバイスの出力７５は、論理ローレベルにある。

【００６０】

非同期セット信号ＳＮはまず第１に反転セット信号／ＳＮを形成するためにインバータ回路１６２により反転される。各々制御可能経路とゲート接続８２、８３を有する、ＰＭＯＳ設定トランジスタ８０とＮＭＯＳ設定トランジスタ８１は、非同期セット機能のために設けられている。非同期セット信号が論理ハイレベルである場合、ＰＭＯＳ設定トランジスタはその制御可能経路をオンにし、ＮＭＯＳ設定トランジスタ８１は電位ノード２０から第２の電源電位ＶＳＳを切り離す。非同期セット信号ＳＮが論理ローレベルにされると、ＰＭＯＳ設定トランジスタ８０はＰＭＯＳ保持トランジスタ１８を第１の電源電位ＶＤＤから切り離し、ＮＭＯＳ設定トランジスタ８１は電位ノード２０を第２の電源電位ＶＳＳつまり論理ローレベルに引っ張る。論理ハイレベルは、このようにして、セット信号が論理ローレベルにあるときに出力７５に常に存在する。それ以外の場合、セット信号／ＳＥＴとリセット信号／ＲＥＳ及びプッシュプル・トランジスタ１５，１６によって生成される論理状態が、フリップフロップの入力信号Ｄと、クロック信号ＣＬＫのエッジから引き出されるパルス信号ＰＵＬＳＥ、／ＰＵＬＳＥとに基づいて出力信号Ｑとして出力される。

【００６１】

図９は、本発明のフリップフロップ２００の１つの発展型を示す。このケースでは、パルス発生器３８、ＮＡＮＤゲート６、ＮＯＲゲート７、ラッチ回路８４及び出力ドライバ４２が提供されている。ラッチ回路４５と比較すると、ラッチ回路８４はＮＭＯＳリセットトランジスタ７６とＰＭＯＳリセットトランジスタ７７を使用して非同期でリセットするための延長部分（ｅｘｔｅｎｓｉｏｎ）を有する。

【００６２】

フリップフロップ２００は、このようにして非同期リセット信号ＲＮのための非同期リセット入力８５も有する。フリップフロップ２００は、試験信号ＴＩのための試験信号入力８６と、試験制御信号ＴＥ及び相補試験制御信号／ＴＥのための試験制御入力８７、８８、８９とを有する。走査入力段９０及び走査出力段９１も提供される。フリップフロップ２００は試験出力９２を有する。

【００６３】

走査入力段は、試験制御信号ＴＥに基づいて反転データ入力信号／Ｄ１または試験入力信号ＴＩのどちらか一方を論理ゲート６、７に与える。試験制御信号ＴＥは反転試験制御信号／ＴＥを生成するインバータ９３に供給される。走査入力段９０は、図９に示すように、各々が互いに接続されている制御可能経路とゲート接続１３０～１３７とを有する、複数のＮＭＯＳスイッチングトランジスタと複数のＰＭＯＳスイッチングトランジスタ９４～９９、１２８、１２９とを有する。走査入力段９０は、論理ハイレベルの試験制御信号ＴＥによって設定されるフリップフロップ２００の試験モードにおいて、論理ゲート６

、７に内部データ信号／Ｄ１として試験信号パターンＴＩを供給するためにマルチプレクサとして使用される。図３によってすでに説明されたように、複数の（本発明の）フリップフロップ２００は、試験モードまたは走査モードでシフトレジスタを形成するためにともに接続される。

【００６４】

本発明のフリップフロップ２００の図は、ラッチ回路８４の中のインバータ１９の出力２２に接続され、試験出力信号ＴＯとして内部論理レベルＱＩを通して試験出力９２に切り替わる、あるいは試験出力９２を試験制御信号ＴＥ、／ＴＥに基づいて所定の論理レベルに切り替える走査出力段９１も有する。この目的のため、試験制御信号と反転試験制御信号ＴＥ、／ＴＥによって制御される伝送ゲート１３８が設けられている。試験制御信号ＴＥが論理ハイレベルにある（したがって相補試験制御信号／ＴＥが論理ローレベルにある）場合、伝送ゲート１３８はレベルＴＯＩとして、インバータ１９の出力２２に印加されるレベルを通してインバータ１３９とインバータ１４０に切り替わり、その結果、レベルＱＩは試験出力９２で試験出力信号として提供される。試験制御信号ＴＥが論理ローレベルにある場合、伝送ゲート１３８はインバータ出力２２を走査出力段９１のインバータ１３９、１４０から切り離し、反転つまり相補試験制御信号／ＴＥが供給される制御可能経路とゲート接続１４２を有するＮＭＯＳスイッチングトランジスタ１４１が信号ＴＯＩの論理レベルを第２の電源電位ＶＳＳ、つまり論理ローレベルに引っ張る。試験出力９２はこのようにして通常の動作モードでは、つまり試験制御信号ＴＥがローレベルにあり、反転試験制御信号／ＴＥがハイレベルにあるときには、論理ローレベルにある。図３に示すようにシフトレジスタ・チェーンの形で接続されているとき、試験出力信号ＴＯは常に試験入力信号ＴＩとして追加フリップフロップデバイスに供給される。したがって、固定電位レベル、つまり論理ローレベルの結果として、入力キャパシタンスの電荷を逆にすることによって引き起こされる追加の電力損失は、対応する走査入力段９０では生じない。

【００６５】

図１０は本発明のフリップフロップのためのパルス発生器の１つの好適実施形態を示す。パルス発生器１４３は、パルス信号ＰＵＬＳＥと相補パルス信号／ＰＵＬＳＥのためにクロック入力１４４と出力１４５、１４６を有する。ここに示されている例では、３つのインバータ１４７、１４８、１４９から構築され、クロック信号ＣＬＫを入力し、遅延クロック信号ＣＬＫＤを出力する遅延経路が設けられている。

【００６６】

クロック信号ＣＬＫと遅延クロック信号ＣＬＫＤは、図１０に示すように、接続されている２つのＮＭＯＳトランジスタ１５４、１５５及び２つのＰＭＯＳトランジスタ１５３、１５６を有するＮＡＮＤゲート１５０に供給される。ＮＡＮＤゲートからの対応する出力信号Ｐ１は相補パルス信号／ＰＵＬＳＥに対応し、出力１４５に供給される。インバータ１５１は相補パルス信号／ＰＵＬＳＥを反転し、出力１４６に供給されるパルス信号ＰＵＬＳＥを形成する。

【００６７】

ＮＭＯＳトランジスタ１５４、１５５は、立上りクロックエッジで、インバータ１５１の入力での迅速な切り替え、つまりハイレベルからローレベルへの遷移の迅速な生成を保証する。インバータ１５１のＰＭＯＳトランジスタは同様に、クロック信号ＣＬＫの立上りクロックエッジでローレベルからハイレベルへの迅速な遷移を保証する。

【００６８】

図１１は、パルス発生器の１つの発展型を示す。発展型のパルス発生器１５７は、基本的には、遅延経路により引き起こされるクロック信号ＣＬＫの遅延時間を増加する帯電コンデンサ１５２を除いては、パルス発生器１４３と同じ要素を有する。コンデンサ１５２は、遅延経路の第２のインバータ１４８と第３のインバータ１４９との間に提供される。結果として、パルス信号ＰＵＬＳＥのパルス幅、及び相補パルス信号／ＰＵＬＳＥのパルス幅が拡大する。本発明のフリップフロップの透過性フェーズは、このようにしてパルス発生器１４３によって生成されるパルスと比較すると長くなる。この現象は、図３の符号

１０９～１１７を使用して示されているように、セットアップ時間が特に低速な論理回路により妨害されるときに生じ得る。

【００６９】

図１２は、図１１からのパルス発生器１５７と比較すると、プログラム可能に接続できるキャパシタンス１５９を有するパルス発生器１５８を示している。この目的のため、追加のコンデンサ１５９を遅延経路の第３のインバータ１４９の入力から切り離し、それを遅延経路の第３のインバータの入力に接続する伝送ゲート１６０が設けられている。伝送ゲート１６０は、プログラミング入力１６３に供給されるプログラミング信号Ｓ２を使用して制御される。反転プログラミング信号／Ｓ２を生成するためのインバータ１６１も提供される。

【００７０】

追加キャパシタンス１５９のプログラム可能設計、したがって遅延時間をプログラミングする能力は、パルス幅を拡張することによって、フリップフロップの動作中の透過性フェーズを設定することを可能にする。これは特に、フリップフロップ及び追加回路が半導体チップに形成された後、例えばクロック信号でオフセットを引き起こすプロセス変動が決定される場合に有利である。パルス発生器は、特に、例えば半導体基板上に、それらが隣接し、１つの共通クロック信号を受信するように形成される複数のフリップフロップに割り当てることもできる。

【００７１】

図１３は、従来の技術によるマスタ／スレーブフリップフロップと比較して本発明のフリップフロップのためのセットアップ時間t_{SETUP}に基づく遅延時間t_{CLK-Q}を描く。

【００７２】

このケースでは、曲線Ｘ１とＸ２は、ＣＭＯＳ技術のための典型的な電源電圧での図９による本発明のフリップフロップ２００のシミュレーション結果に相当し、（コンデンサ１１８～１２６を使用して図３に描かれているように）６０ｆＦというフリップフロップの出力での容量性負荷を想定している。

【００７３】

曲線Ｙ１とＹ２は図１によるマスタ／スレーブフリップフロップのシミュレーションに相当する。このケースでは、曲線Ｘ１とＹ１は論理ハイから論理ローへの入力信号レベル変化の場合の遅延時間を表す。曲線Ｘ２とＹ２は論理ローレベルから論理ハイレベルへの入力信号のレベル変化に対応する。図１３は、一方では、本発明のフリップフロップが、例えば－４０ｐｓと＋６０ｐｓの間等の幅広い範囲のセットアップ時間t_{SETUP}に渡り本質的に一定の遅延時間t_{CLK-Q}を有することを明らかにする。

【００７４】

また、遅延時間は、本来、０から１と１から０、つまりローからハイとハイからローへの入力信号レベル変化についても同じである。対照的に、さまざまな入力レベル変化のある場合の遅延時間は従来のマスタ／スレーブ装置において互いから大きく異なる。

【００７５】

加えて、遅延時間t_{CLK-Q}はマスタ／スレーブフリップフロップのケースではるかに長い。マスタ／スレーブ装置における０から１及び１から０のレベル変化の場合の異なる遅延時間は、本来、同じ制御可能スイッチまたは同じトランジスタがフリップフロップ内の信号変化を駆動するという事実のためである。このケースでは、このようなトランジスタのＰＭＯＳ設計とＮＭＯＳ設計の間の変動は回避することはできない。

【００７６】

対照的に、本発明のフリップフロップでは、それぞれのプッシュプル・トランジスタのＰＭＯＳ設計またはＮＭＯＳ設計は、迅速な切り替え時間またはプッシュプル時間を達成するために特殊な方法で整合できる。図１３は、本発明のフリップフロップがセットアップ時間に対してはるかにより堅牢であることを明確に示している。このケースでは、負のセットアップ時間は信号変化、つまり立上りクロック信号エッジの後に一時的に発生する

信号エッジを示している。

【００７７】

本発明はこのようにして、変動及びクロックオフセットを処理するために特に堅牢である迅速なパルス・スタティック・フリップフロップを提供する。本発明のフリップフロップは、低電力ＣＭＯＳ技術、特にＣＭＯＳ技術を使用する実装に適している。本発明のフリップフロップは駆動される容量性負荷に容易に適応することができ、好ましくは標準的なセルライブラリでの実装に適している。

【００７８】

本発明を例示的な好適実施形態を参照して説明したが、上記実施形態に制限されるのではなく、むしろ多種多様に変形可能である。特に、使用されているＰＭＯＳトランジスタとＮＭＯＳトランジスタのサイズ及びドライバまたはスイッチング特性は、フリップフロップの使用のそれぞれの条件に適応できる。使用されているパルス発生器は複数のフリップフロップを制御してよい、あるいはフリップフロップごとに局所的に確保されてよい。更には、接続を示されている入力と出力に加えて、外部的に取り出すことのできる追加の信号は、それらが特定の用途に必要とされる場合にはフリップフロップから供給することができる。

【図面の簡単な説明】

【００７９】

【図１】従来の技術によるマスタ／スレーブフリップフロップを示す。

【図２】従来の技術によるパルスフリップフロップを示す。

【図３】マイクロプロセッサのパイプライン段におけるフリップフロップの使用を示する。

【図４】本発明のパルス・スタティック・フリップフロップの基本回路図を示す。

【図５】本発明のスタティック・フリップフロップの第１の実施形態を示す。

【図６】本発明のフリップフロップにおける信号波形を示す。

【図７】本発明のフリップフロップにおける信号波形を示す。

【図８】非同期セット機能とリセット機能を有する本発明のフリップフロップのラッチ回路の一好適実施形態を示す。

【図９】走査機能を有する本発明のフリップフロップの第２の実施形態を示す。

【図１０】本発明のフリップフロップのためのパルス発生器の例示的な実施形態を示す。

【図１１】本発明のフリップフロップのためのパルス発生器の例示的な実施形態を示す。

【図１２】本発明のフリップフロップのためのパルス発生器の例示的な実施形態を示す。

【図１３】従来の技術と比較して本発明のフリップフロップの遅延時間を示す。

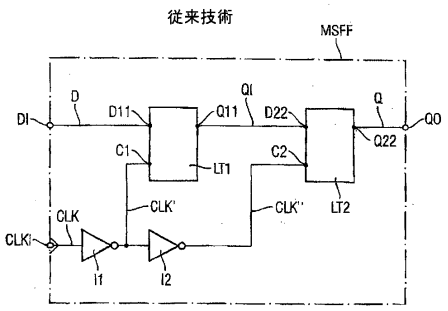
【符号の説明】

【００８０】

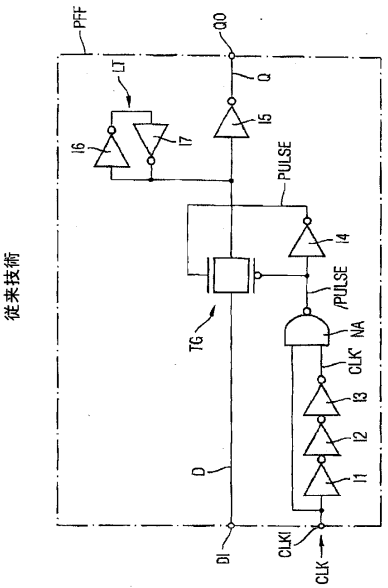
Ｃ１、Ｃ２：クロック入力、ＣＬＫ、ＣＬＫ′、ＣＬＫ２′：クロック信号、ＣＬＫＩ：クロック入力、ＣＬＫＳ：クロック信号、Ｄ：データ信号、Ｄ′、Ｄ２′：データ信号、Ｄ１：データ入力、／Ｄ１：内部データ信号、ＤＩ：データ出力、ＤＳ：データ入力信号、Ｉ１～Ｉ７：インバータ、ＬＴ：ラッチ、ＬＴ１、ＬＴ２：ラッチ、ＭＳＦＦ：マスタ／スレーブ・フリップフロップ、ＮＡ：ＮＡＮＤゲート、ＰＦＦ：パルス・フリップフロップ、ＰＵＬＳＥ：パルス信号、／ＰＵＬＳＥ：相補パルス信号、Ｑ：出力データ信号、／Ｑ：相補出力データ信号、Ｑ′、Ｑ′′：データ出力信号、Ｑ０、Ｑ：データ出力、Ｑ１１、Ｑ２２：データ出力、ＱＩ：内部的に記憶されるデータ項目、／ＱＩ：反転内部記憶データ項目、ＱＳ：データ出力信号、／ＲＥＳ：リセット信号、ＳＰ：走査信号経路、／ＳＥＴ：セット信号、t_{CLK-Q}：フリップフロップ遅延時間、ＴＥ、／ＴＥ：試験制御信号、ＴＧ：伝送ゲート、ＴＩ、ＴＩ′：試験信号、t_{LOGIC}：論理回路遅延時間、ＴＯ：試験出力信号、ＴＯＩ：内部試験出力信号、t_{SETUP}：セットアップ時間、t_{SKEW}：クロックオフセット、１：パルススタティックフリップフロップ、２：データ入力、３：データ出力、４、５：パルス信号入力、６、７：論理回路、８～１１：入力、１２、１３：出力、１４：ラッチ回路、１５、１６：プッシュプルトランジスタ、

１７、１８：保持トランジスタ、１９：　　インバータ、２０：電位ノード、２１：入力、２２：出力、２３～２６：制御接続、２７、２９、３２、３４：ドレイン接続、２８、３０、３１、３３：ソース接続、３５：データ入力、３６：クロック入力、３７：データ出力、３８：パルス発生器、３９：入力ドライバ、４０、４１：ＭＯＳトランジスタ、４２：出力ドライバ、４３、４４：ＭＯＳトランジスタ、４５：ラッチ回路、４６から４９：ＭＯＳトランジスタ、５０から５３：制御接続、５４：電位ノード、５５から５８：ＭＯＳトランジスタ、５９から６２：制御接続、６３：電位ノード、６４：ＭＯＳトランジスタ、６５：制御接続、６６：ドレイン接続、６７：ソース接続、６８、６９：ＭＯＳトランジスタ、７０：ラッチ回路、７１：非同期セット入力、７３：リセット入力、７２：非同期リセット入力、７４：セット入力、７５：データ出力、７６：リセットトランジスタ、７７：設定トランジスタ、７８、７９：制御接続、８０、８１：ＭＯＳトランジスタ、８２、８３：制御接続、８４：ラッチ回路、８５：非同期リセット入力、８６：試験入力、８７、８８、８９：試験制御入力、９０：走査入力段、９１：走査出力段、９２：試験出力、９３：インバータ、９４から９９：トランジスタ、１００から１０８：パルススタティックフリップフロップ、１０９から１１７：論理回路、１１８から１２６：容量性負荷、１２７：遅延要素、１２８、１２９：トランジスタ、１３０から１３７：制御接続、１３８：伝送ゲート、１３９、１４０：インバータ、１４１：トランジスタ、１４２：制御接続、１４３：パルス発生器、１４４：クロック入力、１４５、１４６　：パルス信号出力、１４７、１４８、１４９：インバータ、１５０：ＮＡＮＤゲート、１５１：インバータ、１５２：コンデンサ、１５３から１５６：トランジスタ、１５７：パルス発生器、１５８：パルス発生器、１５９：コンデンサ、１６０：伝送ゲート、１６１：インバータ、１６２：インバータ、１６３：制御入力、２００：パルス・スタティック・フリップフロップ。

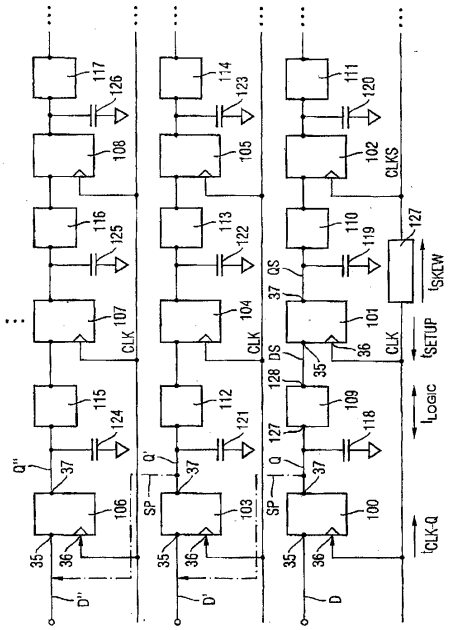
【図１】



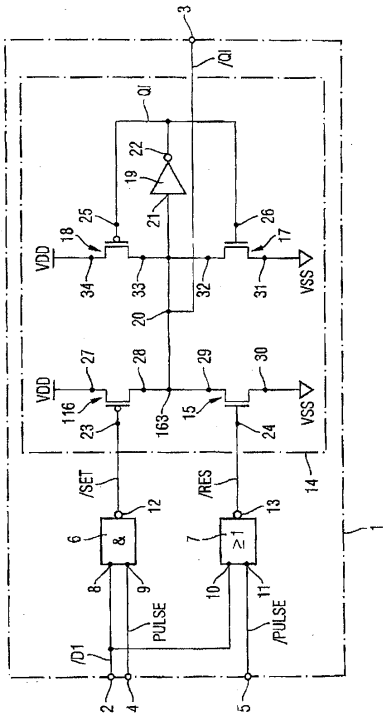
【図２】



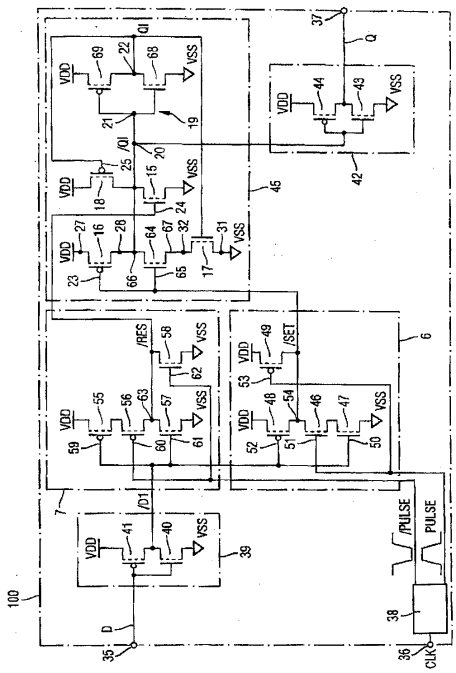
【図３】



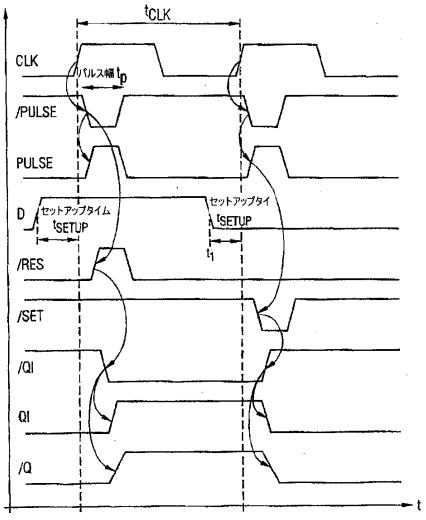
【図４】



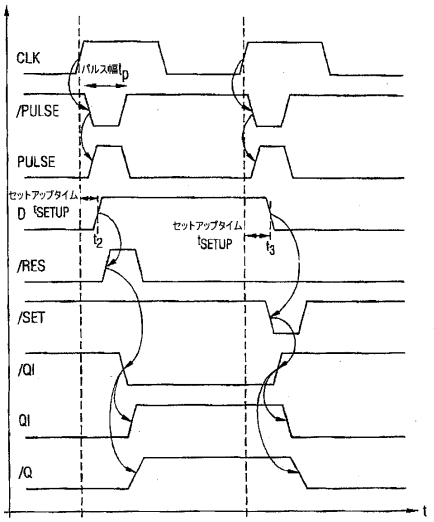
【図５】



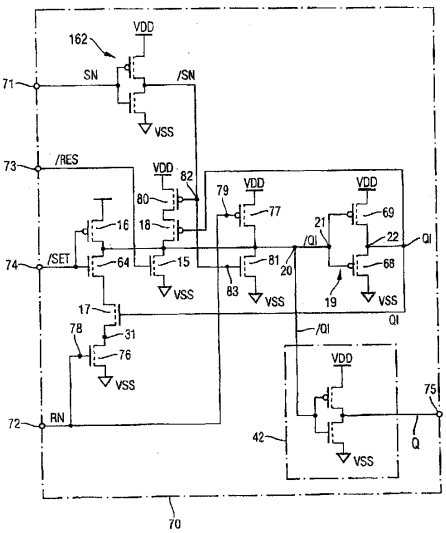
【図６】


tCLK
CLK
パルス幅tp
/PULSE
PULSE
D
セットアップタイム tSETUP
セットアップタイ tSETUP
/RES
/SET
/QI
QI
/Q
t

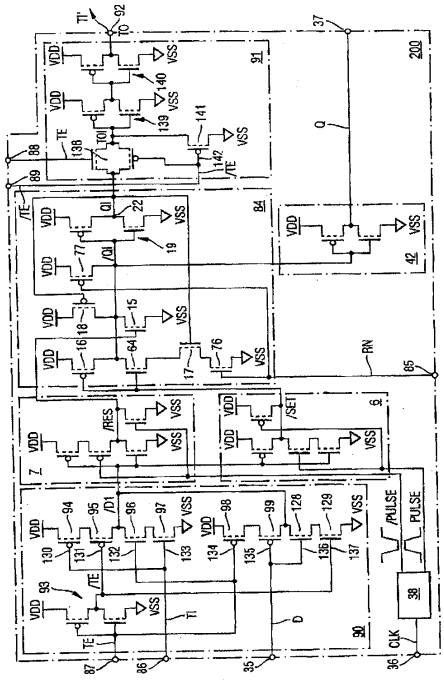
【図７】


CLK
/PULSE
PULSE
D
/RES
/SET
/QI
QI
/Q
t

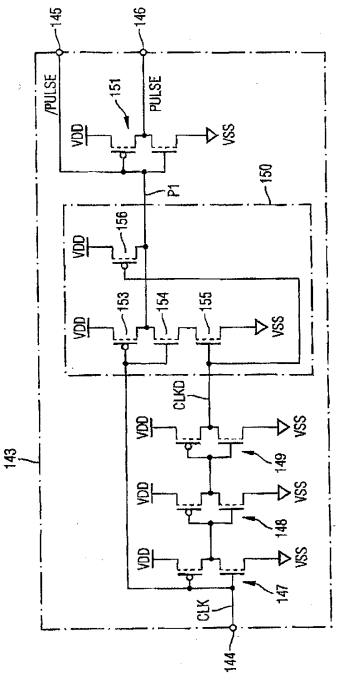
【図８】


VDD
SN
/SN
VSS
/RES
/SET
/QI
QI
RN
Q
70

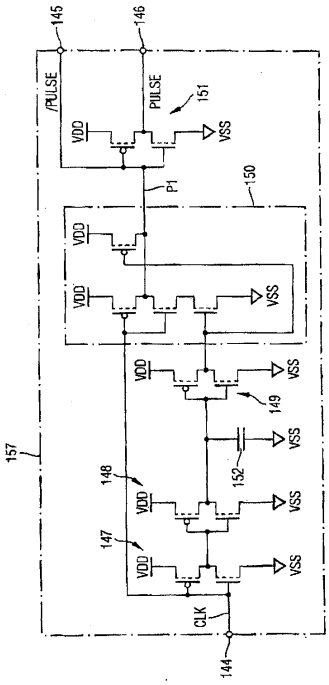
【図９】



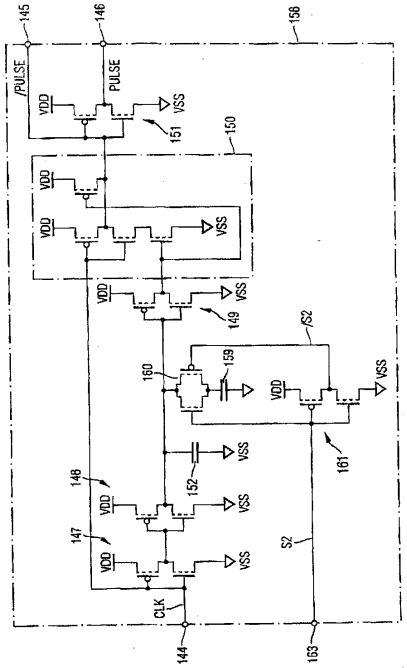
【図１０】


/PULSE
PULSE
VDD
VSS
P1
CLKD
CLK
143
144

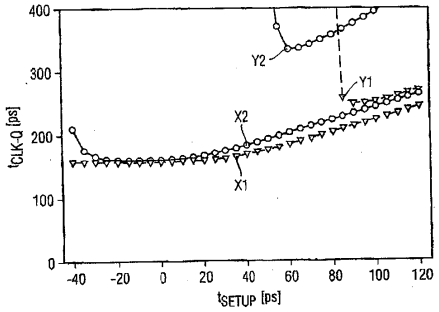
【図１１】


145
146
/PULSE
PULSE
151
VDD
VSS
P1
150
149
152
148
147
157
CLK
144

【図１２】


145
146
158
/PULSE
PULSE
VDD
VSS
151
150
149
162
160
159
161
152
148
147
S2
CLK
144
163

【図１３】


400
300
200
100
0
Y2
Y1
X2
X1
tCLK-Q [ps]
-40
-20
0
20
40
60
80
100
120
tSETUP [ps]

フロントページの続き

(72)発明者　ジークマール　ケッペ
ドイツ連邦共和国　８１５４３　ミュンヘン　ヴィルヘルムークーネルトーシュトラーセ　３
(72)発明者　クリスチャン　パチャ
ドイツ連邦共和国　８１７３９　ミュンヘン　アーセンヴェーク　１２
(72)発明者　カール　ツァップ
ドイツ連邦共和国　８１４７６　ミュンヘン　フリッツーベアーシュトラーセ　４７

審査官　石田　勝

(56)参考文献　特開２００３－２４３９７０（ＪＰ，Ａ）
特開２００５－３１８４７９（ＪＰ，Ａ）
特開平９－３２１６１４（ＪＰ，Ａ）
特開平１－２７６９１５（ＪＰ，Ａ）
特開平２－１９２２１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ　　３／３５６
Ｈ０３Ｋ　　３／０３７