

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/28 (2006.01)

H01L 29/51 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03826872.8

[45] 授权公告日 2008 年 11 月 5 日

[11] 授权公告号 CN 100431103C

[22] 申请日 2003.7.30 [21] 申请号 03826872.8

[86] 国际申请 PCT/EP2003/050352 2003.7.30

[87] 国际公布 WO2005/015621 英 2005.2.17

[85] 进入国家阶段日期 2006.2.5

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 C·林 K·李

[56] 参考文献

US2003/0129826A1 2003.7.10

US6291866B1 2001.9.18

ADVANCED CMOS TRANSISTORS WITH A NOVEL HFSION GATE DIELECTRIC. ROTONDARO, A, L, P, ET, AL. 2002 SYMPOSIUM ON VLSI TECHNOLOGY. DEGEST OF TECHNICAL PAPERS. IEEE. 2002

Effects of nitrogen in HFSiON gate dielectric on the electrical and thermal characteristics. KOYAMA M ET AL. INTERNATIONAL ELECTRON DEVICES MEETING 2002. IEDM. TECHNICAL DIGEST, IEEE. 2002

审查员 赵致民

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 张志醒

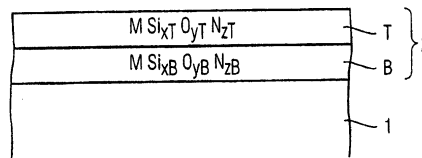
权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称

高 k 介电膜, 及其形成方法和相关的半导体器件

[57] 摘要

提供了高 k 介电膜, 及其形成方法和相关半导体器件, 其中具有第一氮含量(zB)和第一硅含量(xB)的金属硅氮氧化物的底层(B), 和具有第二氮含量(zT)和第二硅含量(xT)的金属硅氮氧化物的顶层(T)以这种方式形成, 即第二氮含量(zT)高于第一氮含量(zB), 并且第二硅含量(xT)高于第二硅含量(xB)。由此, 具有极好的泄漏特性和很高的介电常数的介电膜(2)形成。



1. 用于半导体器件的高 k 介电膜, 形成在衬底 (1) 上并至少包括: 具有第一氮含量 ( $z_B$ ) 和第一硅含量 ( $x_B$ ) 的金属硅氮氧化物的底层 (B); 以及

具有第二氮含量 ( $z_T$ ) 和第二硅含量 ( $x_T$ ) 的金属硅氮氧化物的顶层 (T), 其中

顶层 (T) 的所述第二氮含量 ( $z_T$ ) 高于底层 (B) 的所述第一氮含量 ( $z_B$ ), 并且

顶层 (T) 的所述第二硅含量 ( $x_T$ ) 高于底层 (B) 的所述第一硅含量 ( $x_B$ ).

2. 根据权利要求 1 的高 k 介电膜, 其特征在于氧化硅的衬底界面层 (I) 形成在所述衬底 (1) 和所述底层 (B) 之间。

3. 根据权利要求 1 或 2 的高 k 介电膜, 其特征在于金属硅氮氧化物的至少一个中间层 (M) 形成在所述顶层 (T) 和所述底层 (B) 之间, 具有另一氮含量 ( $z_M$ ) 和另一硅含量 ( $x_M$ ), 其中所述相应的另一氮含量 ( $z_M$ ) 和另一硅含量 ( $x_M$ ) 在所述第一和第二氮和硅含量 ( $z_T$ 、 $z_B$ 、 $x_T$ 、 $x_B$ ) 之间。

4. 根据权利要求 1 或 2 的高 k 介电膜, 其特征在于所述底层和顶层包括相同的金属硅氮氧化物。

5. 根据权利要求 3 的高 k 介电膜, 其特征在于所述底层、中间层和顶层包括相同的金属硅氮氧化物。

6. 根据权利要求 1 或 2 的高 k 介电膜, 其特征在于所述金属硅氮氧化物是  $ZrSi_xO_yN_z$ 、 $HfSi_xO_yN_z$ 、 $LaSi_xO_yN_z$ 、 $PrSi_xO_yN_z$ 、 $GdSi_xO_yN_z$  或  $DySi_xO_yN_z$ , 其中  $x$ 、 $y$  和  $z$  是指示分子中原子百分比的正实数。

7. 根据权利要求 1 或 2 的高 k 介电膜, 其特征在于顶层 (T) 的厚度等于或低于高 k 介电膜 (2) 中的剩余层的厚度总和。

8. 包括场效应晶体管的半导体器件, 具有设置在半导体衬底 (1) 中的源区 (S)、漏区 (D) 和沟道区、形成在所述沟道区上的栅极电介质 (2)、以及形成在所述栅极电介质上的栅极层 (3), 其中所述

栅极电介质(2)包括根据权利要求1~7中的任何一个的高k介电膜。

9. 包括沟槽电容器的半导体器件, 具有形成在半导体衬底(1)中的第一电极(4)、电容器电介质(2)和第二电极(5), 其中所述电容器电介质(2)包括根据权利要求1~7中的任何一个的高k介电膜。

10. 形成高k介电膜的方法, 包括以下步骤:

a) 在衬底(1)上形成具有第一氮含量(zB)和第一硅含量(xB)的金属硅氮氧化物的底层(B);

b) 形成具有第二氮含量(zT)和第二硅含量(xT)的金属硅氮氧化物的顶层(T), 其中

顶层(T)的所述第二氮含量(zT)高于底层(B)的所述第一氮含量(zB), 并且

顶层(T)的所述第二硅含量(xT)高于底层(B)的所述第一硅含量(xB)。

11. 根据权利要求10的方法, 其特征在于另一步骤, 即在形成所述底层(B)之前在所述衬底(1)上形成氧化硅的衬底界面层(I)。

12. 根据权利要求10或11的方法, 其特征在于另一步骤, 即在所述底层(B)上形成具有另一氮含量(zM)和另一硅含量(xM)的金属硅氮氧化物的至少一个中间层(M), 其中相应的另一氮含量(zM)和另一硅含量(xM)高于前面层的氮含量和硅含量。

13. 根据权利要求12的方法, 其特征在于

所述底层、中间层和/或顶层(B、M、T)通过在Ar/N<sub>2</sub>/O<sub>2</sub>气氛中金属和硅的共溅射形成, 其中氮和硅浓度由N<sub>2</sub>流和Si溅射速率控制。

14. 根据权利要求12的方法, 其特征在于另一步骤, 即至少对所述所述底层、中间层和/或顶层(B、M、T)执行退火步骤。

15. 形成高k介电膜的方法, 包括以下步骤:

a) 在衬底(1)上形成具有第一硅含量(xB)的金属硅氧化物的预底层(B1);

b) 形成具有第二硅含量(xT)的金属硅氧化物的预顶层(T1), 其中

预顶层(T1)的所述第二硅含量(xT)高于预底层(B1)的所述第一硅含量(xB); 以及

c) 执行N<sub>2</sub>等离子体处理以将所述预底层(B1)转变成具有第一氮

含量 ( $z_B$ ) 的金属硅氮氧化物底层 (B), 并将所述预顶层 (T1) 转变成具有第二氮含量 ( $z_T$ ) 的金属硅氮氧化物顶层 (T), 其中顶层 (T) 的所述第二氮含量 ( $z_T$ ) 高于底层 (B) 的所述第一氮含量 ( $z_B$ )。

16. 根据权利要求 15 的方法, 其特征在于另一步骤, 即形成具有另一硅含量 ( $x_M$ ) 的金属硅氧化物的至少一个预中间层 (M1), 其中相应的另一硅含量 ( $x_M$ ) 高于在前面步骤中形成的层的硅含量, 并且其中在步骤 c) 中, 在  $N_2$  等离子体处理期间, 所述至少一个预中间层 (M1) 被转变成具有另一氮含量 ( $z_M$ ) 的至少一个金属硅氮氧化物中间层 (M), 其中所述相应的另一氮含量 ( $z_M$ ) 高于在前面步骤中形成的层的氮含量。

17. 根据权利要求 16 的方法, 其特征在于  
所述预底层、预中间层和/或预顶层 (B1、M1、T1) 借助 MOCVD、PVD 和/或 ALD 形成。

18. 根据权利要求 15 或 16 的方法, 其特征在于另一步骤, 即在步骤 a) 中形成所述预底层 (B1) 之前, 在所述衬底 (1) 上形成氧化硅的衬底界面层 (I)。

19. 根据权利要求 16 的方法, 其特征在于另一步骤, 即至少对所述所述底层、中间层和/或顶层 (B、M、T) 执行退火步骤。

20. 根据权利要求 10、11、15 和 16 中的任何一个的方法, 其特征在于

所述金属硅氮氧化物是  $ZrSi_xO_yN_z$ 、 $HfSi_xO_yN_z$ 、 $LaSi_xO_yN_z$ 、 $PrSi_xO_yN_z$ 、 $GdSi_xO_yN_z$  或  $DySi_xO_yN_z$ , 其中  $x$ 、 $y$  和  $z$  是指示分子中原子百分比的正实数。

## 高 k 介电膜，及其形成方法和相关的半导体器件

### 技术领域

本发明涉及高 k 介电膜，及其形成方法和相关的半导体器件，具体涉及与集成电路中用于场效应半导体器件的栅极电介质或沟槽电容器的电容器电介质有关的高 k 介电膜。

### 背景技术

为了形成诸如 CMOS 器件（互补金属氧化物半导体）、MOSFET 器件（金属氧化物半导体场效应晶体管）或高存储器件例如 DRAM（动态随机存取存储器）的半导体器件，通常需要在例如硅晶片的衬底上形成薄的、高介电常数（高 k）的膜。已经开发了多种技术用以在半导体晶片上形成这种薄膜。

在过去，栅极介电层使用二氧化硅形成。然而，上述器件的按比例缩小增加了对与二氧化硅相比具有更高的介电常数的栅极电介质的要求。这需要达到超薄氧化物等效厚度（EOT，等效氧化物厚度）而不以栅极漏电流折衷。

详细地说，由于半导体器件已经按比例缩小为更小的尺寸，因此有效栅极电介质厚度已经变得更薄。由于直接隧穿的原因，例如  $\text{SiO}_2$  和  $\text{SiO}_x\text{N}_y$  的常规栅极电介质的持续按比例缩放几乎已经达到很高的栅极漏电流的基本限制，其在低漏电流的按比例缩放的器件要求中是不可接受的。为了抑制高漏电流，几种过渡金属氧化物和硅酸盐的高 k 膜已经被研究来代替  $\text{SiO}_2$  和  $\text{SiO}_x\text{N}_y$ ，例如  $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、铪铝酸盐、锆铝酸盐、锆硅酸盐、铪硅酸盐和诸如  $\text{La}_2\text{O}_3$ 、 $\text{Pr}_2\text{O}_3$ 、及  $\text{Gd}_2\text{O}_3$  之类的镧系氧化物。

然而，这些常规材料已经显示出多个缺点。根据 S. OHMT 等人的“Rare earth metal oxide gate thin films prepared by E-beam deposition”，International Workshop on Gate Insulator 2001, Tokyo, Japan，得知  $\text{ZrO}_2$  或  $\text{HfO}_2$  已经显示出微晶体形成，结果产生高漏电流。

此外，从 2002 年的 Tech. Dig. VLSI 的第 84 页的 J. H. LEE 等人的

“Poly-Si gate CMOSFETs with  $\text{HfO}_2\text{-Al}_2\text{O}_3$  laminate gate dielectric for low power applications”中得知  $\text{HfO}_2\text{-Al}_2\text{O}_3$  叠层或铪铝酸盐由于高 k 介电膜内的固定电荷的缘故而具有严重的迁移率退化。

而且, TAKESHI, YAMAGUCHI 等人的“Additional scattering effects for mobility degradation in Hf-silicate gate MISFETs” Tech. Dig. IEDM 2002 报道在铪硅酸盐或铪硅酸盐的情况下,  $\text{HfO}_2$  和  $\text{SiO}_2$  区域中的膜通过高温退火的相位分离也引起迁移率退化。

对于镧系氧化物来说, 漏电流结果指示出镧系氧化物可能是未来电介质的选择。然而, 根据 H. IWAI 等人的“Advanced gate dielectric materials for Sub-100nm CMOS”, Tech. Dig. IEDM 2002, 报道, 这些镧系氧化物在随后的热退火之后也在 Si 衬底上形成界面层, 其可以表示这些镧系氧化物的热不稳定性。

而且, 从例如栅极层到 Si 衬底的诸如硼渗透的杂质渗透是通过这些高 k 介电膜来解决的另一问题。即使已知在  $\text{HfSi}_x\text{O}_y$  上结合氮用来抑制这种例如硼渗透, 并改善热稳定性, 但是还报道了需要  $\text{HfSi}_x\text{O}_y\text{N}_z$  中超过 80% 的 Si/[Si+Hf] 比例的高 Si 含量来防止平带电压移动, 结果严重降低了膜的介电常数, 即使是在 30 原子百分比的高氮含量的情况下 (参见 M. KOYAMA 等人的“Effects of nitrogen in  $\text{HfSiON}$  gate dielectric on the electrical and thermal characteristics”, Tech. Dig. IEDM 2002, 34-1)。该很高 Si 含量  $\text{HfSi}_x\text{O}_y\text{N}_z$  的低 k 介电膜就介电常数来说与常规  $\text{SiO}_x\text{N}_y$  几乎相同, 并且考虑到代替  $\text{SiO}_x\text{N}_y$  则不再是有意义的。Si 衬底上的相应膜形成的其它技术问题在于, 在介电层和 Si 衬底之间的界面处的高氮浓度可被随后的高热退火引发而使迁移率退化。

因此, 需要提供改善的高 k 介电膜, 及其形成方法和相关的半导体器件。

## 发明内容

根据本发明, 形成在衬底上的半导体器件的高 k 介电膜至少包括具有第一氮含量和第一硅含量的金属硅氮氧化物的底层, 和具有第二氮含量和第二硅含量的金属硅氮氧化物的顶层, 其中顶层的所述第二

氮含量高于底层的所述第一氮含量，并且顶层的所述第二硅含量高于底层的所述第一硅含量。

根据一个实施例，高k介电膜构成多层堆叠，其包括形成在所述底层和所述顶层之间的金属硅氮氧化物的至少一个中间层，其具有另一氮含量和另一硅含量，其中相应的另一氮和硅含量在所述相应的第一和第二氮和硅含量之间。

根据本发明的优选实施例，顶层厚度等于或低于高k介电膜中的剩余层的厚度的总和。

形成高k介电膜的方法包括以下步骤，即在衬底上形成具有第一氮含量和第一硅含量的金属硅氮氧化物的底层，以及形成具有第二氮含量和第二硅含量的金属硅氮氧化物的顶层，其中所述第二氮含量高于所述第一氮含量，并且所述第二硅含量高于相应层的所述第一硅含量。

为了进一步改善迁移率，尤其是当在场效应晶体管中用作栅极电介质时，该方法进一步包括在形成底层之前在衬底上形成氧化硅的衬底界面层的步骤。

另外，具有另一氮含量和另一硅含量的金属硅氮氧化物的至少一个中间层形成在底层上，其中相应的另一氮含量和另一硅含量高于前面层的所述氮含量和硅含量。

在替换实施例中，形成高k介电膜的方法包括以下步骤，即在衬底上形成具有第一硅含量的金属硅氧化物的预底层，形成具有第二硅含量的金属硅氧化物的预顶层，其中第二硅含量高于第一硅含量，并且执行  $N_2$  等离子体处理以将所述预底层转变成具有第一氮含量的金属硅氮氧化物底层，并将所述预顶层转变成具有第二氮含量的金属硅氮氧化物顶层，其中所述第二氮含量高于所述第一氮含量。

并且，在该替换实施例中，具有另一硅含量的金属硅氧化物的至少一个中间层形成，其中相应的另一硅含量高于前面层的硅含量，并且其中在  $N_2$  等离子体处理期间，至少一个中间层被转变成具有另一氮含量的至少一个金属硅氮氧化物中间层，其中相应的另一氮含量高于前面层的氮含量。

附图说明

根据以下详细描述并参考附图，本发明的目的和优点将变得明显，其中：

图 1A 和 1B 是示出用于制作根据第一实施例的高 k 介电膜的基本步骤的部分截面图；

图 2 是根据第二实施例的高 k 介电膜的部分截面图；

图 3A ~ 3D 是示出用于制作根据第三实施例的高 k 介电膜的基本步骤的部分截面图；

图 4 是使用高 k 介电膜的场效应半导体器件的部分截面图；以及图 5 是使用高 k 介电膜的沟槽电容器的部分截面图。

### 具体实施方式

虽然本发明可允许各种修改和替换形式，但是其具体实施例在附图中借助实例被示出，并在此被详细描述。然而，应当理解，该处的附图和详细描述并不旨在将本发明限制在所公开的具体形式。相反，本发明将覆盖落入本发明的精神和范围内的所有修改、等价物和替换。

图 1A 和 1B 示出说明用于产生根据本发明的第一实施例的高 k 介电膜的基本步骤的局部截面图。

根据图 1A，单晶 Si 衬底 1 用作半导体衬底，在其表面上借助层淀积法形成金属硅氮氧化物 ( $MSi_{x_B}O_{y_B}N_{z_B}$ ) 的底层 B。

根据图 1B，在底层 B 的表面上，由相同的金属硅氮氧化物形成顶层 T，然而，具有不同的硅含量和氮含量。详细地说，淀积的顶层 T 构成具有第二氮含量  $z_T$  和第二硅含量  $x_T$  的  $MSi_{x_T}O_{y_T}N_{z_T}$ 。底层和顶层 B 和 T 的第一和第二氮含量以及第一和第二硅含量  $x_B$  和  $x_T$  以这种方式来选择，即顶层 T 的第二氮含量  $z_T$  高于底层的第一氮含量  $z_B$ ，并且顶层 T 的第二硅含量  $x_T$  高于底层的第一硅含量  $x_B$ 。

$MSi_xO_yN_z$  层中的下标  $x$ 、 $y$  和  $z$  或  $x_B$ 、 $y_B$  和  $z_B$  或  $x_T$ 、 $y_T$  和  $z_T$  是表示分子中的原子百分比的正实数。相应层中的氮原子百分比通过  $(z/(1+x+y+z)) \times 100$  来计算。通常，Si 和 M (金属) 浓度分别用  $(x/(1+x)) \times 100$  和  $(1/(1+x)) \times 100$  来表示。

由此，根据图 1B 所示的双层堆叠构成了具有改善特性的新的高 k 介电膜 2。详细地说，该双层堆叠的高氮含量顶层 T 对有效防止例如

硼从掺硼的多晶硅电极（未示出）扩散到场效应器件沟道中起关键作用，而低氮含量底层 B 有助于防止该沟道和/或衬底 1 内的迁移率退化。而且，由于金属硅氮氧化物中的 Si 含量的降低与金属含量的增加有关，而根据第一实施例的双层堆叠的介电常数的增加提供了比类似的高 Si 含量金属硅氮氧化物的现有技术更高的介电常数。因此，有可能进一步按比例缩小有效的氧化物厚度（EOT），同时防止尤其由直接隧穿引起的泄漏。

根据本发明，顶层 T 中的 Si 和 N 浓度需要高于底层 B 中的，例如  $x_T > x_B$ ， $z_T > z_B$ 。相对于底层 B 的顶层 T 中的 N 和 Si 的比例进一步取决于考虑什么金属硅氧化物。在金属硅氮氧化物层中的金属 M 是 Hf 的情况下，其是  $HfSi_xO_yN_z$ ， $HfSi_xO_yN_z$  的 Si/(Hf+Si) 比例需要在 70% ~ 95% 的范围内，并且 N 浓度与 30 原子百分比一样高。由此，对于使用 Hf 作为金属的顶层 T 中的固定 Si 和 N 浓度来说，底层 B 的 N 和 Si 含量需要低于顶层 T 的，并且 N 原子百分比在 15% ~ 25% 的范围内，以及 Si/(Hf+Si) 比例在 20% ~ 60% 的范围内。

关于不同层的厚度，应当注意顶层 T 应当具有比高 k 介电膜 2 内的其它层之和的厚度更低的厚度，或者相等。即，根据第一实施例的双层结构的顶层 T 应当薄于或等于底层 B。

在形成高 k 介电膜 2 之后，退火工艺（在  $N_2$  或其它气体中，在超过  $600^\circ C$  的温度下）有助于使层堆叠密度增加并减少缺陷，以改善高 k 介电膜 2 的质量（尤其改善漏电流特性）。

图 2 示出了根据第二实施例的高 k 介电膜的部分截面图，其中相同的参考数字指的是相同或相应的层，并省略了这些层的重复描述。

根据第二实施例，衬底界面层 I 形成在衬底 1 的表面上，而高 k 介电膜 2 的相应的另外的层形成在该衬底界面层 I 的表面上。在 Si 衬底 1 的情况下，该衬底界面层优选构成氧化硅，其进一步增加了衬底内的迁移率，并减少了衬底 1 表面处的缺陷。

除了所示的根据第一和第二实施例的具有金属硅氮氧化物底层和顶层的双层  $MSi_xO_yN_z$  堆叠之外，至少另外的金属硅氮氧化物的金属层也可形成在所述底层 B 和所述顶层 T 之间，具有另一氮含量和另一硅含量，其中相应的另一氮含量和另一硅含量在底层 B 和顶层 T 的所述第一和第二氮和硅含量之间。具体地说，分别形成的中间层的另一

氮含量和另一硅含量高于在前面步骤中形成的金属硅氮氧化物的相应的氮和硅含量。

顶层T的厚度也等于或低于高k介电膜或多层堆叠中剩余层的厚度总和，即底层和另外的中间层。

关于形成上述金属硅氮氧化物层的优选方法，物理汽相淀积(PVD)是淀积各种 $MSi_xO_yN_z$ 层的方法之一。作为本发明的一个实施例，在 $Ar/N_2/O_2$ 气氛中共溅射金属，例如Hf、Zr、La、Pr、Gd和其它镧系金属，以及硅，被认为形成金属硅氮氧化物膜。这些金属硅氮氧化物中的氮浓度和硅浓度可由 $N_2$ 流和硅溅射速率来控制。具有少量硅的高氮含量金属硅氮氧化物可以在Si的共溅射期间使用高氮流来获得。

作为实例之一，在本发明的基本概念中，可以形成高k介电膜2顶部处的高氮含量和高硅含量金属硅氮氧化物，以及高k介电膜2的底部处的较低氮含量和较低硅含量，以使高k介电膜2的界面和(未示出的)通常形成在高k介电膜2顶部上的多晶硅电极保持热稳定。多晶硅电极淀积通常使用 $SiH_4$ 或 $Si_2H_6$ 来执行，其可以借助来自 $SiH_4$ 或 $Si_2H_6$ 的氢引起金属-O和金属-N键的减少，可能产生缺陷，而又导致高漏电流。由于在金属-O和金属-N键的位置中的多个Si-N和Si-O键，在相应的多晶硅淀积期间，金属硅氮氧化物中的高氮浓度和高硅浓度抑制了氢和高k介电膜之间的反应。当使用金属材料代替多晶硅作为形成在高k介电膜2表面上的电极时，产生类似的优点。

由此， $ZrSi_xO_yN_z$ 、 $HfSi_xO_yN_z$ 、 $LaSi_xO_yN_z$ 、 $PrSi_xO_yN_z$ 、 $GdSi_xO_yN_z$ 、 $DySi_xO_yN_z$ 、和其它结合氮的镧系硅酸盐可形成为高k介电膜。

图3A~3D示出说明用于制作根据本发明第三实施例的高k介电膜的基本步骤的部分截面图，其中如同图1和2中一样，相同的参考数字指的是相同或相应的层，因此在下面省略了这些层的重复描述。

根据第三实施例，通过替换方法形成三层堆叠以提供高k介电膜2。

根据图3A，再次地，衬底界面层I优选通过热工艺直接形成在衬底1的表面上。由此， $SiO_2$ -衬底界面层I形成在Si衬底1上。接着，具有低第一硅含量xB的金属硅氧化物的预底层B1优选借助淀积形成在衬底界面层I上。

根据图3B，具有另一硅含量xM的金属硅氧化物的预中间层M1

淀积在具有第一硅含量  $x_B$  的预底层 B1 上。再次地，预中间层 M1 或另外的层的另一硅含量  $x_M$  高于底层 B1 的硅含量，或者（如果使用多个中间层的话）高于前面层的硅含量。

根据图 3C，具有第二硅含量  $x_T$  的金属硅氧化物的预顶层 T1 形成在至少一个预中间层 M1 上。而且，预顶层 T1 的第二硅含量  $x_T$  高于预中间层 M1 的硅含量，其高于预底层 B1 的硅含量。

此外，对金属硅氧化物层进行  $N_2$  等离子体处理形成 SiN 键而不是金属-N 键，由于在不同层中的 Si 含量不同时， $N_2$  等离子体处理之后的氮含量也分别不同。

具体地说，已知  $HfSi_xO_y$  可通过多种淀积方法形成，例如 MOCVD（金属有机化学汽相淀积）、PVD（物理汽相淀积）和 ALD（原子层淀积）。在 MOCVD 的情况下， $HfSi_xO_y$ ，两个前体，Hf 的  $Hf[N(C_2H_5)_2]_4$  和 Si 的  $Si[N(CH_3)_2]_4$  连同  $O_2$  一起流入反应器中以淀积  $HfSi_xO_y$ 。在硅酸盐淀积期间， $HfSi_xO_y$  中的  $SiO_2$  摩尔分数可由工艺参数来控制，例如温度、压力和两个前体流速。

已经发现温度从  $325^\circ C$  增加到  $650^\circ C$  可以将  $HfSi_xO_y$  中的  $SiO_2$  摩尔分数从约 20% 增加到 65%。工艺压力从 400 Pa (3 Torr) 变到 1065 Pa (8 Torr) 导致  $SiO_2$  摩尔分数从 30% 增加到 45%。

在本发明的基本概念中，本发明的第三实施例使用 MOCVD  $HfSi_xO_y$  依次用于淀积低  $SiO_2$  含量  $HfSi_{x_B}O_{y_B}$  和高  $SiO_2$  含量  $HfSi_{x_T}O_{y_T}$  淀积在高 k 介电膜 2 的底部和顶部处，其后是  $N_2$  等离子体处理。在  $N_2$  等离子体硝化之后，膜 2 的顶层 T 示出高氮含量，并且底层 B 示出低氮含量。

由于 MOCVD Zr 硅酸盐代替了 MOCVD Hf 硅酸盐，要求前体仅改变为用于 Zr 硅酸盐的  $Zr[N(C_2H_5)_2]_4$  和  $Si[N(CH_3)_2]_4$ 。

使用 MOCVD Hf 硅酸盐或 Zr 硅酸盐的 Hf 或 Zr 氮氧化硅堆叠的该实施例可扩充为用于 MOCVD 镧系硅酸盐，即使多种镧系 MOCVD 工艺也是可以的。

由此，根据图 3D，在执行  $N_2$  等离子体处理之后，预底层 B1、预中间层 M1 和预顶层 T1 转变成相应的金属硅氮氧化物底层 B、中间层 M 和顶层 T。

而且，在  $N_2$  等离子体处理之后的退火工艺可被认为能缓解等离子体对高 k 介电膜 2 的损伤，以使高 k 介电膜致密，并减少高 k 膜堆叠

中的缺陷和杂质。

图 4 示出使用包括高 k 介电膜作为栅极电介质的场效应晶体管的半导体器件的部分截面图。

根据图 4，源区 S、漏区 D 以及源区和漏区之间的沟道区设置在半导体衬底 1 中。根据本发明，高 k 介电膜 2 用作栅极电介质，并形成在沟道区上，而栅极层形成在所述栅极电介质 2 上。此外，在栅极堆叠的侧壁处可设置隔离物 SP，以形成源区和漏区 S 和 D。当栅极层 3 优选包括多晶硅时，它还可以构成金属栅极，由此改善半导体器件的电特性。

图 5 示出半导体器件的部分截面图，其中高 k 介电膜用作电容器电介质。

根据图 5，为了例如在 DRAM（动态随机存取存储器）半导体器件中实现所谓的沟槽电容器，在硅衬底 1 内设置深沟槽或孔。在沟槽的下部附近的衬底 1 中形成第二电极 5 之后，在沟槽或孔的表面上设置高 k 介电膜 2。填充材料 4 用作所得到的电容器的第一电极，其通常是高掺杂的多晶硅或淀积的金属。

由此，新的高 k 介电膜显著改善了半导体器件的电特性，由此能够实现进一步的集成密度。

得益于该公开的本领域的技术人员应当理解，本发明被认为能提供高 k 介电膜，及其形成方法和相关的半导体器件，其具有通过降低隧穿电流产生的改善的漏电流以及改善的扩散阻挡特性。本发明的各个方面的另外的修改和替换实施例将由于该描述而对本领域的技术人员而显而易见。

#### 附图标记列表

- 1 衬底
- 2 高 k 介电膜
- 3 栅极层
- 4 第一电极
- 5 第二电极
- B 底层
- M 中间层

T 顶层

B1 预底层

M1 预中间层

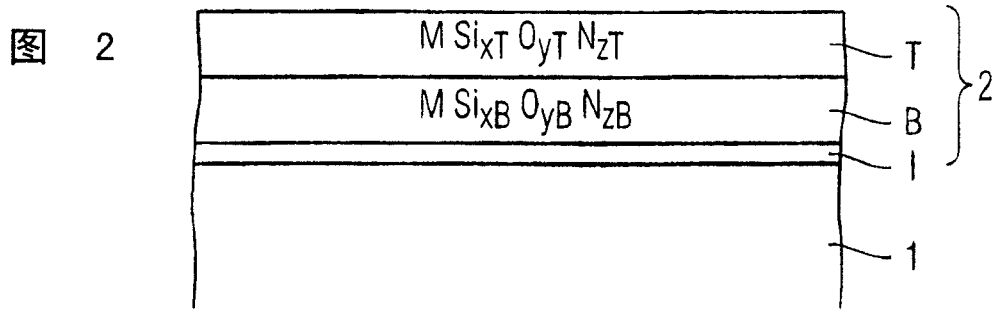
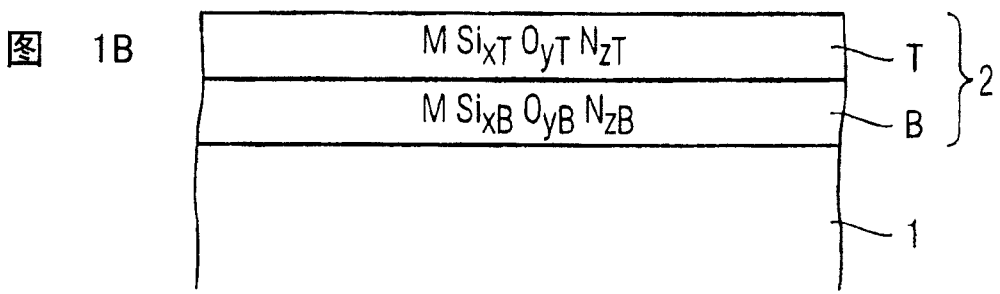
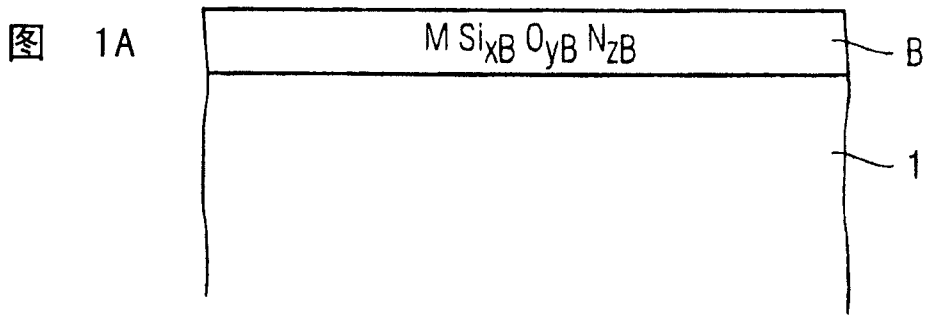
T1 预顶层

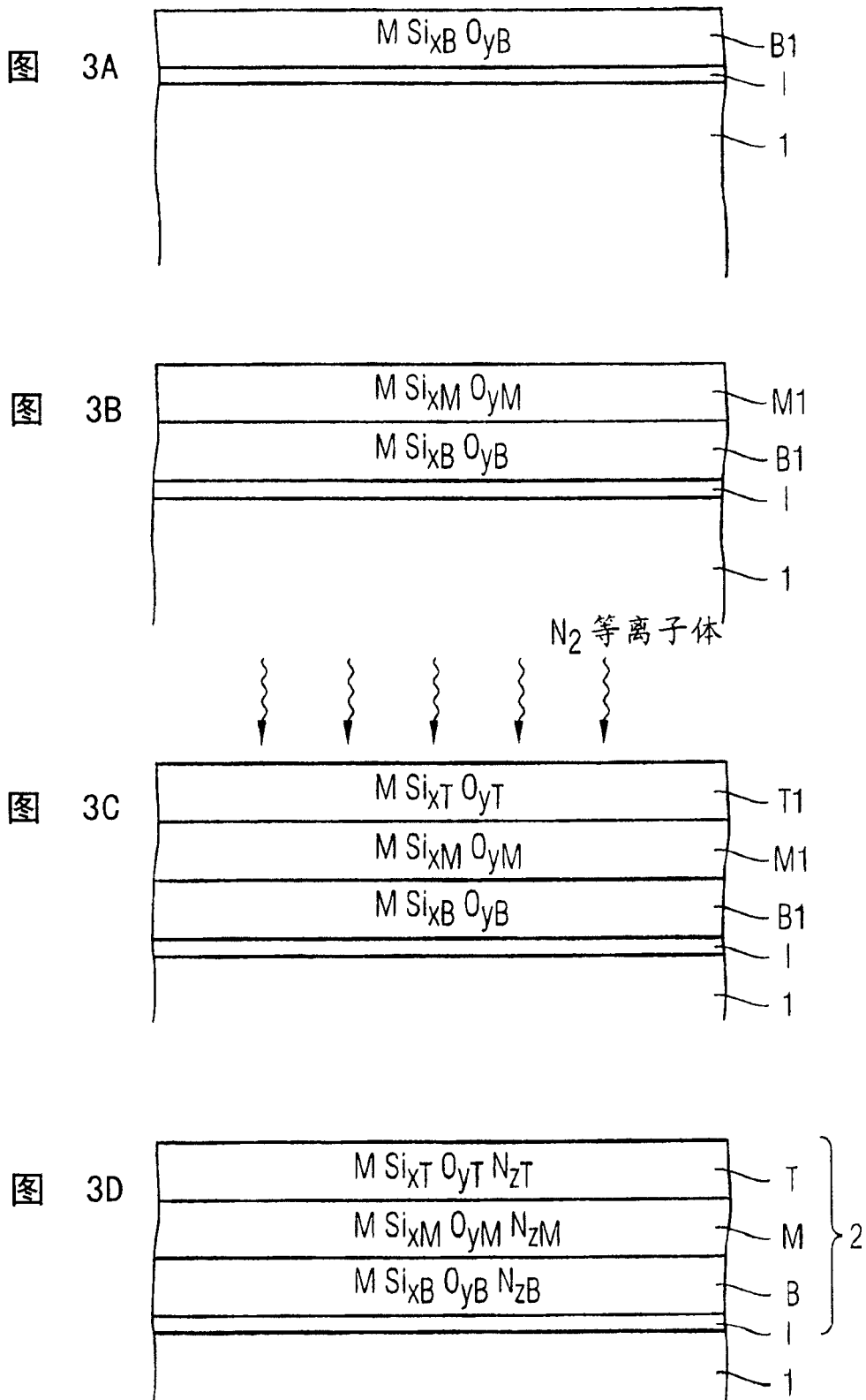
I 衬底界面层

S 源区

D 漏区

SP 隔离物





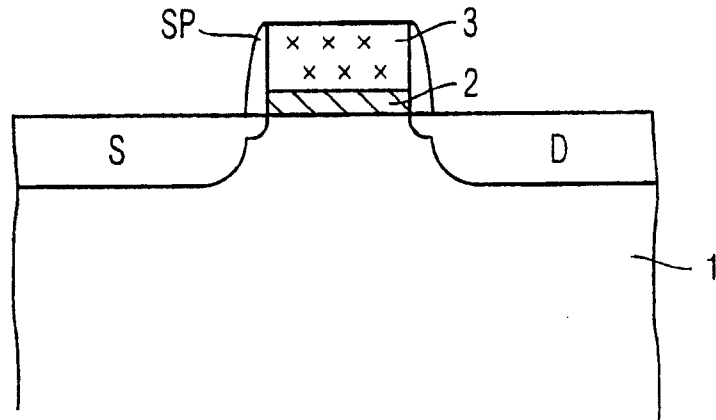


图 4

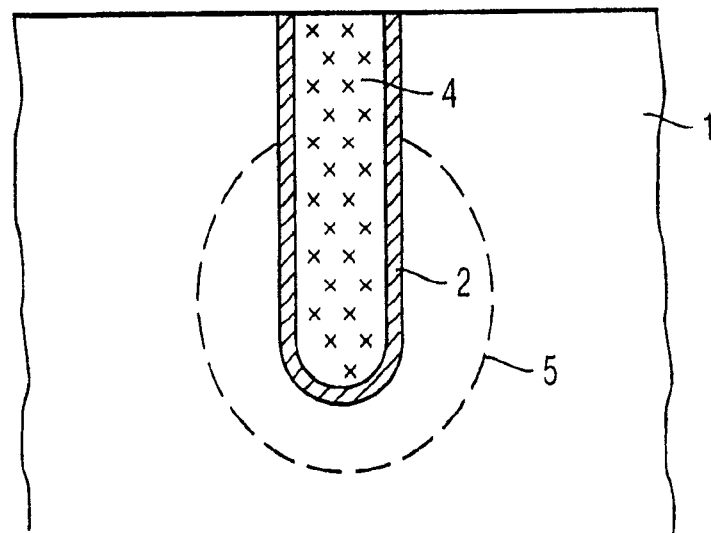


图 5