



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 951315

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 04.10.80 (21) 3009270/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.08.82. Бюллетень №30

Дата опубликования описания 15.08.82

(51) М. Кл.³

G 06 F 13/06

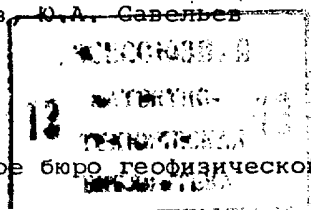
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А.П. Губанов, С.С. Крыкин, Е.М. Лунев, Ю.А. Савельев
и Б.С. Турьшев

(71) Заявитель

Специальное конструкторско-техническое бюро геофизической
техники



(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ПРОЦЕССОРА С МНОГОВЛОЧНОЙ ПАМЯТЬЮ

1

Изобретение относится к вычислительной технике и может быть использовано для увеличения объема оперативной памяти при построении цифровых систем обработки данных на базе мини (микро-) ЭВМ.

Известно устройство управления памятью со страничной организацией, содержащее регистры адреса страниц, регистры признака страниц, сумматоры и коммутатор [1].

Недостатками устройства являются большой объем оборудования и невысокое быстродействие за счет потерь времени в каждом цикле обращения к памяти на преобразование виртуального адреса в физический.

Наиболее близким к предлагаемому по технической сущности является устройство для связи запоминающего и арифметического устройств при формате адреса запоминающего устройства, превышающего формат адреса арифметического устройства, содержащее коммутатор, последовательно соединенные дешифратор, шифратор, регистры, выходы которых подключены к группе адресных входов запоминающего устройства и к управляющим входам коммутатора [2].

2

Однако известное устройство не обеспечивает возможность работы одновременно с разными областями памяти, находящимися в разных ее страницах без переключения регистра номера массива, что снижает быстродействие и ограничивает функциональные возможности устройства.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройстве для сопряжения процессора с многоблочной памятью, содержащее регистр номера массива и блок памяти, входы/выходы которого являются информационными входами/выходами устройства, введены блок дешифраторов, группа канальных приемо-передатчиков, дешифратор адреса, триггер, дешифратор управляющих сигналов, первый и второй входы которых подключены к группе управляющих входов/выходов устройства, а третий вход - к выходу триггера, синхровход которого подключен к группе управляющих входов/выходов устройства, а информационный вход - к выходу дешифратора адреса, группа входов которого соединена с группой вы-

ходов группы канальных приемо-передатчиков и группой входов регистра номера массива, группа выходов которого соединена с группой входов блока дешифраторов и первой группой входов группы канальных приемо-передатчиков, вторая группа входов которых соединена с группой управляющих входов/выходов устройства, группа выходов блока дешифраторов соединена с группой управляющих входов блока памяти, второй выход дешифратора управляющих сигналов соединен с входом группы канальных приемо-передатчиков.

На фиг.1 показана блок-схема устройства; на фиг.2 - блок-схема блока управления.

Устройство содержит входы/выходы 1 блоков памяти, блок 2 управления, регистр 3 номера массива, блок дешифраторов 4, блоки 5 памяти, банки 6 памяти, группы выходов 7 регистра номера массива 3, канальные приемо-передатчики 8, дешифратор 9 адреса, триггер 10, дешифратор 11 управляющих сигналов.

Устройство работает следующим образом.

Каждый из n блоков 5 памяти, содержащий m банков 6 памяти, имеет максимальную емкость, соответствующую формату адресного слова процессора. Каждый из банков 6 памяти имеет управляющий вход, с помощью которого данному банку либо разрешается, либо запрещается работа с магистралью "Общая шина". В связи с тем, что каждый банк 6 памяти управляется автономно, возникает возможность подключать определенный набор m банков 6 из n блоков 5 памяти к магистральной "Общей шине" за один цикл обращения процессора с помощью блока управления 2 и регистра 3 номера массива. В зависимости от передаваемого в регистр 3 номера массива кода к магистральной подключается та или иная комбинация m банков 6 из n блоков 5 памяти. При этом возможны только такие комбинации банков 6 памяти, в которых из n одноименных банков, относящихся к разным блокам памяти, подключен только один. После прохождения по магистральной сигнала установки в нуль регистр 3 номера массива устанавливается в нулевое состояние. При этом по первым выходным шинам каждого из дешифраторов 4 поступают управляющие сигналы, которые разрешают работу с магистралью только банкам первого блока памяти. Смена подключенной к магистральной комбинации банков 6 памяти производится путем изменения кода на выходах регистра 3 номера массива. Запись кода в регистр 3 номера массива производится

программно, с помощью отдельной команды пересылки. При этом, с помощью дешифраторов 4 к магистральной подключается необходимая комбинация банков 6 из имеющихся n блоков 5 памяти.

5 Контроль подключенной комбинации банков памяти осуществляется при чтении кода с выходов регистра 3 номера массива через блок 2 управления в процессор. Максимальная емкость каждого блока памяти может быть не более 2^N слов, где N - формат адресного слова процессора. Блок управления 2 предназначен для сопряжения регистра 3 номера массива с магистралью "Общая шина". Выполнение блока 2 управления определяется типом и структурой магистральной. Поэтому его конкретная реализация для разных ЭВМ может быть различной.

20 В состав блока 2 управления входят канальные приемо-передатчики (КПП), дешифратор адреса (ДША), триггер "Устройство выбрано" (ТУВ) и дешифратор управляющих сигналов (ДШУС).
25 Коды адресов и данные для дешифрации адреса в ДША и записи в регистр 3 поступают по шинам адреса данных магистральной (ШАДМ) на входы КПП. С выходов КПП коды адресов и данные по шинам адреса данных (ШАД) поступают на входы ДША и регистра 3 номера массива. Передача из регистра 3 номера массива установленного в нем кода в ШАДМ производится через КПП по шинам данных (ШД). По синхронизирующему импульсу адреса (СИА) при совпадении кода адреса, поступающего на вход ДША, с кодом адреса устройства для управления памятью триггер "Устройство выбрано" устанавливается в
40 "1" состояние и разрешает работу ДШУС. На вход дешифратора 11 управляющих сигналов поступают синхронизирующие импульсы данных магистральной СИД1 (ввод данных) и СИД2 (вывод данных). При поступлении на вход ДШУС сигнала СИД1 дешифратор формирует сигнал СИМ, по которому производится передача кода управления регистра 3 номера массива в магистраль. При поступлении на вход ДШУС сигнала СИД2 дешифратор формирует синхронизирующий импульс записи СИЗп, по которому в регистре 3 номера массива производится запись
55 очередного поступающего кода.

Таким образом, с помощью заявляемого устройства к магистральной "Общая шина" процессора можно подключать различные комбинации из m банков памяти. Это снижает частоту обращения к регистру, управляющему памятью (регистр 3 номера массива предлагаемого устройства) и обеспечивает более гибкое использование памяти
65 объема, превышающего 2^N слов, за

счет чего повышается быстродействие предлагаемого устройства по сравнению с прототипом.

Формула изобретения

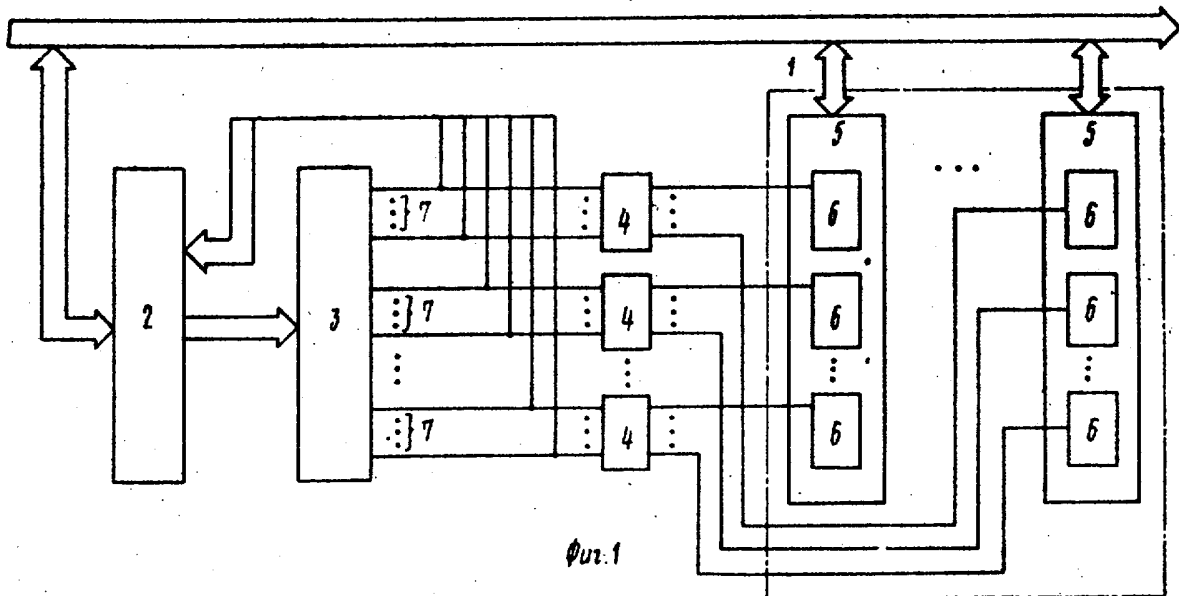
Устройство для сопряжения процессора с многоблочной памятью, содержащее регистр номера массива и блоки памяти, входы/выходы которых являются информационными входами/выходами устройства, отличающееся тем, что, с целью повышения быстродействия, в него введен блок дешифраторов, группа канальных приемопередатчиков, дешифратор адреса, триггер, дешифратор управляющих сигналов, первый и второй входы которого подключены к группе управляющих входов/выходов устройства, а третий вход - к выходу триггера, синхровход которого подключен к группе управляющих входов/выходов устройства, а информационный вход - к вы-

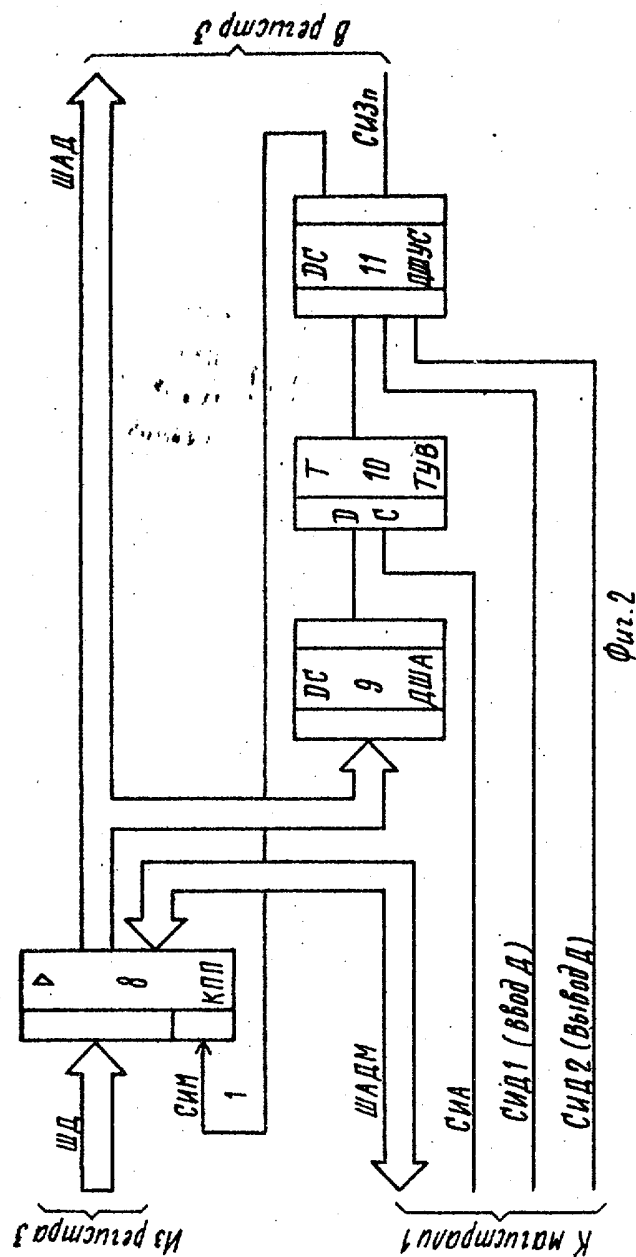
ходу дешифратора адреса, группа входов которого соединена с группой выходов группы канальных приемопередатчиков и группой входов регистра номера массива, группа выходов которого соединена с группой входов блока дешифраторов и первой группой входов группы канальных приемопередатчиков, вторая группа входов которых соединена с группой управляющих входов/выходов устройства, группа выходов блока дешифраторов соединена с группой управляющих входов блока памяти, второй выход дешифратора управляющих сигналов соединен с входом группы канальных приемопередатчиков.

Источники информации, принятые во внимание при экспертизе

1. Каган Б.М., Электронные вычислительные машины и системы. "Энергия", 1979, с. 461.

2. Авторское свидетельство СССР № 643878, кл. G 06 F 13/06, 1979 (прототип).





Редактор А. Гулько Составитель Щербаков Корректор О. Билак
Техред Т. Фанта

Заказ 5951/56 Тираж 731 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4