



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098425  
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2008-7022914

(22) 출원일자 2008년09월19일

심사청구일자 2008년09월19일

번역문제출일자 2008년09월19일

(86) 국제출원번호 PCT/JP2007/055514

국제출원일자 2007년03월19일

(87) 국제공개번호 WO 2007/108439

국제공개일자 2007년09월27일

(30) 우선권주장

JP-P-2006-00078348 2006년03월22일 일본(JP)

(71) 출원인

미쓰비시덴키 가부시기가이샤

일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자

오츠카 겐이치

일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고  
미쓰비시덴키 가부시기가이샤 내

미우라 나루히사

일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고  
미쓰비시덴키 가부시기가이샤 내

(뒷면에 계속)

(74) 대리인

김창세

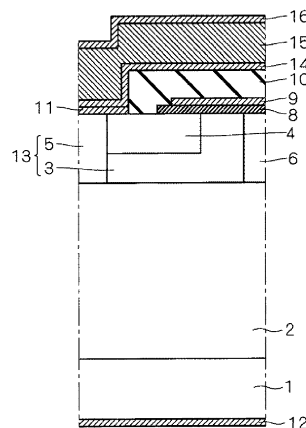
전체 청구항 수 : 총 4 항

(54) 전력용 반도체 장치

(57) 요약

본 발명은, 고온 동작에 있어서 배선의 금속 재료와 반도체 영역에 접촉하는 전극 등과의 반응이 발생하기 어렵고, 또한, 고온 동작에 있어서 변형이 발생하기 어려운 전력용 반도체 장치를 제공하는 것을 목적으로 한다. 그리고, 당해 목적을 달성하기 위해, 본 발명과 관련되는 전력용 반도체 장치는, SiC 파워 디바이스 등의 전력용 반도체 장치로서, 소스 영역(4) 등의 반도체 영역 위에 형성된 소스 전극(11)상에, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층(14)이 형성되어 있다. 제 1 금속층(14)상에는, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층(15)이 형성되어 있다. 제 2 금속층(15)상에는, Pt, Mo, W 중 적어도 1종을 포함하는 제 3 금속층(16)이 형성되어 있다.

대표도



(72) 발명자

**이마이즈미 마사유키**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시기가이샤 내

**오오모리 다츠오**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시기가이샤 내

---

## 특허청구의 범위

### 청구항 1

표면을 갖는 반도체층과,

상기 반도체층의 상기 표면의 적어도 일부에 노출하도록 상기 반도체층 내에 형성된, 소정 도전형의 반도체 영역과,

상기 반도체 영역상에 형성된 제 1 절연막과,

상기 반도체 영역상 또는 상기 제 1 절연막상에 형성된 전극과,

상기 전극상에 형성되고, 또한, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층과,

상기 제 1 금속층상에 형성되고, 또한, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층

을 구비하는 전력용 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 제 2 금속층상에 형성되고, 또한, Pt, Mo, W 중 적어도 1종을 포함하는 제 3 금속층을 더 구비하는 전력용 반도체 장치.

### 청구항 3

제 1 항에 있어서,

상기 반도체층의 상기 표면상 및/또는 상기 제 1 절연막의 표면상으로서 상기 전극이 형성된 영역 이외의 영역에 있어서, 형성된 제 2 절연막을 더 구비하고,

상기 제 1 및 제 2 금속층은, 상기 제 2 절연막상에 연장하고 있는

전력용 반도체 장치.

### 청구항 4

제 3 항에 있어서,

상기 반도체 영역상에 형성된 상기 전극(11)과 상기 제 2 절연막이 접촉하지 않도록, 그들 사이에 상기 제 1 금속층이 존재하는 전력용 반도체 장치.

## 명세서

### 기술분야

<1> 본 발명은, 파워 디바이스인 전력용 반도체 장치에 관한 것이다.

### 배경기술

<2> 최근, 에너지 절약의 관점으로부터, 파워 디바이스의 특성 개선이 요구되고 있다. 그래서, 종래의 Si(실리콘)를 이용한 파워 디바이스 이외에도, 차세대 고내압·저손실 파워 스위칭 소자로서, SiC(탄화실리콘)를 이용한 파워 디바이스가 유망시되고 있다. 또, 파워 디바이스에는, 금속·절연체(예컨대, 실리콘 산화물)·반도체(Metal Insulator(예컨대, Oxide) Semiconductor : MIS(예컨대, MOS)) 구조의 전계 효과 트랜지스터(Field Effect Transistor : FET)나, 쏫키 다이오드 등이 있다.

<3> 예컨대, SiC를 이용한 MOSFET에서는, 종래의 Si를 이용한 MOSFET의 소자 구조에 준한 소자 구조가 채용된다. SiC는 Si보다 밴드 갭이 크므로, SiC-MOSFET에서는, 200℃ 미만에서 동작시키고 있던 종래의 Si-MOSFET보다 고온에서의 동작이 가능해진다. 특히 문헌 1~5에는, SiC를 이용한 반도체 장치에 관한 기술이 개시되어 있다.

- <4> (특허 문헌 1) 일본 특허 공개 제 2005-310902 호 공보
- <5> (특허 문헌 2) 일본 특허 공개 평 9-22922 호 공보
- <6> (특허 문헌 3) 일본 특허 공개 제 2006-32456 호 공보
- <7> (특허 문헌 4) 일본 특허 공개 제 2000-101099 호 공보
- <8> (특허 문헌 5) 일본 특허 공개 제 2005-268430 호 공보

<9> 파워 디바이스에 있어서는, 배선의 금속 재료로서 종래, Al(알루미늄), 혹은, Al과 Si, Cu(구리), Ti(티탄), Pd(팔라듐) 등과의 합금도 포함한, Al을 주성분으로 한 Al계 재료가 이용되고 있었다. 그러나, Al계 재료를 배선의 금속 재료로 채용했을 경우, 200℃를 넘는 고온 동작에 있어서는, 그 금속 재료와 반도체 기판 내의 반도체 영역에 접촉하는 전극이나 반도체 기판 표면에 형성된 실리콘막 등과의 반응이 발생하거나, 그 금속 재료 표면의 산화가 발생하거나 하여 소자의 신뢰성이 열화하기 쉽다.

<10> 상기와 같은 Al계 재료의 문제를 고려하여, SiC 파워 디바이스에 있어서의 배선 금속으로서 Cu계 재료를 이용하는 것이 상기 특허 문헌 1에 제안되어 있다. 그러나, Cu의 열팽창 계수는  $17 \times 10^{-6} \text{K}^{-1}$ 이다. 이 값은, Si(열팽창 계수는  $4.2 \times 10^{-6} \text{K}^{-1}$ )나 SiC(열팽창 계수는  $3.7 \times 10^{-6} \text{K}^{-1}$ ) 등의 반도체 재료와는 크게 다르다. 그 때문에, Si나 SiC를 이용한 파워 디바이스에 있어서의 배선의 금속 재료로서 Cu계 재료를 이용하면, 고온 동작시에 파워 디바이스에 변형이 발생하여, 소자의 신뢰성이 문제가 되는 경우가 있다.

### 발명의 상세한 설명

- <11> 본 발명은, 상기 사정을 감안하여 이루어진 것으로, 파워 디바이스인 전력용 반도체 장치로서, 고온 동작에 있어서 배선의 금속 재료와 반도체 영역에 접촉하는 전극과의 반응이 발생하기 어렵고, 또한, 고온 동작에 있어서 변형이 발생하기 어려운 전력용 반도체 장치를 실현하는 것을 목적으로 한다.
- <12> 본 발명은, 표면을 갖는 반도체층과, 상기 반도체층의 상기 표면의 적어도 일부에 노출하도록 상기 반도체층 내에 형성된, 소정 도전형의 반도체 영역과, 상기 반도체 영역상에 형성된 제 1 절연막과, 상기 반도체 영역상 또는 상기 제 1 절연막상에 형성된 전극과, 상기 전극상에 형성되고, 또한, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층과, 상기 제 1 금속층상에 형성되고, 또한, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층을 구비하는 전력용 반도체 장치이다.
- <13> 본 발명에 의하면, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층과, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층을 구비한다. 반응성이 작은 재료인 Mo, W, Cu 중 어느 하나를 제 2 금속층에 이용함으로써, 제 2 금속층을 배선 금속으로서 이용했을 때에, 고온 동작에서도 반도체 영역상 또는 제 1 절연막상에 형성된 전극과 제 2 금속층과의 반응을 발생하기 어렵게 할 수 있다. 또한, 전극과 제 2 금속층 사이에, 보다 반응성이 작은 재료인 Pt, Ti, Mo, W, Ta 중 어느 하나를 포함하는 제 1 금속층을 개재시킴으로써, 고온 동작에서도 전극으로의 다른 금속종의 혼입 등의 현상을 방지할 수 있다. 또한, 제 2 금속층에 Cu를 포함한 금속층을 이용하는 경우에는, 제 1 금속층을 개재시킴으로써, 반도체 영역과 제 2 금속층 사이에서의 열팽창 계수의 차이에 의한 변형을 완하시킬 수 있다. 따라서, 고온 동작에 있어서 배선의 금속 재료와 반도체 영역에 접촉하는 전극과의 반응이 발생하기 어렵고, 또한, 고온 동작에 있어서 변형이 발생하기 어려운 전력용 반도체 장치를 실현할 수 있다.
- <14> 본 발명의 목적, 특징, 국면, 및 이점은, 이하의 상세한 설명과 첨부 도면에 의해, 보다 명백해진다.

### 실시예

- <35> <실시의 형태 1>
- <36> 본 실시의 형태는, 반도체 영역상 또는 반도체 영역상의 절연막상에 형성된 전극상에, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층을 형성하고, 제 1 금속층상에, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층을 형성하고, 제 2 금속층상에, Pt, Mo, W 중 적어도 1종을 포함하는 제 3 금속층을 형성한, SiC 파워 디바이스인 전력용 반도체 장치이다.
- <37> 도 1은, 본 실시의 형태와 관련되는 전력용 반도체 장치의 일부를 나타내는 도면이다. 또, 도 1은 SiC 파워 디바이스(예로서 n채널 SiC MOSFET)의, 소자 구조의 최소 단위(본원에서는 소자 단위 구조라 칭함)의 단면을 나타

내고, 본 실시의 형태와 관련되는 전력용 반도체 장치는, 이 소자 단위 구조가 도 1의 좌우 양방향으로 접혀 연속한 구조로 되어 있다.

- <38> 도 1에 나타내는 바와 같이, 반도체 기판인 n형 저저항 SiC 기판(1)의 표면에는, 내압을 보지(保持)하기 위한, 반도체층인 n형 SiC 드리프트층(2)이, 에피택셜 성장에 의해 형성되어 있다. n형 SiC 드리프트층(2)의 층 두께는 3~20 $\mu\text{m}$  정도, 도핑 농도는  $1 \times 10^{15} \sim 15 \times 10^{15} / \text{cm}^3$  정도이다.
- <39> n형 SiC 드리프트층(2)의 표면에는, p형 SiC 영역(13) 및 n형 SiC 디프레션 영역(6)이 형성되어 있다. p형 SiC 영역(13)에는, p형 SiC 베이스 영역(3) 및 p형 SiC 콘택트 영역(5)이 포함된다. 또, n형 SiC 디프레션 영역(6)은, p형 SiC 베이스 영역(3)에 인접하고 있다. p형 SiC 콘택트 영역(5)은, p형 SiC 영역(13) 중 후술하는 소스 전극과 접촉하는 부분이다. 또한, p형 SiC 베이스 영역(3)의 표면에는, n형 SiC 디프레션 영역(6)으로부터는 이간하면서 p형 SiC 콘택트 영역(5)에 인접한, 반도체 영역인 n형 SiC 소스 영역(4)이 형성되어 있다.
- <40> p형 SiC 영역(13) 및 n형 SiC 소스 영역(4)은, n형 SiC 드리프트층(2)에 이온 주입 및 활성화 열처리를 행함으로써, 선택적으로 형성된다. 즉, 반도체 영역인 p형 SiC 영역(13) 및 n형 SiC 소스 영역(4)은, 반도체층인 n형 SiC 드리프트층(2)의 표면의 일부에 노출하도록, n형 SiC 드리프트층(2) 내에 형성된다.
- <41> p형 SiC 영역(13)의 층 두께는 0.5~2 $\mu\text{m}$  정도, 그 도핑 농도는  $3 \times 10^{17} \sim 20 \times 10^{17} / \text{cm}^3$  정도이다. n형 SiC 소스 영역(4)의 층 두께는 0.3~1 $\mu\text{m}$  정도, 그 도핑 농도는  $5 \times 10^{18} \sim 50 \times 10^{18} / \text{cm}^3$  정도이다. 또한, p형 SiC 영역(13) 중 소스 전극과 접촉하는 p형 콘택트 영역(5)의 형성에 있어서는,  $5 \times 10^{18} \sim 50 \times 10^{18} / \text{cm}^3$  정도로, 다른 부분(p형 SiC 베이스 영역(3))보다 고농도의 도핑이 되도록 별도로, 선택적으로 이온 주입을 행함으로써 형성한다.
- <42> 또, n형 SiC 드리프트층(2) 중, p형 SiC 영역(13)이 형성되지 않은 n형 영역은 n형 SiC 디프레션 영역(6)이 된다. n형 SiC 디프레션 영역(6)에 있어서의 도핑 농도는, n형 SiC 드리프트층(2)의 도핑 농도 그대로라도 좋다. 한편, 별도로, 이온 주입을 실시하거나, 또는, n형 SiC 드리프트층(2)의 성장시에 도핑 프로파일을 성장과 함께 바꿈으로써, n형 SiC 디프레션 영역(6)에 있어서의 도핑 농도를  $3 \times 10^{16} \sim 30 \times 10^{16} / \text{cm}^3$  정도로 높이더라도 좋다. 이와 같이 도핑 농도를 높이면, 소자 저항을 내리는 것이 가능하다.
- <43> n형 SiC 소스 영역(4) 및 p형 SiC 콘택트 영역(5)상에는, n형 SiC 소스 영역(4)에 전기적으로 접속하는 소스 전극(11)이 형성되어 있다. 또한, n형 저저항 SiC 기판(1)의 아래쪽 면에는, 드레인 전극(12)이 형성되어 있다. 또한, n형 SiC 소스 영역(4)과 n형 SiC 디프레션 영역(6) 사이에 있는 부분의 p형 SiC 베이스 영역(3)상, 및, n형 SiC 디프레션 영역(6)상, 및, n형 SiC 소스 영역(4)의 일부의 위에는, 실리콘 산화막이나 실리콘 산화 질화막 등의 게이트 절연막(8)과 폴리실리콘막이나 금속막 등의 게이트 전극(9)의 적층 구조가 형성되어 있다. 게이트 절연막(8)의 층 두께는, 예컨대, 10~100nm 정도이다.
- <44> 게이트 절연막(8) 및 게이트 전극(9)의 적층 구조와, n형 SiC 소스 영역(4)의 위에는, 실리콘 산화막 등의 층간 절연막(10)이 형성되어 있다. 또, 층간 절연막(10)은, 게이트 절연막(8) 및 게이트 전극(9)의 적층 구조의 형성 후에, n형 SiC 드리프트층(2)의 표면상에 전면으로 형성된다. 그 후, 층간 절연막(10) 중 소스 전극(11)의 형성 예정 영역의 부분이 제거된다. 그 제거 부분의 내부에, 소스 전극(11)이 형성된다. 즉, n형 SiC 드리프트층(2)의 표면상으로서 소스 전극(11)이 형성된 영역 이외의 영역에 있어서, 층간 절연막(10)이 존재한다. 또한, 소스 전극(11) 및 드레인 전극(12)은, Ni 혹은 Ni를 포함한 금속층에서 형성된다. 또한, 도 1에 나타내는 바와 같이, 제 1 내지 제 3 금속층(14~16)은, 층간 절연막(10)상에 연장하여 형성되어 있다.
- <45> 소스 전극(11)상에는, 제 1 금속층(14)이 형성되어 있다. 또한, 제 1 금속층(14)상에는, 제 2 금속층(15)이 형성되어 있다. 또한, 제 2 금속층(15)상에는, 제 3 금속층(16)이 형성되어 있다. 이들 제 1 내지 제 3 금속층(14~16)은, 더불어 배선 금속층으로서 기능한다.
- <46> 제 2 금속층(15)은, 배선으로서의 주기능을 담당하는 부분이다. 반응성이 작고, 또한, 전기 전도도가 큰 Cu(구리), Mo(몰리브덴), W(텅스텐) 중 적어도 1종을 포함한 금속막으로, 제 2 금속층(15)은 구성된다. 또한, 이들 금속의 단층막이라도 좋고, 이들 3종의 금속 중의 적어도 1종을 포함하는 다층막이나 합금막이라도 좋다. 층 두께는, 예컨대, 100~700nm 정도이다.
- <47> 또한, 제 1 금속층(14)은, 층간 절연막(10)(구성 재료가 실리콘 산화막)이나 소스 전극(11)(구성 재료가 Ni계 금속)과, 배선인 제 2 금속층(15)이, 고온 동작에 있어서 반응하여 소자 특성의 열화를 초래하는 것을 방지하는 기능을 갖는다. 또한, 제 1 금속층(14)은, 제 2 금속층(15)과 게이트 전극(9)의 구성 재료인 폴리실리콘과의

반응도 방지하는 기능을 갖는다.

- <48> 제 1 금속층(14)은, 반응성이 작은 재료인 Ti(티탄), Pt(백금), Ta(탄탈)의 3종, 또는, 열팽창 계수가 Si나 SiC 등의 반도체 재료와 가까운, Mo(몰리브덴, 그 열팽창 계수는  $5.1 \times 10^{-6} \text{ K}^{-1}$ ), W(텅스텐, 그 열팽창 계수는  $4.5 \times 10^{-6} \text{ K}^{-1}$ )의 2종의 합계 5종의 금속 중 적어도 1종을 포함한다. 구체적으로는, 제 1 금속층(14)으로서, 상기 5종의 금속의 각 단층막이나 5종의 금속 중 어느 하나를 포함한 합금막, 또는, 5종의 금속 중 어느 하나의 단층막을 포함하는 다층막을 이용할 수 있다.
- <49> 예컨대, 합금막으로서는, TiW나 WSi와 같은 금속끼리의 합금막에 더하여, TiN, WN, WSiN, TaN과 같은 질화물도 이용할 수 있다. 또한, 다층막으로서는, 예컨대, Pt와 Ti의 적층 구조를 복수의 주기로 적층한 Pt/Ti/Pt/Ti... Pt/Ti와 같은 구성도 이용할 수 있다. 또한, 상술한 합금막 또는 질화물과 금속막을 적층 구조로 한, Ti/TiN, TaN/Ta와 같은 구성도 이용할 수 있다.
- <50> 제 1 금속층(14)의 층 두께는, 단층막에서는, 예컨대, 5~100nm 정도로 하고, 적층 구조에서는 10~200nm 정도이다. 열팽창 계수가 Si나 SiC 등의 반도체 재료와 가까운, Mo나 W를 주성분으로 하는 경우에는, 비교적 두꺼운 층 두께로 할 수 있다.
- <51> 또, 제 2 금속층(15)과 제 1 금속층(14)의 적층 구조의 조합으로서는, 예컨대, Cu/Ti/TiN, Cu/WSiN, Cu/WSi, Cu/TaN/Ta, Cu/Pt/Ti, W/WN, W/Pt/Ti, W/TiN, Mo/TiN, Mo/Pt/Ti 등 여러 가지 구성을 취할 수 있다.
- <52> 또한, 배선으로서의 주기능을 담당하는 제 2 금속층(15)이 Cu를 주성분으로 하는 경우에는, SiC와 제 2 금속층(15)의 열팽창 계수의 차이를 고려하면, 제 1 금속층(14)으로서는, W를 포함한 합금막을 이용하는 것, 혹은 반응성이 보다 작은 Ti를 포함한 5~20nm 정도의 박막을 소스 전극(11)과 접하는 최하층막으로 한 적층막을 이용하는 것이 바람직하다. 이에 대하여, 배선으로서의 주기능을 담당하는 제 2 금속층(15)이 Mo나 W를 주성분으로 하는 경우에는, SiC와 제 2 금속층(15)의 열팽창 계수의 차이가 작으므로, 제 1 금속층(14)을, 반응성이 작은 Ti, Pt, Ta를 포함한 단층막, 합금막을 적절히 조합하여 구성할 수 있다. W를 포함한 합금막으로서는, TiW, WSi, WN, WSiN이 있다. 반응성이 보다 작은 Ti를 포함한 5~20nm 정도의 박막을 소스 전극(11)과 접하는 최하층막으로 한 적층막으로서는, TiN/Ti(Ti가 5~20nm 두께), Ti/TiN(TiN이 5~20nm 두께), Pt/Ti(Ti가 5~20nm 두께)가 있다. Pt/Ti에서는 각 층 두께를 5~20nm로 하여 복수의 주기로 적층한 구조를 취함으로써 고온 동작시의 반응을 막을 수 있다. 반응성이 작은 Ti, Pt, Ta를 포함한 단층막, 합금막을 적절히 조합한 것으로서는, TiN/Ti, Ti/TiN, Pt/Ti, TaN/Ta, Ta/TaN이 있다.
- <53> 또한, 층간 절연막(10)은 도 1에 있어서 폭이 3~10 $\mu\text{m}$ , 두께는 1~3 $\mu\text{m}$  정도로서, 소스 전극(11)보다 폭, 두께 모두 크므로, 층간 절연막(10)과 제 1 금속층(14)의 반응이나 응력도 고려할 필요가 있다. 따라서, 이 관점에서부터도, 배선으로서의 주기능을 담당하는 제 2 금속층(15)이 Cu를 주성분으로 하는 경우에는, 제 1 금속층(14)으로서 W를 포함한 합금막을 이용하는 것, 혹은 반응성이 보다 작은 Ti를 포함하는 5~20nm 정도의 박막을 층간 절연막(10)과 접하는 최하층막으로 한 적층막을 이용하는 것이 바람직하다. 또한, 배선으로서의 주기능을 담당하는 제 2 금속층(15)이 Mo나 W를 주성분으로 하고, 제 1 금속층(14)을, 반응성이 작은 Ti, Pt, Ta를 포함한 단층막, 합금막을 적절히 조합하여 구성하는 경우에도, 제 1 금속층(14)을, 5~20nm 정도의 박막을 층간 절연막(10)과 접하는 최하층막으로 한 적층막으로 하는 것이 바람직하다.
- <54> 제 3 금속층(16)은, 배선으로서의 제 2 금속층(15)에 Cu가 포함되는 경우에, 고온 동작시에 제 2 금속층(15)의 표면이 산화하는 것을 방지하는 기능을 갖는다. 제 3 금속층(16)은, Pt, Mo, W 중 적어도 1종을 포함하는 금속막이다. 이와 같은 막을 채용함으로써, 제 2 금속층(15)의 표면의 산화를 방지할 수 있다. 제 3 금속층(16)으로서는, Mo, W, Pt의 단층막 외에, TiW, WN의 합금막, Pt/Ti와 같은 적층막을 이용할 수 있다.
- <55> 또, n형 SiC 드리프트층(2), p형 SiC 베이스 영역(3), n형 SiC 디프레션 영역(6), n형 SiC 소스 영역(4), p형 SiC 컨택트 영역(5), 소스 전극(11), 게이트 절연막(8) 및 게이트 전극(9)의 적층 구조, 층간 절연막(10), 제 1 내지 제 3 금속층(14~16), 및, 게이트 전극(9)상에 형성된 금속 배선층이, 하나의 소자 단위 구조를 구성한다.
- <56> 이하에, 도 1의 전력용 반도체 장치의 제조 방법에 대하여 설명한다. 도 2~도 13은, 본 실시의 형태와 관련된 전력용 반도체 장치의 각 제조 공정을 나타내는 도면이다.
- <57> 우선, 도 2에 나타내는 바와 같이, n형 저저항 SiC 기판(1)상에 n형 SiC 드리프트층(2)을, 에피택셜 성장 기술에 의해 형성한다. 다음으로, 도 3에 나타내는 바와 같이, n형 SiC 드리프트층(2)의 표면에 불순물 이온 주입 및 활성화 열처리를 행함으로써, p형 SiC 영역(13)을 선택적으로 형성한다. 또, p형 SiC 영역(13)의 층 두께는



0.5~2 $\mu$ m 정도, 또한, 그 도핑 농도는  $3 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^3$  정도가 되도록 하면 좋다.

- <58> 다음으로, 도 4에 나타내는 바와 같이, p형 SiC 영역(13)의 표면에 불순물 이온 주입 및 활성화 열처리를 행함으로써, n형 SiC 소스 영역(4)을 형성한다. 이어서, 선택적으로 이온 주입을 행함으로써, 도 5에 나타내는 바와 같이 p형 SiC 컨택트 영역(5)을 형성한다.
- <59> 다음으로, n형 SiC 디프레이션 영역(6)에 있어서의 도핑 농도를, n형 SiC 드리프트층(2)의 도핑 농도와는 다른 값으로 하는 경우에는, 예컨대, 선택적으로 이온 주입을 행함으로써, 도 6에 나타내는 바와 같이 n형 SiC 디프레이션 영역(6)을 형성한다.
- <60> 다음으로, 도 7에 나타내는 바와 같이, n형 SiC 소스 영역(4)의 일부, p형 SiC 베이스 영역(3) 및 n형 SiC 디프레이션 영역(6)의 표면에, 게이트 절연막(8)(예컨대, 실리콘 산화막 혹은 실리콘 산화 질화막)을, 열산화법이나 CVD(Chemical Vapor Deposition)법에 의해 형성한다.
- <61> 다음으로, 도 8에 나타내는 바와 같이, 게이트 절연막(8)상에 CVD법 등에 의해 게이트 전극(9)(예컨대, 폴리실리콘막)을 형성한다. 이어서, 도 9에 나타내는 바와 같이, 실리콘 산화막 등의 층간 절연막(10)을 형성한다. 층간 절연막(10) 중 소스 전극(11)의 형성 예정 영역의 부분은, 상술한대로 제거된다. 그 후, 도 10에 나타내는 바와 같이, 소스 전극(11) 및 드레인 전극(12)으로서, 금속 증착법 등에 의해 Ni 혹은 Ni를 포함한 금속층이 형성된다.
- <62> 다음으로, 도 11에 나타내는 바와 같이, 소스 전극(11) 및 층간 절연막(10)상에 제 1 금속층(14)을, 금속 증착법 등에 의해 형성한다. 다음으로, 도 12에 나타내는 바와 같이, 제 1 금속층(14)상에 제 2 금속층(15)을, 금속 증착법 등에 의해 형성한다. 그리고, 도 13에 나타내는 바와 같이, 제 2 금속층(15)상에 제 3 금속층(16)을, 금속 증착법 등에 의해 형성한다.
- <63> 또, 각 층에 있어서의 이온 주입종의 활성화 열처리는, 게이트 절연막(8) 및 게이트 전극(9)의 형성의 직전에 한꺼번에 행하더라도 좋고, 그때마다 행하더라도 좋다.
- <64> 본 실시의 형태와 관련되는 전력용 반도체 장치에 의하면, Pt, Ti, Mo, W, Ta 중 적어도 1종을 포함하는 제 1 금속층(14)과, Mo, W, Cu 중 적어도 1종을 포함하는 제 2 금속층(15)을 구비한다. 반응성이 작은 재료인 Mo, W, Cu 중 어느 하나를 제 2 금속층(15)에 이용함으로써, 제 2 금속층(15)을 배선 금속으로서 이용했을 때에, 고온 동작이더라도 반도체 영역인 n형 SiC 소스 영역(4)상에 형성된 소스 전극(11)과 제 2 금속층(15)의 반응을 발생하기 어렵게 할 수 있다. 또한, 소스 전극(11)과 제 2 금속층(15) 사이에, 보다 반응성이 작은 재료인 Pt, Ti, Mo, W, Ta 중 어느 하나를 포함하는 제 1 금속층(14)을 개재시킴으로써, 고온 동작이더라도 소스 전극(11)으로의 다른 금속종의 혼입 등의 현상을 방지할 수 있다. 또한, 제 2 금속층(15)에 Cu를 포함한 금속층을 이용하는 경우에는, 제 1 금속층(14)을 개재시킴으로써, 반도체 영역인 n형 SiC 소스 영역(4)과 제 2 금속층(15) 사이의 열팽창 계수의 차이에 따른 변형을 완화시킬 수 있다. 따라서, 고온 동작에 있어서 배선의 금속 재료와 반도체 영역에 접촉하는 전극 등과의 반응이 발생하기 어렵고, 또한, 고온 동작에 있어서 변형이 발생하기 어려운 전력용 반도체 장치를 실현할 수 있다.
- <65> 또한, 본 실시의 형태와 관련되는 전력용 반도체 장치에 의하면, 제 2 금속층(15)상에 형성되고, 또한, Pt, Mo, W 중 적어도 1종을 포함하는 제 3 금속층(16)을 더 구비한다. 제 2 금속층(15)의 표면에, 반응성이 작은 재료인 Pt, Mo, W 중 적어도 1종을 포함하는 제 3 금속층(16)을 형성함으로써, 고온 동작에 있어서의 산화 등에 의한 제 2 금속층(15) 표면의 열화를 방지할 수 있다.
- <66> 이와 같이, 소스 전극(11)상 및 층간 절연막(10)상에 제 1 금속층(14), 제 2 금속층(15), 제 3 금속층(16)을 배치함으로써, 배선으로서 기능하는 제 2 금속층(15)과, 소스 전극(11)이나 소스 영역(4), p형 SiC 영역(13), 층간 절연막(10)의 고온 동작시의 반응이나 응력 발생을 방지할 수 있고, 또한 금속층 표면의 산화를 방지할 수 있다.
- <67> 또한, 본 실시의 형태와 관련되는 전력용 반도체 장치에 의하면, 반도체층인 n형 SiC 드리프트층(2)의 표면상으로서 소스 전극(11)이 형성된 영역 이외의 영역에, 형성된 층간 절연막(10)을 더 구비하고, 제 1 및 제 2 금속층(14, 15)은, 층간 절연막(10)상에 연장하고 있다. 따라서, 제 2 금속층(15)을 배선 금속으로서 이용했을 때에, 고온 동작이더라도, n형 SiC 드리프트층(2)의 표면상에 형성된 게이트 절연막(8)이나 층간 절연막(10)하의 각종 막(예컨대, 게이트 전극(9))과 제 2 금속층(15)의 반응을 발생하기 어렵게 할 수 있다.
- <68> 또, 상기에 있어서는, 소스 전극(11)상에 제 1 내지 제 3 금속층(14~16)을 형성하고 있었다. 이것과는 별개로,

혹은, 이에 더하여, 게이트 전극(9)상에도 제 1 내지 제 3 금속층을 형성한 구조를 채용하더라도 좋다. 그 경우는, 반도체 영역인 p형 SiC 베이스 영역(3)상에 제 1 절연막인 게이트 절연막(8)이 형성되고, 게이트 전극(9)은 그 위에 형성되며, 게이트 전극(9)상에 제 1 내지 제 3 금속층이 형성된 구조가 된다. 그리고, 층간 절연막(10)이, n형 SiC 드리프트층(2)의 표면상 및 게이트 절연막(8)의 표면상으로서, 게이트 전극(9)이 형성된 영역 이외의 영역에 형성된 제 2 절연막으로서 기능한다.

<69> 이 경우의 제법으로서, 소스 전극(11) 형성을 위해 층간 절연막(10)을 부분적으로 제거할 때에, 혹은 별도로, 게이트 전극(9)상의 배선(제 1 내지 제 3 금속층) 형성 부분의 층간 절연막(10)을 제거하면 좋다. 소스 전극(11) 및/또는 게이트 전극(9)상에, 제 1 내지 제 3 금속층(14~16)을 형성하여 MOSFET을 제작하게 되지만, 게이트 전극(9)상의 배선(제 1 내지 제 3 금속층) 형성 부분의 층간 절연막(10)의 제거를, 소스 전극(11) 형성을 위한 층간 절연막(10)의 부분적 제거와 동시에 행하는 경우에는, 게이트 전극(9)상에는 소스 전극(11)의 구성 재료와 제 1 내지 제 3 금속층(14~16)이 형성되게 된다. 한편, 게이트 전극(9)상의 배선(제 1 내지 제 3 금속층) 형성 부분의 층간 절연막(10)의 제거를, 소스 전극(11) 형성을 위한 층간 절연막(10)의 부분적 제거와는 별도로, 소스 전극(11)의 형성 후에 행하는 경우에는, 게이트 전극(9)상의 배선 부분에는 제 1 내지 제 3 금속층(14~16)만이 형성되게 된다. 도 14는, 후자의 방법으로 게이트 전극(9)상에 제 1 내지 제 3 금속층(14~16)을 형성했을 경우의 본 전력용 반도체 장치의 구조를 나타내는 도면이다.

<70> 상기에 있어서는, p형 SiC 베이스 영역(3) 중 게이트 절연막(8)과의 접촉면 부근을, 채널 영역으로 하고 있다. 그러나, 이 채널 영역 부근에 이온 주입을 별도로 행하여 채널층을 추가 형성하더라도 좋다.

<71> 도 15 및 도 16은, 본 실시의 형태와 관련되는 전력용 반도체 장치의 변형예를 나타내는 도면이다. 도 15에 있어서는, 채널층(7)이, p형 SiC 베이스 영역(3)의 표면 내, n형 SiC 소스 영역(4)의 일부의 표면 내, 및, n형 SiC 디프레션 영역(6)의 표면 내에 걸쳐 형성되어 있다. 이 채널층(7)은, 게이트 절연막(8)의 형성 전에, 반도체층인 n형 SiC 드리프트층(2)의 표면에, 선택적으로 이온 주입함으로써 형성하면 좋다. 그 점 외에, 장치 구성 및 그 제조 방법은, 도 1의 경우와 같다.

<72> 또한, 도 16에 있어서는, 채널층(7)이, p형 SiC 베이스 영역(3)의 표면상, n형 SiC 소스 영역(4)의 일부의 표면상, 및, n형 SiC 디프레션 영역(6)의 표면상에 걸쳐 형성되어 있다. 이 채널층(7)은, 게이트 절연막(8)의 형성 전에 실리콘막 등의 반도체막을 에피택셜 성장에 의해 형성하고, 게이트 절연막(8)과 같은 패터닝이 되도록 포토리소그래피 기술에 의해 형성하면 좋다. 그 점 외에, 장치 구성 및 그 제조 방법은, 도 1의 경우와 같다.

<73> 채널층(7)은 없어도 좋고, 도 1의 경우는 채널층(7)이 없는 경우에 상당한다. 상기와 같이 채널층(7)을 마련하는 경우, 그 도전형은 n형이더라도 p형이더라도 좋다. 또한, 이온 주입종의 활성화 열처리에 의해 발생한 표면 거칠기를 개선하기 위해서는, 도 16에 나타내는 구조가 되는 에피택셜 성장에 의한 형성이 바람직하지만, 활성화 열처리에 의해 발생하는 표면 거칠기가 적으면, 도 15에 나타내는 선택적인 이온 주입에 의해 채널층을 형성한 구조로 하더라도 좋다.

<74> 또, 본 실시의 형태에 있어서는, n형 저저항 SiC 기판(1)이나 n형 SiC 드리프트층(2), p형 SiC 영역(13), n형 SiC 소스 영역(4) 등을 SiC로 구성했지만, 이들 각 부의 구성 원소는 반드시 SiC에 한정되는 것은 아니다. 예컨대, Si 등의 다른 반도체를, 이들 각 부의 구성 원소로서 채용하더라도 좋다.

<75> 또한, 이상에 있어서는 전력용 반도체 장치의 일례로서 MOSFET을 채택하여, 그 소스 전극(11)으로의 배선 금속에 대하여 설명했지만, MOSFET에 한정되지 않고, 스위칭 소자나 다이오드 소자에 있어서는, 반도체 영역에 접속하는 모든 전극으로의 배선 금속에 있어서도 마찬가지로, 본 발명을 이용할 수 있다.

<76> 또한, 이상에 있어서는, 소스 전극(11)의 전극의 재료로서, Ni계 전극을 채용하는 경우에 대하여 설명했지만, Al이나 Ti, 다결정 실리콘막 등을 비롯하여, Ni계 이외의 재료가 전극의 재료로서 이용되는 경우에 대해서도 마찬가지로, 본 발명을 이용할 수 있다.

<77> 또한, 이상에 있어서는, 소스 전극(11)이 층간 절연막(10)과 접하고 있는 구성을 나타냈지만, 소스 전극(11)의 재료종에 의해 소스 전극(11)과 층간 절연막(10)의 반응이 고온 동작시에 염려되는 경우에는, 도 17에 나타내는 바와 같이, 제 1 금속층(14)이 소스 전극(11)과 층간 절연막(10) 사이에 존재하여, 소스 전극(11)이 층간 절연막(10)과 접하는 일 없이, 층간 절연막(10) 및 소스 전극(11)이 제 1 금속층(14)에 덮인 구성이어도 본 발명을 이용할 수 있다.

<78> <실시의 형태 2>



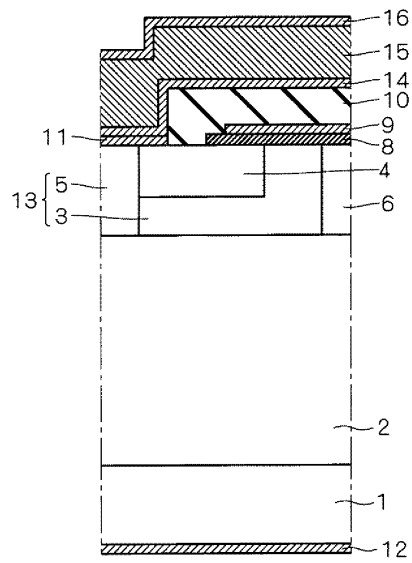
- <79> 본 실시의 형태는, 실시의 형태 1과 관련되는 전력용 반도체 장치의 변형예로서, 상술한 제 3 금속막(16)을 생략한 구조의 전력용 반도체 장치이다.
- <80> 도 18, 도 19, 도 20은 각각, 도 1, 도 15, 도 16의 각 전력용 반도체 장치의 구조로부터 제 3 금속층(16)을 제외한 구조의, 본 실시의 형태와 관련되는 전력용 반도체 장치를 나타내는 도면이다.
- <81> 실시의 형태 1에 있어서는, 제 2 금속층(15)으로서 Cu를 포함한 막을 채용하는 경우에 대하여 언급하여, 제 2 금속층(15)의 표면이 고온 동작시에 산화 등에 의해 열화하는 것을 방지하기 위해, 제 3 금속층(16)을 마련하고 있었다. 그러나, 제 2 금속층(15)으로서, Mo, W 중 적어도 한쪽을 포함하고, Cu를 포함하지 않는 경우에는, 도 18~도 20에 나타내는 바와 같이, 제 3 금속층(16)을 생략한 구성으로 하더라도 좋다.
- <82> 제 2 금속층(15)에 Cu를 포함하지 않는 구성으로 함으로써, 반도체 재료와 열팽창 계수가 비교적 가까운 재료로 제 2 금속층(15)을 구성할 수 있어, 고온 동작시의 변형의 발생을 막을 수 있다. 즉, 배선 금속층을 이와 같은 구성으로 함으로써, 200℃ 이상의 고온에 있어서도 전극이나 배선 부분의 금속의 부분으로부터 열화가 발생하는 일 없이, 소자를 안정하게 동작시킬 수 있다.

### 도면의 간단한 설명

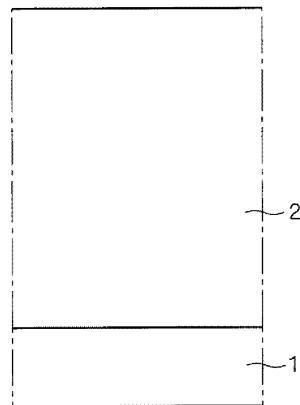
- <15> 도 1은 실시의 형태 1과 관련되는 전력용 반도체 장치의 일부를 나타내는 도면,
- <16> 도 2는 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <17> 도 3은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <18> 도 4는 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <19> 도 5는 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <20> 도 6은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <21> 도 7은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <22> 도 8은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <23> 도 9는 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <24> 도 10은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <25> 도 11은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <26> 도 12는 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <27> 도 13은 실시의 형태 1과 관련되는 전력용 반도체 장치의 각 제조 공정을 나타내는 도면,
- <28> 도 14는 실시의 형태 1과 관련되는 전력용 반도체 장치의 변형예를 나타내는 도면,
- <29> 도 15는 실시의 형태 1과 관련되는 전력용 반도체 장치의 변형예를 나타내는 도면,
- <30> 도 16은 실시의 형태 1과 관련되는 전력용 반도체 장치의 변형예를 나타내는 도면,
- <31> 도 17은 실시의 형태 1과 관련되는 전력용 반도체 장치의 변형예를 나타내는 도면,
- <32> 도 18은 실시의 형태 2와 관련되는 전력용 반도체 장치의 일부를 나타내는 도면,
- <33> 도 19는 실시의 형태 2와 관련되는 전력용 반도체 장치의 일부를 나타내는 도면,
- <34> 도 20은 실시의 형태 2와 관련되는 전력용 반도체 장치의 일부를 나타내는 도면이다.

도면

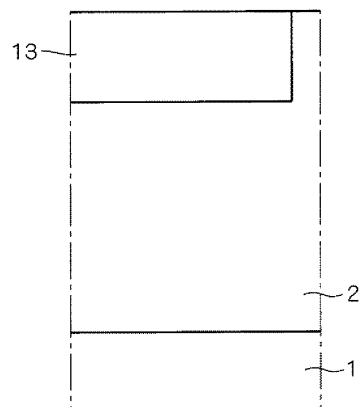
도면1



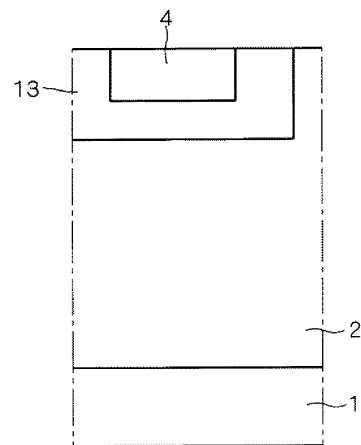
도면2



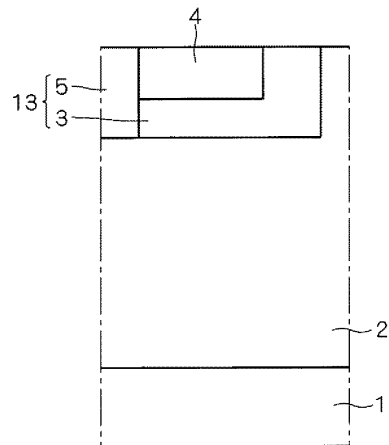
도면3



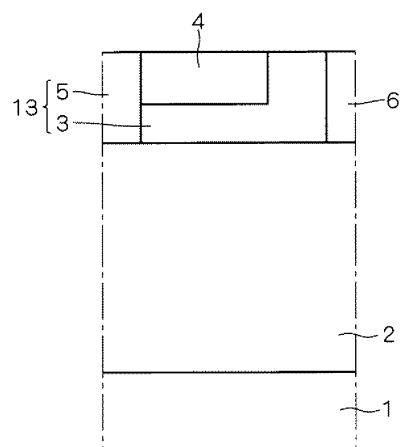
도면4



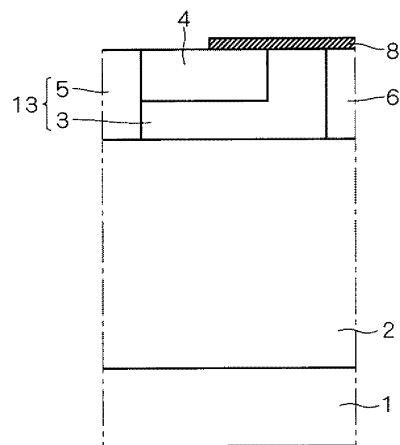
도면5



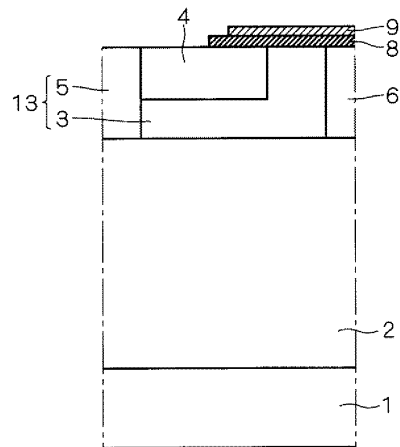
도면6



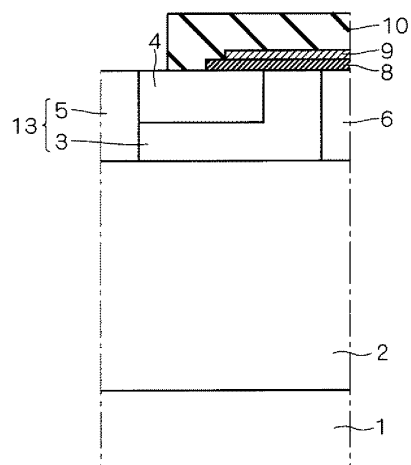
도면7



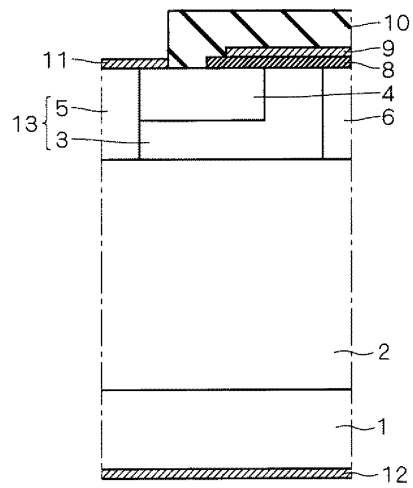
도면8



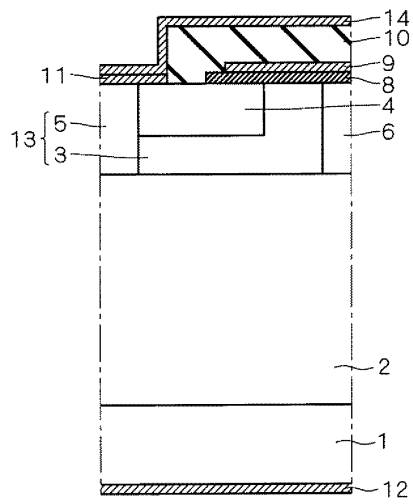
도면9



도면10

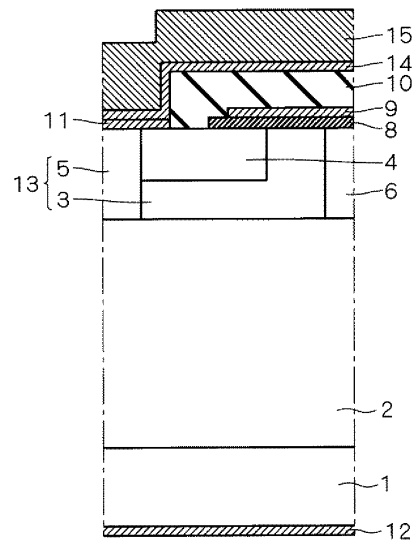


도면11

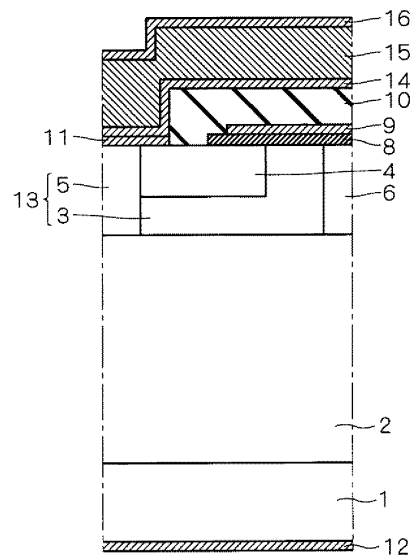




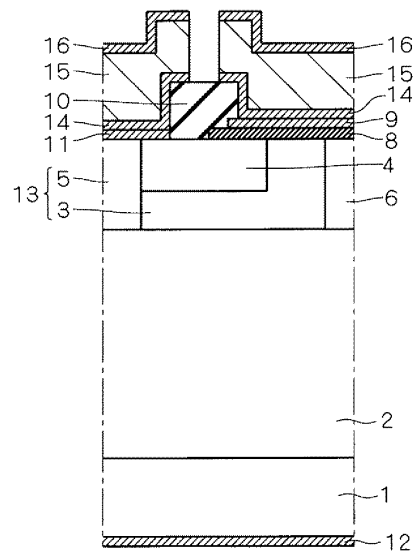
도면12



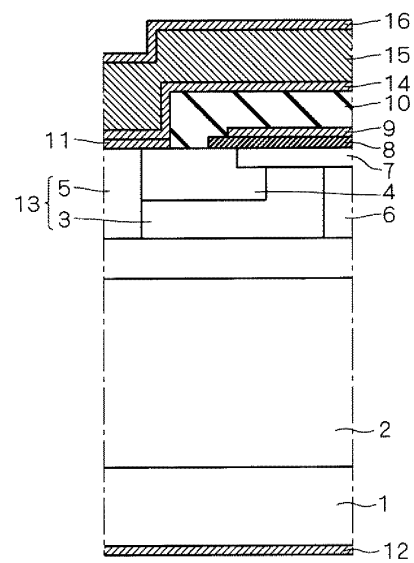
도면13



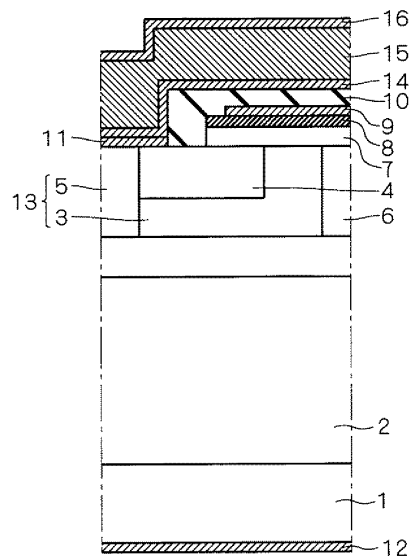
도면14



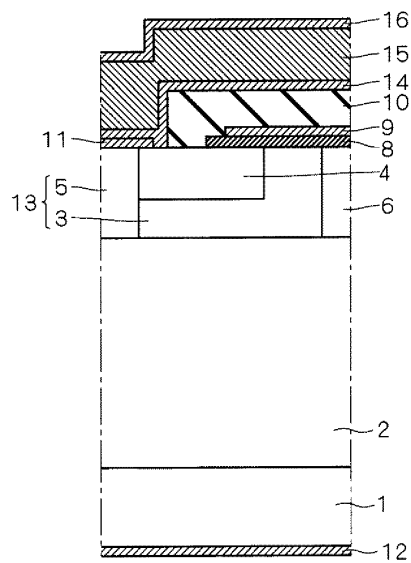
도면15



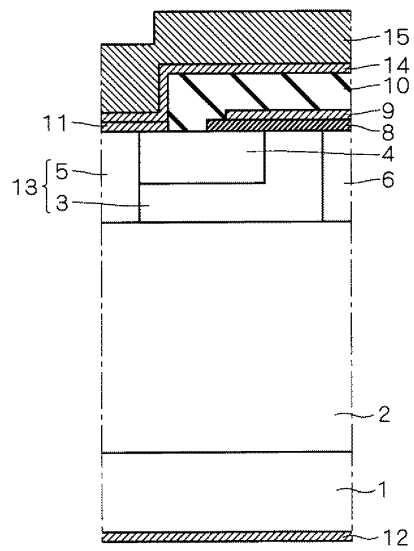
도면16



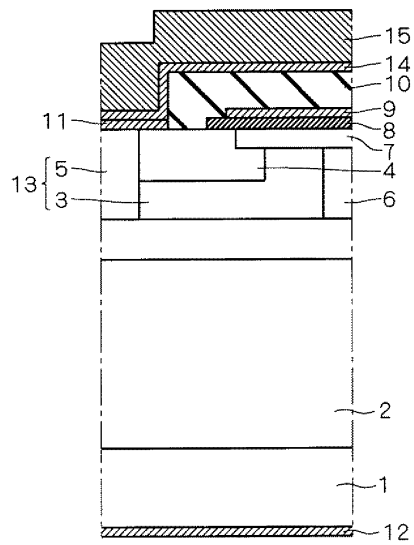
도면17



도면18



도면19



도면20

