

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7332604号

(P7332604)

(45)発行日 令和5年8月23日(2023.8.23)

(24)登録日 令和5年8月15日(2023.8.15)

(51)国際特許分類

F I

H 0 4 N 25/70 (2023.01)

H 0 4 N 25/70

H 0 3 M 1/56 (2006.01)

H 0 3 M 1/56

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/146

A

請求項の数 7 (全46頁)

(21)出願番号 特願2020-537376(P2020-537376)
 (86)(22)出願日 令和1年6月27日(2019.6.27)
 (86)国際出願番号 PCT/JP2019/025562
 (87)国際公開番号 WO2020/036005
 (87)国際公開日 令和2年2月20日(2020.2.20)
 審査請求日 令和4年5月19日(2022.5.19)
 (31)優先権主張番号 特願2018-153248(P2018-153248)
 (32)優先日 平成30年8月16日(2018.8.16)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 316005926
 ソニーセミコンダクタソリューションズ
 株式会社
 神奈川県厚木市旭町四丁目1 4 番 1 号
 (74)代理人 100103850
 弁理士 田中 秀▲てつ▼
 (74)代理人 100114177
 弁理士 小林 龍
 (74)代理人 100066980
 弁理士 森 哲也
 (72)発明者 馬上 崇
 神奈川県厚木市旭町四丁目1 4 番 1 号
 ソニーセミコンダクタソリューションズ
 株式会社内
 (72)発明者 矢津田 宏智

最終頁に続く

(54)【発明の名称】 撮像素子

(57)【特許請求の範囲】

【請求項1】

光電変換素子を有する第一画素に接続された第一信号線に接続されて第一領域に配置された第一容量と、

前記第一領域に配置されて参照信号を生成する参照信号生成部に接続された第二容量と、

前記第一領域に配置されて前記第一容量及び前記第二容量に接続可能に設けられた第三

容量と、

前記第一領域に配置されて基準電位の供給部に接続された第四容量と、

前記第一領域に配置されて前記第一容量、前記第二容量及び前記第三容量が接続された一方の入力部、並びに前記第四容量が接続された他方の入力部を有する第一差動アンプと、

光電変換素子を有する第二画素に接続された第二信号線に接続され、前記第一容量と前記第四容量に異なる面積で対向して前記第一領域に隣り合う第二領域に配置された第五容量と、

前記第二領域に配置されて前記参照信号生成部に接続された第六容量と、

前記第二領域に配置されて前記第五容量及び前記第六容量に接続可能に設けられた第七容量と、

前記第二領域に配置されて前記基準電位が供給される第八容量と、

前記第二領域に配置されて前記第五容量、前記第六容量及び前記第七容量が接続された一方の入力部、並びに前記第八容量が接続された他方の入力部を有する第二差動アンプとを備える撮像素子。

【請求項 2】

前記第一容量、前記第三容量、前記第四容量、前記第五容量、第七容量及び前記第八容量はそれぞれ、分割された複数の分割容量を有し、

前記第五容量の前記分割容量である第五分割容量は、前記第一容量の前記分割容量である第一分割容量に対向する個数と、前記第四容量の前記分割容量である第四分割容量に対向する個数とが異ならせて配置されている

請求項 1 に記載の撮像素子。

【請求項 3】

前記第三容量の前記分割容量である第三分割容量は、前記第一領域の所定の範囲内に集約されており、

前記第七容量の前記分割容量である第七分割容量は、前記第二領域の所定の範囲内に集約されており、

複数の前記第三分割容量及び複数の前記第七分割容量は、1 対 1 の関係で対向して配置されている

請求項 2 に記載の撮像素子。

【請求項 4】

前記第一容量と前記第三容量との接続及び切断を切り替える第一切替素子と、

前記第二容量と前記第三容量との接続及び切断を切り替える第二切替素子と、

隣り合う 2 つの前記第三分割容量の接続及び切断を切り替える第三切替素子と、

前記第五容量と前記第七容量との接続及び切断を切り替える第五切替素子と、

前記第六容量と前記第七容量との接続及び切断を切り替える第六切替素子と、

隣り合う 2 つの前記第七分割容量の接続及び切断を切り替える第七切替素子と

を備える請求項 3 に記載の撮像素子。

【請求項 5】

前記第一分割容量、前記第二容量、及び前記第三分割容量の合計数は、前記第四容量の分割容量である第四分割容量の総数と同じであり、

前記第五分割容量、前記第六容量、及び前記第七分割容量の合計数は、前記第八容量の分割容量である第八分割容量の総数と同じであり、

前記第一分割容量、前記第二容量、前記第三分割容量及び前記第四分割容量の合計数は、前記第五分割容量、前記第六容量、前記第七分割容量及び前記第八分割容量の合計数と同じである

請求項 4 に記載の撮像素子。

【請求項 6】

複数の前記第一分割容量のそれぞれ、前記第二容量、複数の前記第三分割容量のそれぞれ、複数の前記第四分割容量のそれぞれ、複数の前記第五分割容量のそれぞれ、前記第六容量、複数の前記第七分割容量のそれぞれ、及び複数の前記第八分割容量のそれぞれは、互いに同じ容量値を有する

請求項 5 に記載の撮像素子。

【請求項 7】

複数の前記第一分割容量のそれぞれは、前記第一信号線に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

前記第二容量は、前記参照信号生成部に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第三分割容量のそれぞれは、前記第三切替素子に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第四分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第一差動アンプの前記他方の入力部に接続された他方の電極とを有し、

複数の前記第五分割容量のそれぞれは、前記第二信号線に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、

前記第六容量は、前記参照信号生成部に接続された一方の電極と、前記第二差動アンプ

10

20

30

40

50

の前記一方の入力部に接続された他方の電極とを有し、

複数の前記第七分割容量のそれぞれは、前記第七切替素子に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第八分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第二差動アンプの前記他方の入力部に接続された他方の電極とを有する

請求項 5 に記載の撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、撮像素子に関する。

【背景技術】

【0002】

従来、行列状に配置された複数の画素を有する画素部を備える固体撮像装置が知られている（例えば、特許文献 1 参照）。固体撮像装置は、複数の画素に設けられた光電変換素子で光電変換された電気信号に基づくアナログの画素信号を A/D（アナログーデジタル）変換する A/D 変換部を有している。A/D 変換部で A/D 変換されたデジタルの画素信号に基づいて表示装置などに画像が表示される。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2014-023065 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

A/D 変換部は、画素部に設けられた複数の画素の列ごとに設けられている。このため、複数の A/D 変換部は、一行に並列して配置される。また、隣り合う A/D 変換部同士は、近接して配置される。A/D 変換部に設けられた比較器は、入力容量を有している。アナログの画素信号に対応する電圧は、A/D 変換される際にこの入力容量に保持されるため、A/D 変換時にこの入力容量に印加される電圧が変動する。この電圧変動が隣接する A/D 変換部に設けられた比較器の入力容量に干渉してクロストークが発生する場合がある。A/D 変換部にクロストークが発生すると、隣接する A/D 変換部から影響を受けた側の A/D 変換部（ビクティム側の A/D 変換部）は、画素から入力されたアナログの画素信号に隣接する A/D 変換部の電圧変動が重畳されたアナログ信号を A/D 変換することになる。その結果、表示装置などにはノイズが発生した画像が表示されてしまうという問題が生じる。

【0005】

本技術の目的は、A/D 変換部におけるクロストークの低減を図ることができる撮像素子を提供することにある。

【課題を解決するための手段】

【0006】

本技術の一態様による撮像素子は、光電変換素子を有する第一画素に接続された第一信号線に接続されて第一領域に配置された第一容量と、前記第一領域に配置されて参照信号を生成する参照信号生成部に接続された第二容量と、前記第一領域に配置されて前記第一容量及び前記第二容量に接続可能に設けられた第三容量と、前記第一領域に配置されて基準電位の供給部に接続された第四容量と、前記第一領域に配置されて前記第一容量、前記第二容量及び前記第三容量が接続された一方の入力部、並びに前記第四容量が接続された他方の入力部を有する第一差動アンプと、光電変換素子を有する第二画素に接続された第二信号線に接続され、前記第一容量と前記第四容量に異なる面積で対向して前記第一領域に隣り合う第二領域に配置された第五容量と、前記第二領域に配置されて前記参照信号生成部に接続された第六容量と、前記第二領域に配置されて前記第五容量及び前記第六容量に接続可能に設けられた第七容量と、前記第二領域に配置されて前記基準電位が供給され

10

20

30

40

50

る第八容量と、前記第二領域に配置されて前記第五容量、前記第六容量及び前記第七容量が接続された一方の入力部、並びに前記第八容量が接続された他方の入力部を有する第二差動アンプとを備える。

【0007】

前記第一容量、前記第三容量、前記第四容量、前記第五容量、第七容量及び前記第八容量はそれぞれ、分割された複数の分割容量を有し、前記第五容量の前記分割容量である第五分割容量は、前記第一容量の前記分割容量である第一分割容量に対向する個数と、前記第四容量の前記分割容量である第四分割容量に対向する個数とが異ならせて配置されていてもよい。

【0008】

前記第三容量の前記分割容量である第三分割容量は、前記第一領域の所定の範囲内に集約されており、前記第七容量の前記分割容量である第七分割容量は、前記第二領域の所定の範囲内に集約されており、複数の前記第三分割容量及び複数の前記第七分割容量は、1対1の関係で対向して配置されていてもよい。

【0009】

前記第一容量と前記第三容量との接続及び切断を切り替える第一切替素子と、前記第二容量と前記第三容量との接続及び切断を切り替える第二切替素子と、隣り合う2つの前記第三分割容量の接続及び切断を切り替える第三切替素子と、前記第五容量と前記第七容量との接続及び切断を切り替える第五切替素子と、前記第六容量と前記第七容量との接続及び切断を切り替える第六切替素子と、隣り合う2つの前記第七分割容量の接続及び切断を切り替える第七切替素子とを備えていてもよい。

【0010】

前記第一分割容量、前記第二容量、及び前記第三分割容量の合計数は、前記第四容量の分割容量である第四分割容量の総数と同じであり、前記第五分割容量、前記第六容量、及び前記第七分割容量の合計数は、前記第八容量の分割容量である第八分割容量の総数と同じであり、前記第一分割容量、前記第二容量、前記第三分割容量及び前記第四分割容量の合計数は、前記第五分割容量、前記第六容量、前記第七分割容量及び前記第八分割容量の合計数と同じであってもよい。

【0011】

複数の前記第一分割容量のそれぞれ、前記第二容量、複数の前記第三分割容量のそれぞれ、複数の前記第四分割容量のそれぞれ、複数の前記第五分割容量のそれぞれ、前記第六容量、複数の前記第七分割容量のそれぞれ、及び複数の前記第八分割容量のそれぞれは、互いに同じ容量値を有していてもよい。

【0012】

複数の前記第一分割容量のそれぞれは、前記第一信号線に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、前記第二容量は、前記参照信号生成部に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、複数の前記第三分割容量のそれぞれは、前記第三切替素子に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、複数の前記第四分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第一差動アンプの前記他方の入力部に接続された他方の電極とを有し、複数の前記第五分割容量のそれぞれは、前記第二信号線に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、前記第六容量は、前記参照信号生成部に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、複数の前記第七分割容量のそれぞれは、前記第七切替素子に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、複数の前記第八分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第二差動アンプの前記他方の入力部に接続された他方の電極とを有していてもよい。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 3 】

【図 1】本技術による撮像素子を適用したデジタルカメラの概略構成を示すブロック図である。

【図 2】本技術の一実施形態による撮像素子の概略構成を示すブロック図である。

【図 3】本技術の一実施形態による撮像素子に設けられた単位画素の構成例を示す回路図である。

【図 4】本技術の一実施形態による撮像素子に設けられた比較器の構成例を示す回路図である。

【図 5】本技術の一実施形態による撮像素子に設けられた比較器を説明する図であって、入力容量の比率により差動アンプに入力される参照信号の変化を説明するための図である。

【図 6】本技術の一実施形態による撮像素子に設けられた比較器の差動対を構成する 2 つの N M O S トランジスタの概略構成を示す図である。

【図 7】本技術の一実施形態による撮像素子を説明する図であって、奇数カラム領域及び偶数カラム領域にそれぞれ形成された比較器の各キャパシタ及び差動対を構成する N M O S トランジスタの配置関係の一例を示す図である。

【図 8】本技術の一実施形態による撮像素子に設けられた比較器の動作を説明するためのタイミングチャートである。

【図 9】本技術の一実施形態による撮像素子に設けられた比較器の効果を説明するための図である。

【図 1 0】本技術の一実施形態による撮像素子の作用・効果を説明する図（第 1 の干渉例）である。

【図 1 1】本技術の一実施形態による撮像素子の作用・効果を説明する図（第 2 の干渉例）である。

【図 1 2】本技術の一実施形態による撮像素子の作用・効果を説明する図（第 3 の干渉例）である。

【図 1 3】本技術の一実施形態の変形例 1 による撮像素子に設けられた比較器の構成例を示す回路図である。

【図 1 4】本技術の一実施形態の変形例 2 による撮像素子に設けられた比較器の構成例を示す回路図である。

【図 1 5】本技術の一実施形態の変形例 2 による撮像素子を説明する図であって、奇数カラム領域及び偶数カラム領域にそれぞれ形成された比較器の各キャパシタ及び差動対を構成する N M O S トランジスタの配置関係の一例を示す図である。

【図 1 6】本技術の一実施形態による撮像素子を 1 つのペアチップで構成する場合の構成例を示す概要図である。

【図 1 7】本技術の一実施形態による撮像素子を 2 つのペアチップで構成する場合の構成例を示す概要図である。

【発明を実施するための形態】

【 0 0 1 4 】

本技術の一実施形態による撮像素子について図 1 から図 1 2 を用いて説明する。

【 0 0 1 5 】

< デジタルカメラの構成例 >

まず、本実施形態による撮像素子が適用されるデジタルカメラについて図 1 を用いて説明する。本技術による撮像素子を適用したデジタルカメラは、静止画及び動画のいずれも撮像することができる。

【 0 0 1 6 】

図 1 に示すように、デジタルカメラ 1 0 0 は、光学系 2、撮像素子 1、メモリ 3、信号処理部 4、出力部 5 及び制御部 6 を備えている。

【 0 0 1 7 】

光学系 2 は、例えば、図示せぬズームレンズ、フォーカスレンズ及び絞り等を有している。光学系 2 は、外部からの光を撮像素子 1 に入射させるようになっている。

10

20

30

40

50

【0018】

撮像素子1は、例えばCMOSイメージセンサである。撮像素子1は、光学系2から入射された入射光を受光し、受光した入射光を光電変換するようになっている。これにより、撮像素子1は、光学系2から入射した入射光に対応する画像データを出力するようになっている。

【0019】

メモリ3は、撮像素子1が出力する画像データを一時記憶するようになっている。

【0020】

信号処理部4は、メモリ3に記憶された画像データを用いた信号処理を行い、信号処理後の画像データを出力部5に供給するようになっている。信号処理部4は、例えば画像データに混入するノイズの除去やホワイトバランスの調整等の処理を行う。

【0021】

出力部5は、信号処理部4から供給された画像データを出力する。出力部5は、例えば、液晶等で構成される表示装置（図示せず）を有している。出力部5は、信号処理部4から供給される画像データに対応する画像を、いわゆるスルー画として表示するようになっている。

【0022】

また、出力部5は、例えば半導体メモリ、磁気ディスクあるいは光ディスク等の記録媒体を駆動するドライバ（図示せず）を有している。出力部5は、信号処理部4から供給される画像データを記録媒体に記録するようになっている。

【0023】

制御部6は、デジタルカメラ100のユーザ等の操作に従い、デジタルカメラ100を構成する各ブロックを制御するようになっている。

【0024】

<撮像素子の構成例>

次に、本実施形態による撮像素子の概略構成について図2から図6を用いて説明する。

図2に示すように、本実施形態による撮像素子1は、画素部101、タイミング制御回路102、垂直走査回路103、DAC（デジタルーアナログ変換装置）104、ADC（アナログーデジタル変換装置）群12、水平転送走査回路106、アンプ回路107、及び、信号処理回路108を備えている。

【0025】

図2に示すように、画素部101には、入射光をその光量に応じた電荷量に光電変換する光電変換素子を含む単位画素（以下、単に画素とも称する）が行列状に配置されている。本実施形態では、画素部101には、 m 行 n 列（ m 及び n は自然数）の単位画素 $P_{11} \sim P_{mn}$ （以下、単位画素 $P_{11} \sim P_{mn}$ の全部又は一部を個々に区別する必要がない場合、単に「単位画素 P 」と称する）が設けられている。図2では、 m 行 n 列の画素配列のうちの一部（14個）の単位画素 P が図示されている。単位画素 $P_{11} \sim P_{mn}$ は、互いに同じ回路構成を有している。単位画素 $P_{11} \sim P_{mn}$ の具体的な回路構成については、図3を参照して後述する。

【0026】

また、画素部101には、行列状の画素配列に対して、 m 本の画素駆動線 $109-1 \sim 109-m$ が図の左右方向（画素行の画素配列方向／水平方向）に沿って配線されている。また、画素部101には、 n 本の垂直信号線 $110-1 \sim 110-n$ が図の上下方向（画素列の画素配列方向／垂直方向）に沿って配線されている。画素駆動線 $109-1 \sim 109-m$ の一端は、垂直走査回路103の各行に対応した出力端に接続されている。画素駆動線 $109-1 \sim 109-m$ 及び垂直信号線 $110-1 \sim 110-n$ の交差部のそれぞれに対応して、単位画素 $P_{11} \sim P_{mn}$ のそれぞれが配置されている。なお、図2では、画素駆動線 $109-1 \sim 109-m$ を画素行毎に1本ずつ示しているが、各画素行に画素駆動線 $109-1 \sim 109-m$ を2本以上設けてもよい。以下、垂直信号線 $110-1 \sim 110-n$ を個々に区別する必要がない場合、単に「垂直信号線110」と称し、画素駆

10

20

30

40

50

動線 109-1 ~ 109-m を個々に区別する必要がない場合、単に「画素駆動線 109」と称する。

【0027】

タイミング制御回路 102 は、各種のタイミング信号を生成するタイミングジェネレータ（不図示）を備えている。タイミング制御回路 102 は、外部から与えられる制御信号等に基づいて、タイミングジェネレータで生成された各種のタイミング信号を基に垂直走査回路 103、DAC 104、ADC 群 12、及び、水平転送走査回路 106 等の駆動制御を行う。

【0028】

垂直走査回路 103 は、シフトレジスタやアドレスデコーダなどによって構成されている。ここでは、具体的な構成については図示を省略するが、垂直走査回路 103 は、読出し走査系と掃出し走査系とを含んでいる。

【0029】

読出し走査系は、信号を読み出す単位画素について行単位で順に選択走査を行う。一方、掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対し、その読出し走査よりもシャッタスピードの時間分だけ先行してその読出し行の単位画素の光電変換素子から不要な電荷を掃き出す（リセットする）掃出し走査を行う。この掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことをいう。読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作又は電子シャッタ動作以降に入射した光量に対応する。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

【0030】

垂直走査回路 103 によって選択走査された画素行の各単位画素から出力される画素信号 VSL は、各列の垂直信号線 110 を介して ADC 群 12 に供給される。

【0031】

DAC 104 は、線形増加するランプ波形の信号である参照信号 RAMP を生成し、ADC 群 12 に供給する。

【0032】

ADC 群 12 は、垂直信号線 110-1, 110-2, 110-3 ~ 110 (n-1) ~ 110-m に接続された ADC 105-1, 105-2, 105-3 ~ 105-(n-1), 105-n を有している。ADC 105-1, 105-2, 105-3 ~ 105-(n-1), 105-n は、比較器（コンパレータ）121-1, 121-2, 121-3 ~ 121-(n-1), 121-n、カウンタ 122-1, 122-2, 122-3 ~ 122-(n-1), 122-n、及び、ラッチ 123-1, 123-2, 123-3 ~ 123-(n-1), 123-n を有している。なお、以下、ADC 105-1 ~ 105-n、比較器 121-1 ~ 121-n、カウンタ 122-1 ~ カウンタ 122-n、及び、ラッチ 123-1 ~ ラッチ 123-n を個々に区別する必要がない場合、単に、ADC 105、比較器 121、カウンタ 122、及び、ラッチ 123 と称する。

【0033】

比較器 121、カウンタ 122、及び、ラッチ 123 は、それぞれ画素部 101 の垂直信号線 110 毎に 1 つずつ設けられ、ADC 105 を構成している。すなわち、ADC 群 12 には、画素部 101 の垂直信号線 110 毎に ADC 105 が設けられている。

【0034】

比較器 121 は、各画素から出力される画素信号 VSL と参照信号 RAMP とを容量を介して加算した信号の電圧と、所定の基準電圧とを比較し、比較結果を示す出力信号をカウンタ 122 に供給する。

【0035】

10

20

30

40

50

カウンタ122は、比較器121の出力信号に基づいて、画素信号VSLと参照信号RAMPとを容量を介して加算した信号が所定の基準電圧を上回るまでの時間をカウントすることにより、アナログの画素信号をカウント値により表されるデジタルの画素信号に変換する。カウンタ122は、カウント値をラッチ123に供給する。

【0036】

ラッチ123は、カウンタ122から供給されるカウント値を保持する。また、ラッチ123は、信号レベルの画素信号に対応するD相のカウント値と、リセットレベルの画素信号に対応するP相のカウント値との差分をとることにより、相関二重サンプリング (Correlated Double Sampling: CDS) を行う。

【0037】

ADC105-1~105-nは、画素部101に設けられた単位画素Pの一行に並ぶn個の単位画素P_{i1}~P_{in} (i=1, 2, 3, ~, m) に対応させて配置されている。以下、1個のADC105を配置するために割り当てられた半導体チップ上の領域を「カラム領域」と称する。カラム領域の幅 (単位画素Pの行方向の長さ) は、1行あたり (水平方向) の単位画素Pの個数 (n個) 等により制限される。撮像素子1に対する小型化の要請から、カラム領域の幅は制限される。このため、隣り合うADC105は、近接して配置される。これにより、隣り合うADC105同士が互いに干渉し、クロストークが発生する。このクロストークによって表示装置などに表示される画像や動画にノイズが生じる場合がある。そこで、本実施形態による撮像素子1は、クロストークを低減するために、比較器121に設けられた複数のキャパシタの配置順が隣り合う偶数カラム領域 (第一領域の一例) ECA及び奇数カラム領域 (第二領域の一例) OCAで異なっている。当該複数のキャパシタの配置順については後述する。

【0038】

水平転送走査回路106は、シフトレジスタやアドレスデコーダなどによって構成され、ADC群12の画素列に対応した回路部分を順番に選択走査する。水平転送走査回路106による選択走査により、ラッチ123に保持されているデジタルの画素信号が、水平転送線111を介して、順番にアンプ回路107に転送される。

【0039】

アンプ回路107は、ラッチ123から供給されるデジタルの画素信号を増幅し、信号処理回路108に供給する。

【0040】

信号処理回路108は、アンプ回路107から供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理回路108は、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理を行ったりする。信号処理回路108は、生成した画像データを後段の装置に出力する。

【0041】

<画素の構成例>

図3は、画素部101に設けられる単位画素P₁₁~P_{mn}の構成例を示す回路図である。単位画素P₁₁~P_{mn}は、互いに同一の構成を有している。

【0042】

単位画素Pは、光電変換素子としてたとえばフォトダイオード151を備えている。単位画素Pは、フォトダイオード151に対して、転送トランジスタ152、増幅トランジスタ154、選択トランジスタ155及びリセットトランジスタ156の4つのトランジスタを能動素子として備える。

【0043】

フォトダイオード151は、入射光をその光量に応じた量の電荷 (ここでは電子) に光電変換する。

【0044】

転送トランジスタ152は、フォトダイオード151とFD (フローティングディフュ

10

20

30

40

50

ージョン) 153との間に接続されている。転送トランジスタ152は、垂直走査回路103から供給される駆動信号TXによりオン状態になったとき、フォトダイオード151に蓄積されている電荷をFD153に転送する。

【0045】

FD153には、増幅トランジスタ154のゲートが接続されている。増幅トランジスタ154は、選択トランジスタ155を介して垂直信号線110に接続され、画素部101の外の定電流源157とソースフォロアを構成している。垂直走査回路103から供給される駆動信号SELにより選択トランジスタ155がオンすると、増幅トランジスタ154は、FD153の電位を増幅し、その電位に応じた電圧を示す画素信号を垂直信号線110に出力する。そして、各单位画素Pから出力された画素信号は、垂直信号線110を介して、ADC群12の各比較器121に供給される。

10

【0046】

リセットトランジスタ156は、電源VDDとFD153との間に接続されている。リセットトランジスタ156が垂直走査回路103から供給される駆動信号RSTによりオンしたとき、FD153の電位が電源VDDの電位にリセットされる。

【0047】

FD153は、転送トランジスタ152、増幅トランジスタ154及びリセットトランジスタ156の接続点に形成されている。転送トランジスタ152、増幅トランジスタ154、リセットトランジスタ156及び選択トランジスタ155は、たとえばN型の金属-酸化物-半導体電界効果トランジスタ(Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET)で構成されている。

20

【0048】

<比較器の構成例>

偶数カラム領域ECA及び奇数カラム領域OCAに形成された比較器121は、キャパシタの配置が異なっているものの、回路構成は同一である。このため、偶数カラム領域ECA及び奇数カラム領域OCAを区別することなく、図4を用いて比較器121の回路構成を説明する。

【0049】

図4に示すように、比較器121は、差動アンプ201を備えている。差動アンプ201は、P型のMOS(PMOS)トランジスタPT11、PMOSTランジスタPT12、及び、N型のMOS(NMOS)トランジスタNT11、NT12、NT13を備えている。詳細は後述するが、NMOSTランジスタNT11及びNMOSTランジスタNT12はそれぞれ、並列に接続された2つの分割トランジスタで構成されている。

30

【0050】

PMOSTランジスタPT11のソース及びPMOSTランジスタPT12のソースは、電源VDD1に接続されている。PMOSTランジスタPT11のドレインは、PMOSTランジスタPT11のゲート、及び、NMOSTランジスタNT11のドレインに接続されている。PMOSTランジスタPT12のドレインは、NMOSTランジスタNT12のドレイン、及び、出力信号OUT1の出力端子T15に接続されている。NMOSTランジスタNT11のソースは、NMOSTランジスタNT12のソース、及び、NMOSTランジスタNT13のドレインに接続されている。NMOSTランジスタNT13のソースはグラウンドGND1に接続されている。

40

【0051】

そして、PMOSTランジスタPT11及びPMOSTランジスタPT12によりカレントミラー回路が構成されている。また、NMOSTランジスタNT11、NMOSTランジスタNT12及びNMOSTランジスタNT13により、差動の比較部が構成されている。すなわち、NMOSTランジスタNT13が、入力端子T14を介して外部から入力されるバイアス電圧VGにより電流源として動作し、NMOSTランジスタNT11及びNMOSTランジスタNT12が差動トランジスタとして動作する。

50

【0052】

撮像素子1に設けられた比較器121は、キャパシタC11、キャパシタC12、キャパシタC13及びキャパシタC14を備えている。

【0053】

偶数カラム領域ECAに形成された比較器121のキャパシタC11は、光電変換素子を有する第一画素に接続された第一信号線に接続されて第一領域に配置された第一容量の一例に相当する。この場合、図2に示す単位画素P1i（iは自然数かつn以下の偶数）が第一画素の一例に相当する。また、図2に示す垂直信号線109-i（iは自然数かつn以下の偶数）が第一信号線の一例に相当する。また、図2に示す偶数カラム領域ECAが第一領域に相当する。さらに、図3に示すフォトダイオード151が光電変換素子の一例に相当する。

10

【0054】

偶数カラム領域ECAに形成された比較器121のキャパシタC12は、偶数カラム領域ECAに配置されて参照信号RAMPを生成するDAC（参照信号生成部の一例）104（図2参照）に接続された第二容量に相当する。偶数カラム領域ECAに形成された比較器121のキャパシタC13は、偶数カラム領域ECAに配置されてキャパシタC11及びキャパシタC12に接続可能に設けられた第三容量の一例に相当する。偶数カラム領域ECAに形成された比較器121のキャパシタC14は、偶数カラム領域ECAに配置されてグラウンド（基準電位の供給部の一例）GND1に接続された第四容量の一例に相当する。

20

【0055】

奇数カラム領域OCAに形成された比較器121のキャパシタC11は、光電変換素子を有する第二画素に接続された第二信号線に接続されて第二領域に配置された第五容量の一例に相当する。この場合、図2に示す単位画素P1i（iは自然数かつn以下の奇数）が第二画素の一例に相当する。また、図2に示す垂直信号線109-i（iは自然数かつn以下の奇数）が第二信号線の一例に相当する。また、図2に示す奇数カラム領域OCAが第二領域に相当する。さらに、図3に示すフォトダイオード151が光電変換素子の一例に相当する。

【0056】

奇数カラム領域OCAに形成された比較器121のキャパシタC12は、奇数カラム領域OCAに配置されて参照信号RAMPを生成するDAC（参照信号生成部の一例）104（図2参照）に接続された第六容量に相当する。奇数カラム領域OCAに形成された比較器121のキャパシタC13は、奇数カラム領域OCAに配置されてキャパシタC11及びキャパシタC12に接続可能に設けられた第七容量の一例に相当する。奇数カラム領域に形成された比較器121のキャパシタC14は、奇数カラム領域OCAに配置されてグラウンドGND1に接続された第八容量の一例に相当する。

30

【0057】

キャパシタC11は、画素信号VSLの入力端子T11とNMOSトランジスタNT11のゲートとの間に接続されている。キャパシタC11は、画素信号VSLに対する入力容量となる。

40

【0058】

キャパシタC12は、参照信号RAMPの入力端子T12とNMOSトランジスタNT11のゲートとの間に接続されており、参照信号RAMPに対する入力容量となる。

【0059】

キャパシタC13は、スイッチSW13及びスイッチSW14のオン／オフ状態に応じてキャパシタC11及びキャパシタC12の容量値を変更させる可変キャパシタとして機能する。キャパシタC13は、キャパシタC11及びスイッチSW13を介して入力端子T11とNMOSトランジスタNT11のゲートとの間に接続されている。また、キャパシタC13は、キャパシタC12及びスイッチSW14を介して入力端子T12とNMOSトランジスタNT11のゲートとの間に接続されている。

50

【0060】

より具体的に、キャパシタC11は、分割された複数（本実施形態では4つ）の分割容量である分割キャパシタC11a, C11b, C11c, C11dを有している。分割キャパシタC11a, C11b, C11c, C11dはそれぞれ、入力端子T11を介して垂直信号線110（図2参照）に接続された一方の電極と、差動アンプ201のNMOSトランジスタNT11のゲートに接続された他方の電極とを有している。キャパシタC12は、入力端子T12を介してDAC104（図2参照）に接続された一方の電極と、差動アンプ201のNMOSトランジスタNT11のゲートに接続された他方の電極とを有している。

【0061】

キャパシタC13は、分割された複数（本実施形態では5つ）の分割容量である分割キャパシタC13a, C13b, C13c, C13d, C13eを有している。比較器121は、隣り合う2つの分割キャパシタC13a, C13b, C13c, C13d, C13eの接続及び切断を切り替えるスイッチ群SW15を備えている。より具体的には、スイッチ群SW15は、隣り合う2つの分割キャパシタC13a及び分割キャパシタC13bの接続及び切断を切り替えるスイッチSW15aを有している。スイッチ群SW15は、隣り合う2つの分割キャパシタC13b及び分割キャパシタC13cの接続及び切断を切り替えるスイッチSW15bを有している。スイッチ群SW15は、隣り合う2つの分割キャパシタC13c及び分割キャパシタC13dの接続及び切断を切り替えるスイッチSW15cを有している。スイッチ群SW15は、隣り合う2つの分割キャパシタC13d及び分割キャパシタC13eの接続及び切断を切り替えるスイッチSW15dを有している。

【0062】

分割キャパシタC13a～C13eはそれぞれ、スイッチSW15a～SW15dに接続された一方の電極と、差動アンプ201のNMOSトランジスタNT11のゲートに接続された他方の電極とを有している。より具体的には、分割キャパシタC13aは、スイッチSW15aの一端に接続された一方の電極と、NMOSトランジスタNT11のゲートに接続された他方の電極とを有している。分割キャパシタC13aの一方の電極は、スイッチSW13の他端子にも接続されている。スイッチSW13の一端は、キャパシタC11の分割キャパシタC11dの一方の電極に接続されている。

【0063】

分割キャパシタC13bは、スイッチSW15aの他端子及びスイッチSW15bの一端に接続された一方の電極と、NMOSトランジスタNT11のゲートに接続された他方の電極とを有している。分割キャパシタC13cは、スイッチSW15bの他端子及びスイッチSW15cの一端に接続された一方の電極と、NMOSトランジスタNT11のゲートに接続された他方の電極とを有している。分割キャパシタC13dは、スイッチSW15cの他端子及びスイッチSW15dの一端に接続された一方の電極と、NMOSトランジスタNT11のゲートに接続された他方の電極とを有している。

【0064】

分割キャパシタC13eは、スイッチSW15dの他端子に接続された一方の電極と、NMOSトランジスタNT11のゲートに接続された他方の電極とを有している。分割キャパシタC13eの一方の電極は、スイッチSW12の一端に接続されている。スイッチSW12の他端子は、キャパシタC12の一方の電極に接続されている。

【0065】

したがって、スイッチSW13、スイッチSW15a～SW15d及びスイッチSW14は、分割キャパシタC11dの一方の電極及びキャパシタC12の一方の電極の間で従属接続されている。

【0066】

スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dのオン／オフ状態が制御されることにより、画素信号VSLに対する入力容量及び参照信号RAMP

10

20

30

40

50

に対する入力容量の比が制御される。スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dは、少なくとも1つがオフ状態となるように制御される。

【0067】

以下、分割キャパシタC11a～C11d、キャパシタC12及び分割キャパシタC13a～C13eのそれぞれの参照符号をそれぞれの容量値を表す符号としても用いることにする。分割キャパシタC11a～C11d、キャパシタC12及び分割キャパシタC13a～C13eは、並列に接続されている。このため、画素信号VSLに対する入力減衰ゲインAinvは、以下の式(1)で表すことができ、参照信号RAMPに対する入力減衰ゲインAinrは、以下の式(2)で表すことができる。

【0068】

$$A_{inv} = (C_{11a} + C_{11b} + C_{11c} + C_{11d} + C_{\alpha}) / \Sigma C \quad \dots (1)$$

$$A_{inr} = (C_{12} + C_{\beta}) / \Sigma C \quad \dots (2)$$

【0069】

式(1)及び式(2)において、「 ΣC 」は、分割キャパシタC11a～C11d、キャパシタC12及び分割キャパシタC13a～C13eの容量値の総和を表している。また、式(1)中の「 C_{α} 」は、スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dのオン／オフ状態に応じて画素信号VSL側に付加されるキャパシタの容量値を表している。また、式(2)中の「 C_{β} 」は、スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dのオン／オフ状態に応じて参照信号RAMP側に付加されるキャパシタの容量値を表している。式(1)中の「 C_{α} 」及び式(2)中の「 C_{β} 」は、スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dのオン／オフ状態に応じて、以下のようになる。

【0070】

(A) スイッチSW13がオフ状態、スイッチSW13以外がオン状態の場合：

$$C_{\alpha} = 0$$

$$C_{\beta} = C_{13a} + C_{13b} + C_{13c} + C_{13d} + C_{13e}$$

(B) スイッチSW15aがオフ状態、スイッチSW15a以外がオン状態の場合：

$$C_{\alpha} = C_{13a}$$

$$C_{\beta} = C_{13b} + C_{13c} + C_{13d} + C_{13e}$$

(C) スイッチSW15bがオフ状態、スイッチSW15b以外がオン状態の場合：

$$C_{\alpha} = C_{13a} + C_{13b}$$

$$C_{\beta} = C_{13c} + C_{13d} + C_{13e}$$

(D) スイッチSW15cがオフ状態、スイッチSW15c以外がオン状態の場合：

$$C_{\alpha} = C_{13a} + C_{13b} + C_{13c}$$

$$C_{\beta} = C_{13d} + C_{13e}$$

(E) スイッチSW15dがオフ状態、スイッチSW15d以外がオン状態の場合：

$$C_{\alpha} = C_{13a} + C_{13b} + C_{13c} + C_{13d}$$

$$C_{\beta} = C_{13e}$$

(F) スイッチSW15eがオフ状態、スイッチSW15e以外がオン状態の場合：

$$C_{\alpha} = C_{13a} + C_{13b} + C_{13c} + C_{13d} + C_{13e}$$

$$C_{\beta} = 0$$

【0071】

このように、スイッチSW13、スイッチSW14及びスイッチSW15a～SW15dのオン／オフ状態を切り替えることによって、画素信号VSLに対する入力容量及び参照信号RAMPに対する入力容量を段階的に変更することができる。

【0072】

画素信号VSLの電圧の振幅 ΔV_{SL} は、NMOSトランジスタNT11のゲートにおいて、 $\Delta V_{SL} \times A_{inv}$ となる。したがって、式(1)中の「 C_{α} 」の値が小さくなるほど、差動アンプ201に入力される画素信号VSLの振幅は減衰する。その結果、入力換算ノイズが増大する。これに対して、参照信号RAMPの入力容量に対する画素信号V

10

20

30

40

50

S Lの入力容量の比率を高める、すなわち式(1)中の「 $C\alpha$ 」を大きくかつ式(2)中の「 $C\beta$ 」を小さくすることにより、差動アンプ201に入力される画素信号V S Lの減衰を抑制し、入力換算ノイズを抑制することができる。

【0073】

ただし、参照信号RAMPの入力容量に対する画素信号V S Lの入力容量の比率を高くすると、差動アンプ201に入力される参照信号RAMPの減衰量は、逆に増大する。

【0074】

図5は、参照信号RAMPの入力容量に対する画素信号V S Lの入力容量の比率を高くした場合と低くした場合に、差動アンプ201に入力される参照信号RAMPを比較した図である。図5の点線で示される波形は、当該比率を高くした場合の差動アンプ201に入力される参照信号RAMPの波形を示し、実線で示される波形は、当該比率を低くした場合の差動アンプ201に入力される参照信号RAMPの波形を示している。

【0075】

図5に示すように、参照信号RAMPの入力容量に対する画素信号V S Lの入力容量の比率を高くすると、差動アンプ201に入力される参照信号RAMPの振幅が小さくなる。その結果、ADC105のダイナミックレンジが低下する。

【0076】

これに対して、例えば、DAC104から出力する参照信号RAMPの振幅を大きくすることにより、差動アンプ201に入力される参照信号RAMPの振幅を大きくし、ADC105のダイナミックレンジの低下を抑制することが考えられる。

【0077】

ただし、参照信号RAMPの振幅の最大値は、DAC104の仕様等により制限される。例えば、高ゲインモードでは、参照信号RAMPの振幅が小さく設定されているため、参照信号RAMPの振幅を大きくすることが可能である。一方、低ゲインモードでは、参照信号RAMPの振幅が予め大きく設定されているため、参照信号RAMPの振幅をさらに大きくすることが困難な場合がある。

【0078】

したがって、例えば、高ゲインモードでは、参照信号RAMPの入力容量に対する画素信号V S Lの入力容量の比率を可能な範囲で高くするとともに、参照信号RAMPの振幅を大きくする。これにより、ノイズの影響を受けやすい高ゲインモードにおいて、差動アンプ201に入力される画素信号V S Lの減衰を抑制し、ノイズの影響を抑制することができる。

【0079】

一方、例えば、低ゲインモードでは、参照信号RAMPに対する入力容量と画素信号V S Lに対する入力容量を近い値に設定するとよい。

【0080】

図4に戻って、キャパシタC14は、分割された複数（本実施形態では10個）の分割容量である分割キャパシタC14a, C14b, C14c, C14d, C14e, C14f, C14g, C14h, C14i, C14jを有している。分割キャパシタC14a, C14b, C14c, C14d, C14e, C14f, C14g, C14h, C14i, C14jのそれぞれは、グラウンドGND1に接続された一方の電極と、差動アンプ201のNMOSトランジスタNT12のゲートに接続された他方の電極とを有している。分割キャパシタC14a, C14b, C14c, C14d, C14e, C14f, C14g, C14h, C14i, C14jは、グラウンドGND1とNMOSトランジスタNT12のゲートとの間で並列接続されている。

【0081】

偶数カラム領域ECAに形成された比較器121の場合、分割キャパシタC11a~C11dは、第一分割容量の一例に相当する。偶数カラム領域ECAに形成された比較器121の場合、分割キャパシタC13a~C13dは、第三分割容量の一例に相当する。偶数カラム領域ECAに形成された比較器121の場合、スイッチSW13は第一切替素子

10

20

30

40

50

の一例に相当し、スイッチSW14は第二切替素子の一例に相当する。偶数カラム領域ECAに形成された比較器121の場合、スイッチSW15a～SW15dは、第三切替素子に相当する。

【0082】

奇数カラム領域OCAに形成された比較器121の場合、分割キャパシタC11a～C11dは、第五分割容量の一例に相当する。奇数カラム領域OCAに形成された比較器121の場合、分割キャパシタC13a～C13dは、第七分割容量の一例に相当する。奇数カラム領域OCAに形成された比較器121の場合、スイッチSW13は第五切替素子の一例に相当し、スイッチSW14は第六切替素子の一例に相当する。奇数カラム領域OCAに形成された比較器121の場合、スイッチSW15a～SW15dは、第七切替素子に相当する。

10

【0083】

差動アンプ201は、キャパシタC11、キャパシタC12及びキャパシタC13が接続されたNMOSトランジスタNT11と、キャパシタC14が接続されたNMOSトランジスタNT12とを有している。このため、偶数カラム領域ECAに形成された比較器121の差動アンプ201は第一差動アンプの一例に相当する。偶数カラム領域ECAに形成された比較器121の場合、NMOSトランジスタNT11は第一差動アンプに設けられた一方の入力部の一例に相当し、NMOSトランジスタNT12は第一差動アンプに設けられた他方の入力部の一例に相当する。一方、奇数カラム領域OCAに形成された比較器121の差動アンプ201は第二差動アンプの一例に相当する。奇数カラム領域OCAに形成された比較器121の場合、NMOSトランジスタNT11は第二差動アンプに設けられた一方の入力部の一例に相当し、NMOSトランジスタNT12は第二差動アンプに設けられた他方の入力部の一例に相当する。

20

【0084】

スイッチSW11は、NMOSトランジスタNT11のドレインゲート間に接続されている。スイッチSW11は、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

【0085】

スイッチSW12は、NMOSトランジスタNT12のドレインゲート間に接続されている。スイッチSW12は、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

30

【0086】

なお、以下、キャパシタC11、キャパシタC12、キャパシタC13、及び、スイッチSW11の接続点をノードHiZとする。また、以下、NMOSトランジスタNT12のゲート、キャパシタC13、及び、スイッチSW12の接続点をノードVSHとする。

【0087】

図6に示すように、NMOSトランジスタNT11は、並列に接続された2つの分割トランジスタNT11a及び分割トランジスタNT11bで構成されている。分割トランジスタNT11a及び分割トランジスタNT11bはそれぞれ、NMOSFETで構成されている。分割トランジスタNT11aのソースと分割トランジスタNT11bのソースとは接続されている。分割トランジスタNT11aのドレインと分割トランジスタNT11bのドレインとは接続されている。分割トランジスタNT11aのゲートと分割トランジスタNT11bのドレインとは接続されている。分割トランジスタNT11a、NT11bのそれぞれのソースは、NMOSトランジスタNT13のドレインに接続されている。分割トランジスタNT11a、NT11bのそれぞれのドレインは、PMOSトランジスタPT11（図4参照）のドレイン及びゲート、PMOSトランジスタPT12（図4参照）のゲート並びにスイッチSW11（図4参照）に接続されている。

40

【0088】

50

NMOSトランジスタNT12は、並列に接続された2つの分割トランジスタNT12a及び分割トランジスタNT12bで構成されている。分割トランジスタNT12a及び分割トランジスタNT12bはそれぞれ、NMOSFETで構成されている。分割トランジスタNT12aのソースと分割トランジスタNT12bのソースとは接続されている。分割トランジスタNT12aのドレインと分割トランジスタNT12bのドレインとは接続されている。分割トランジスタNT12aのゲートと分割トランジスタNT12bのドレインとは接続されている。分割トランジスタNT12a, NT12bのそれぞれのソースは、NMOSトランジスタNT13のドレインに接続されている。分割トランジスタNT12a, NT12bのそれぞれのドレインは、PMOSトランジスタPT12のドレイン、スイッチSW12及び出力端子OUT（図4参照）に接続されている。

10

【0089】

次に、奇数カラム領域OCA及び偶数カラム領域ECAにそれぞれ形成された比較器121の各キャパシタ、NMOSトランジスタNT11及びNMOSトランジスタNT12の配置関係の一例について図7を用いて説明する。

【0090】

図7に示すように、偶数カラム領域ECAにおいて、キャパシタC12及びキャパシタC13は、スイッチSW14を挟んで対向して配置されている。キャパシタC13の分割容量である分割キャパシタC13a～C13eは、偶数カラム領域ECAの所定の範囲内に集約されている。より具体的に、キャパシタC12及び分割キャパシタC13eは、スイッチSW14を挟んで対向して配置されている。分割キャパシタC13e、分割キャパシタC13d、分割キャパシタC13c、分割キャパシタC13b及び分割キャパシタC13aは、キャパシタC12が配置されている側からこの順に並んで配置されている。分割キャパシタC13e及び分割キャパシタC13dの間には、スイッチSW13dが配置されている。分割キャパシタC13d及び分割キャパシタC13cの間には、スイッチSW13cが配置されている。分割キャパシタC13c及び分割キャパシタC13bの間には、スイッチSW13bが配置されている。分割キャパシタC13b及び分割キャパシタC13aの間には、スイッチSW13aが配置されている。

20

【0091】

偶数カラム領域ECAにおいて、分割キャパシタC13bが配置されていない側の分割キャパシタC13aの隣には、スイッチSW13を挟んでキャパシタC14の分割容量である分割キャパシタC14jが配置されている。このように、分割キャパシタC13a～C13e、スイッチSW15a～SW15d、スイッチSW14及びスイッチSW13を所定の範囲内に集約して配置することにより、配線の煩雑さや各素子間に生じる寄生容量の抑制が図られている。

30

【0092】

偶数カラム領域ECAにおいて、分割キャパシタC13aが配置されていない側の分割キャパシタC14jの隣には、キャパシタC11が配置されている。より具体的に、キャパシタC11の分割容量である分割キャパシタC11d、分割キャパシタC11c、分割キャパシタC11b及び分割キャパシタC11aは、分割キャパシタC14jが配置されている側からこの順に並んで配置されている。

40

【0093】

偶数カラム領域ECAにおいて、分割キャパシタC11bが配置されていない側の分割キャパシタC11aの隣には、キャパシタC14の分割容量であるキャパシタC14の残部が配置されている。より具体的に、キャパシタC14の残りの分割キャパシタC14i、分割キャパシタC14h、分割キャパシタC14g、分割キャパシタC14f、分割キャパシタC14e、分割キャパシタC14d、分割キャパシタC14c、分割キャパシタC14b及び分割キャパシタC14aは、分割キャパシタC11aが配置されている側からこの順に並んで配置されている。

【0094】

偶数カラム領域ECAにおいて、分割キャパシタC14bが配置されていない側の分割

50

キャパシタC14aの隣には、NMOSTランジスタNT11及びNMOSTランジスタNT12が配置されている。より具体的に、分割ランジスタNT11b、分割ランジスタNT12b、分割ランジスタNT12a及び分割ランジスタNT11aは、分割キャパシタC14aが配置されている側からこの順に並んで配置されている。

【0095】

このように、偶数カラム領域ECAにおいて、キャパシタC11～C14、スイッチSW13、スイッチ群SW15、NMOSTランジスタNT11及びNMOSTランジスタNT12は、たとえば一直線上に配置されている。

【0096】

図7に示すように、奇数カラム領域OCAにおいて、キャパシタC12及びキャパシタC13は、スイッチSW14を挟んで対向して配置されている。キャパシタC13の分割容量である分割キャパシタC13a～C13eは、奇数カラム領域OCAの所定の範囲内に集約されている。より具体的に、キャパシタC12及び分割キャパシタC13eは、スイッチSW14を挟んで対向して配置されている。分割キャパシタC13e、分割キャパシタC13d、分割キャパシタC13c、分割キャパシタC13b及び分割キャパシタC13aは、キャパシタC12が配置されている側からこの順に並んで配置されている。分割キャパシタC13e及び分割キャパシタC13dの間には、スイッチSW13dが配置されている。分割キャパシタC13d及び分割キャパシタC13cの間には、スイッチSW13cが配置されている。分割キャパシタC13c及び分割キャパシタC13bの間には、スイッチSW13bが配置されている。分割キャパシタC13b及び分割キャパシタC13aの間には、スイッチSW13aが配置されている。

【0097】

奇数カラム領域OCAにおいて、分割キャパシタC13bが配置されていない側の分割キャパシタC13aの隣には、スイッチSW13を挟んでキャパシタC14の分割容量の一部が配置されている。このように、分割キャパシタC13a～C13e、スイッチSW15a～SW15d、スイッチSW14及びスイッチSW13を所定の範囲内に集約して配置することにより、配線の煩雑さや各素子間に生じる寄生容量の抑制が図られている。

【0098】

より具体的に、奇数カラム領域OCAにおいて、キャパシタC14の分割容量である分割キャパシタC14j、分割キャパシタC14i、分割キャパシタC14h及び分割キャパシタC14gは、分割キャパシタC13aが配置されている側からこの順に並んで配置されている。

【0099】

奇数カラム領域OCAにおいて、分割キャパシタC14hが配置されていない側の分割キャパシタC14gの隣には、キャパシタC11が配置されている。より具体的に、キャパシタC11の分割容量である分割キャパシタC11d、分割キャパシタC11c、分割キャパシタC11b及び分割キャパシタC11aは、分割キャパシタC14gが配置されている側からこの順に並んで配置されている。

【0100】

奇数カラム領域OCAにおいて、分割キャパシタC11bが配置されていない側の分割キャパシタC11aの隣には、キャパシタC14の残りの分割容量が配置されている。より具体的に、キャパシタC14の残部である分割キャパシタC14f、分割キャパシタC14e、分割キャパシタC14d、分割キャパシタC14c、分割キャパシタC14b及び分割キャパシタC14aは、分割キャパシタC11aが配置されている側からこの順に並んで配置されている。

【0101】

奇数カラム領域OCAにおいて、分割キャパシタC14bが配置されていない側の分割キャパシタC14aの隣には、NMOSTランジスタNT11及びNMOSTランジスタNT12が配置されている。より具体的に、分割ランジスタNT12a、分割ランジスタNT12b、分割ランジスタNT11b及び分割ランジスタNT11aは、分割

10

20

30

40

50

キャパシタC14aが配置されている側からこの順に並んで配置されている。

【0102】

このように、奇数カラム領域OCAにおいて、キャパシタC11～C14、スイッチSW13、スイッチ群SW15、NMOSTランジスタNT11及びNMOSTランジスタNT12は、たとえば一直線上に配置されている。

【0103】

図7に示すように、偶数カラム領域ECAにおいて、分割キャパシタC11a～C11dの個数は4個であり、キャパシタC12の個数は1個であり、分割キャパシタC13a～C13eの個数は5個であり、分割キャパシタC14a～C14jの個数は10個である。したがって、偶数カラム領域ECAにおいて、分割キャパシタC11a～C11d（第一分割容量の一例）、キャパシタC12（第二容量の一例）、及び分割キャパシタC13a～C13e（第三分割容量の一例）の合計数（10個）は、分割キャパシタC14a～C14j（第四分割容量の一例）の総数と同じである。

10

【0104】

また、奇数カラム領域OCAにおいて、分割キャパシタC11a～C11dの個数は4個であり、キャパシタC12の個数は1個であり、分割キャパシタC13a～C13eの個数は5個であり、分割キャパシタC14a～C14jの個数は10個である。したがって、奇数カラム領域OCAにおいて、分割キャパシタC11a～C11d（第五分割容量の一例）、キャパシタC12（第六容量の一例）、及び分割キャパシタC13a～C13e（第七分割容量の一例）の合計数（10個）は、分割キャパシタC14a～C14j（第八容量の一例）の総数と同じである。

20

【0105】

偶数カラム領域ECAにおける分割キャパシタC11a～C11d、キャパシタC12、分割キャパシタC13a～C13e及び分割キャパシタC14a～C14jの合計数（20個）は、奇数カラム領域OCAにおける分割キャパシタC11a～C11d、キャパシタC12、分割キャパシタC13a～C13e及び分割キャパシタC14a～C14jの合計数（20個）と同じである。

【0106】

偶数カラム領域ECAにおける分割キャパシタC11a～C11dのそれぞれ、キャパシタC12、分割キャパシタC13a～C13eのそれぞれ及び分割キャパシタC14a～C14jのそれぞれ、奇数カラム領域OCAにおける分割キャパシタC11a～C11dのそれぞれ、キャパシタC12、分割キャパシタC13a～C13eのそれぞれ及び分割キャパシタC14a～C14jのそれぞれは、互いに同じ容量値を有している。

30

【0107】

このように、差動アンプ201の差動対を構成するNMOSTランジスタNT11及びNMOSTランジスタNT12に接続される入力容量は、同じ個数のキャパシタに分割されている。これにより、差動アンプ201の差動対に接続される容量のバランスが確保されている。また、電源VDD1の変動を差動アンプ201の差動対に均等に影響させることができる。これにより、電源電圧変動除去比（Power Supply Rejection Ratio：PSRR）の向上が図られている。さらに、比較器121に設けられたスイッチSW11及びスイッチSW12で生じるリーク電流に基づく電圧変動がNMOSTランジスタNT11及びNMOSTランジスタNT12で同一にすることができる。これにより、撮像素子1は、比較器121の比較動作に当該リーク電流が影響することを防止できる。

40

【0108】

撮像素子1が形成される半導体チップの大きさの制限より、偶数カラム領域ECA及び奇数カラム領域OCAは、互いに隣接して設けられる。このため、偶数カラム領域ECAに形成される各素子と、奇数カラム領域OCAに形成される各素子との間には、寄生容量が生じる。

【0109】

50

図 7 に示すように、偶数カラム領域 E C A の分割トランジスタ N T 1 1 a のゲートと、奇数カラム領域 O C A の分割トランジスタ N T 1 1 a のゲートとの間には、寄生容量 C p 1 が生じている。偶数カラム領域 E C A の分割トランジスタ N T 1 2 a のゲートと、奇数カラム領域 O C A の分割トランジスタ N T 1 1 b のゲートとの間には、寄生容量 C p 2 が生じている。偶数カラム領域 E C A の分割トランジスタ N T 1 2 b のゲートと、奇数カラム領域 O C A の分割トランジスタ N T 1 2 b のゲートとの間には、寄生容量 C p 3 が生じている。偶数カラム領域 E C A の分割トランジスタ N T 1 1 b のゲートと、奇数カラム領域 O C A の分割トランジスタ N T 1 2 a のゲートとの間には、寄生容量 C p 4 が生じている。

【 0 1 1 0 】

偶数カラム領域 E C A の分割キャパシタ C 1 4 a と、奇数カラム領域 O C A の分割キャパシタ C 1 4 a との間には、寄生容量 C p 5 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 b と、奇数カラム領域 O C A の分割キャパシタ C 1 4 b との間には、寄生容量 C p 6 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 c と、奇数カラム領域 O C A の分割キャパシタ C 1 4 c との間には、寄生容量 C p 7 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 d と、奇数カラム領域 O C A の分割キャパシタ C 1 4 d との間には、寄生容量 C p 8 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 e と、奇数カラム領域 O C A の分割キャパシタ C 1 4 e との間には、寄生容量 C p 9 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 f と、奇数カラム領域 O C A の分割キャパシタ C 1 4 f との間には、寄生容量 C p 1 0 が生じている。

【 0 1 1 1 】

偶数カラム領域 E C A の分割キャパシタ C 1 4 g と、奇数カラム領域 O C A の分割キャパシタ C 1 1 a との間には、寄生容量 C p 1 1 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 h と、奇数カラム領域 O C A の分割キャパシタ C 1 1 b との間には、寄生容量 C p 1 2 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 i と、奇数カラム領域 O C A の分割キャパシタ C 1 1 c との間には、寄生容量 C p 1 3 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 1 a と、奇数カラム領域 O C A の分割キャパシタ C 1 1 d との間には、寄生容量 C p 1 4 が生じている。

【 0 1 1 2 】

偶数カラム領域 E C A の分割キャパシタ C 1 1 b と、奇数カラム領域 O C A の分割キャパシタ C 1 4 g との間には、寄生容量 C p 1 5 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 1 c と、奇数カラム領域 O C A の分割キャパシタ C 1 4 h との間には、寄生容量 C p 1 6 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 1 d と、奇数カラム領域 O C A の分割キャパシタ C 1 4 i との間には、寄生容量 C p 1 7 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 4 j と、奇数カラム領域 O C A の分割キャパシタ C 1 4 j との間には、寄生容量 C p 1 8 が生じている。

【 0 1 1 3 】

偶数カラム領域 E C A の分割キャパシタ C 1 3 a と、奇数カラム領域 O C A の分割キャパシタ C 1 3 a との間には、寄生容量 C p 1 9 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 3 b と、奇数カラム領域 O C A の分割キャパシタ C 1 3 b との間には、寄生容量 C p 2 0 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 3 c と、奇数カラム領域 O C A の分割キャパシタ C 1 3 c との間には、寄生容量 C p 2 1 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 3 d と、奇数カラム領域 O C A の分割キャパシタ C 1 3 d との間には、寄生容量 C p 2 2 が生じている。偶数カラム領域 E C A の分割キャパシタ C 1 3 e と、奇数カラム領域 O C A の分割キャパシタ C 1 3 e との間には、寄生容量 C p 2 3 が生じている。偶数カラム領域 E C A のキャパシタ C 1 2、奇数カラム領域 O C A のキャパシタ C 1 2 との間には、寄生容量 C p 2 4 が生じている。

【 0 1 1 4 】

ところで、例えば、奇数カラム領域 O C A における画素信号 V S L からの大振幅のアグレッサが、隣接カラムである偶数カラム領域 E C A に設けられた差動アンプ 2 0 1 の差

動対の左右の容量へアンバランスに干渉したとする。この場合、当該アグレッサが差動アンプ201の差動対で打ち消されずにクロストークとして画質劣化につながる。本実施形態による撮像素子1に設けられた比較器121では、切替容量として機能するキャパシタC13は、画素信号VSLに対する入力容量として機能したり、参照信号RAMPに対する入力容量として機能したりする。このため、差動アンプ201の差動対の左右の容量に隣接カラムにおける画素信号VSLからの大振幅のアグレッサを常に完全にバランスさせることは極めて困難である。

【0115】

そこで、本実施形態による撮像素子1は、差動アンプ201の差動対のそれぞれの容量の配置を偶数カラム領域ECAと奇数カラム領域OCAとで異ならせている。これにより、切替容量として機能するキャパシタC13の全部又は一部が画素信号VSL及び参照信号RAMPに対する入力容量としてどのような付加されたとしても、差動アンプ201の差動対に対して、隣の画素信号VSLの大振幅アグレッサの干渉のアンバランスの絶対値が突出して大きくならないようになっている。

【0116】

より具体的には、奇数カラム領域OCAにおける分割キャパシタC11a～C11d（第五分割容量の一例）は、偶数カラム領域ECAにおける分割キャパシタC11a～C11d（第一分割容量の一例）に対向する個数と、偶数カラム領域ECAにおける分割キャパシタC14a～C14j（第四分割容量の一例）に対向する個数とが異ならせて配置されている。図7に示す構成例では、奇数カラム領域OCAにおける分割キャパシタC11a～C11dのうちの3個の分割キャパシタC11a～C11cが、偶数カラム領域ECAにおいてNMOSトランジスタNT12に接続された分割キャパシタC14g～C14iに対向して配置されている。また、奇数カラム領域OCAにおける分割キャパシタC11a～C11dのうちの1個の分割キャパシタC11dが、偶数カラム領域ECAにおいてNMOSトランジスタNT11に接続された分割キャパシタC11aに対向して配置されている。

【0117】

分割キャパシタC11a～C11d、キャパシタC12及び分割キャパシタC13a～C13eは、並列に接続されている。また、分割キャパシタC14a～C14jは、並列に接続されている。このため、分割キャパシタ同士が対向する個数は、当該分割キャパシタで構成されるキャパシタ同士が対向する面積として見ることもできる。したがって、奇数カラム領域OCAのキャパシタC11（第五容量の一例）は、偶数カラム領域ECAのキャパシタC11（第一容量の一例）とキャパシタC14（第四容量の一例）に異なる面積で対向して配置されている。偶数カラム領域ECA及び奇数カラム領域OCAにおいて複数のキャパシタの配置を異ならせることによる作用・効果の詳細については後述する。

【0118】

<比較器の動作>

次に、図8及び図9のタイミングチャートを参照して、比較器121の動作について説明する。図8は、駆動信号AZSW1、参照信号RAMP、画素信号VSL、ノードVSH、ノードHiZ、及び、出力信号OUT1のタイミングチャートを示している。図9は、図8中に示す時刻t5から時刻t8におけるノードHiZの波形例を示している。

【0119】

時刻t1において、駆動信号AZSW1がハイレベルに設定される。図示は省略するが、駆動信号AZSW1がハイレベルに設定されるのとほぼ同時に、撮像素子1での撮像時のゲインに基づいて、スイッチSW13、スイッチSW14及びスイッチ15a～15dのいずれか1つのスイッチがオフ状態に設定され、残余のスイッチがオン状態に設定される。本実施形態では、6つのゲインモードに対応できるようになっている。6つのゲインモードのうち、最低レベルのゲインモードの場合は、スイッチSW13がオフ状態に設定される。また、最低レベル側から数えて2番目のゲインモードの場合は、スイッチSW15aがオフ状態に設定される。また、最低レベル側から数えて3番目のゲインモードの場合

合は、スイッチSW15bがオフ状態に設定される。また、最低レベル側から数えて4番目のゲインモードの場合は、スイッチSW15cがオフ状態に設定される。また、最低レベル側から数えて5番目のゲインモードの場合は、スイッチSW15dがオフ状態に設定される。また、最低レベル側から数えて6番目、すなわち最高レベルのゲインモードの場合は、スイッチSW14がオフ状態に設定される。

【0120】

そして、スイッチSW11及びスイッチSW12がオンし、NMOSトランジスタNT11のドレインとゲート、及び、NMOSトランジスタNT12のドレインとゲートが接続される。また、参照信号RAMPが所定のリセットレベルに設定される。さらに、読み出し対象となる単位画素PのFD153がリセットされ、画素信号VSLがリセットレベルに設定される。

10

【0121】

これにより、差動アンプ201のオートゼロ動作が開始される。すなわち、NMOSトランジスタNT11のドレイン及びゲート、並びに、NMOSトランジスタNT12のドレイン及びゲートが、所定の同じ電圧（以下、基準電圧と称する）に収束する。これにより、ノードHiZ及びノードVSHの電圧が基準電圧に設定される。

【0122】

次に、時刻t2において、駆動信号AZSW1がローレベルに設定され、スイッチSW11及びスイッチSW12がオフする。これにより、差動アンプ201のオートゼロ動作が終了する。ノードHiZの電圧は、画素信号VSL及び参照信号RAMPが変化しないため、基準電圧のまま保持される。また、ノードVSHの電圧は、キャパシタC14に蓄積された電荷により基準電圧のまま保持される。

20

【0123】

時刻t3において、参照信号RAMPの電圧がリセットレベルから所定の値だけ下げられる。これにより、ノードHiZの電圧が低下し、ノードVSHの電圧（基準電圧）を下回り、差動アンプ201の出力信号OUT1がローレベルとなる。

【0124】

時刻t4において、参照信号RAMPが増加を開始する。これに合わせて、ノードHiZの電圧も増加する。また、カウンタ122が、カウントを開始する。

【0125】

その後、ノードHiZの電圧がノードVSHの電圧（基準電圧）を上回ったとき、差動アンプ201の出力信号OUT1が反転し、ハイレベルとなる。そして、出力信号OUT1がハイレベルに反転したときのカウンタ122のカウント値が、P相（リセットレベル）の画素信号VSLの値としてラッチ123に保持される。

30

【0126】

時刻t5において、参照信号RAMPの電圧がリセット電圧に設定される。また、単位画素Pの転送トランジスタ152がオン状態に移行し、露光期間中にフォトダイオード151に蓄積された電荷がFD153に転送され、画素信号VSLが信号レベルに設定される。これにより、ノードHiZの電圧が信号レベルに対応する値だけ低下し、ノードVSHの電圧（基準電圧）を下回り、差動アンプ201の出力信号OUT1がローレベルに反転する。

40

【0127】

時刻t6において、時刻t3と同様に、参照信号RAMPの電圧がリセットレベルから所定の値だけ下げられる。これにより、ノードHiZの電圧がさらに低下する。

【0128】

時刻t7において、時刻t4と同様に、参照信号RAMPが増加を開始する。これに合わせて、ノードHiZの電圧も線形増加する。また、カウンタ122が、カウントを開始する。

【0129】

その後、ノードHiZの電圧がノードVSHの電圧（基準電圧）を上回ったとき、差動

50

アンプ201の出力信号OUT1が反転し、ハイレベルとなる。そして、出力信号OUT1がハイレベルに反転したときのカウンタ122のカウント値が、D相（信号レベル）の画素信号VSLの値としてラッチ123に保持される。また、ラッチ123は、D相の画素信号VSLと、時刻t4と時刻t5の間に読み出されたP相の画素信号VSLとの差分をとることにより、相関二重サンプリングを行う。このようにして、画素信号VSLのAD変換が行われる。

【0130】

その後、時刻t8以降において、時刻t1から時刻t7と同様の動作が繰り返される。なお、時刻t8以降においても、駆動信号AZSW1がハイレベルに設定されるのとはほぼ同時に、撮像素子1での撮像時のゲインに基づいて、スイッチSW13、スイッチSW14及びスイッチ15a～15dのいずれか1つのスイッチがオフ状態に設定され、残余のスイッチがオン状態に設定される。

10

【0131】

これにより、電源VDD1の電圧を下げることにより、ADC群12の消費電力を下げ、その結果、撮像素子1の消費電力を下げるができる。

【0132】

差動アンプの差動対の一方に画像信号を入力し、当該差動対の他方に参照信号を入力する従来の比較器では、参照信号と画素信号が比較され、その比較結果が出力信号として出力される。このとき、出力信号の反転時の差動アンプの入力電圧（参照信号及び画素信号の電圧）は、画素信号の電圧により変動する。したがって、例えば、従来技術の比較器の駆動用の電源の電圧を下げると、出力信号の反転時の差動アンプの入力電圧が、比較器の入力ダイナミックレンジを超え、AD変換の線形性を確保できなくなるおそれがある。

20

【0133】

これに対し、本実施形態における比較器121では、上述のとおり、画素信号VSLと参照信号RAMPを入力容量を介して加算した信号の電圧（ノードHiZの電圧）と、ノードVSHの電圧（基準電圧）との比較結果が、出力信号OUT1として出力される。このとき、図9に示されるように、出力信号OUT1の反転時の差動アンプ201の入力電圧（ノードHiZ及びノードVSHの電圧）は、変動せず一定となる。

【0134】

また、撮像素子1では、参照信号RAMPが変化する方向が、従来技術の比較器の参照信号と逆であり、画素信号VSLと逆方向に変化する。ここで、画素信号VSLと逆方向に変化するとは、画素信号VSLが信号成分が大きくなるにつれて変化する方向と逆方向に変化することをいう。例えば、この例では、画素信号VSLは、信号成分が大きくなるにつれて負の方向に変化するのに対し、参照信号RAMPはその逆の正の方向に変化している。したがって、ノードHiZの電圧（差動アンプ201の入力電圧）は、画素信号VSLと従来技術の参照信号との差分に対応する電圧となる。

30

【0135】

このように、出力信号OUT1の反転時の差動アンプ201の入力電圧が一定になるため、差動アンプ201の入力ダイナミックレンジを狭くすることができる。

【0136】

したがって、比較器121の駆動用の電源VDD1の電圧を、従来技術の比較器より下げることができ、その結果、ADC群12の消費電力を下げ、撮像素子1の消費電力を下げるができる。

40

【0137】

次に、本実施形態による撮像素子1の作用・効果について図4を参照しつつ図10から図12を用いて説明する。図10から図12では、奇数カラム領域OCAから偶数カラム領域ECAへの干渉が太矢印で表されている。

【0138】

（第1の干渉例）

図10は、スイッチSW13がオフ状態であり、スイッチSW13以外のスイッチがオ

50

ン状態の場合における、奇数カラム領域OCAから偶数カラム領域ECAへの干渉の状態を模式的に示している。すなわち、図10は、切替容量として機能するキャパシタC13の全てを参照信号RAMPに対する入力容量とした場合における、当該干渉の状態を模式的に示している。

【0139】

図10に示すように、スイッチSW13がオフ状態の場合、画素信号VSLに対する入力容量は、キャパシタC11（分割キャパシタC11a～C11d）のみである。このため、奇数カラム領域OCAの分割キャパシタC11a～C11cの電圧変動は、偶数カラム領域ECAの分割キャパシタC14g～C14iに影響する。また、奇数カラム領域OCAの分割キャパシタC11dの電圧変動は、偶数カラム領域ECAの分割キャパシタC11aに影響する。その結果、奇数カラム領域OCAでの大振幅アグレッサは、偶数カラム領域ECAの差動アンプ201のNMOSTランジスタNT11及びNMOSTランジスタNT12に1：3の比率で影響する。このため、奇数カラム領域OCAでの大振幅アグレッサから偶数カラム領域ECAの差動アンプ201の差動対に対する干渉のアンバランスは、 $-2 (= 1 - 3)$ となる。

【0140】

一方、奇数カラム領域OCAにおける差動アンプ201の分割ランジスタNT11aのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割ランジスタNT11aに影響する。また、奇数カラム領域OCAにおける差動アンプ201の分割ランジスタNT11bのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割ランジスタNT12aに影響する。このため、偶数カラム領域ECAにおける差動アンプ201のMOSTランジスタNT11のゲートの電圧変動は、偶数カラム領域ECAにおける差動アンプ201の差動対によって打ち消される。

【0141】

上述の式(1)より、スイッチSW13がオフ状態の場合、画素信号VSLに対する入力減衰ゲイン A_{inv} は、「 $(C11a + C11b + C11c + C11d) / \Sigma C$ 」となる。本実施形態では、分割キャパシタC11a～C11d、キャパシタC12、分割キャパシタC13a～C13e及び分割キャパシタC14a～C14iは、同じ容量値を有している。このため、画素信号VSLの信号減衰量は、 $4 / 10$ となる。したがって、画素信号VSL換算アンバランス（すなわち最終的なノイズ）は、 $-5.0 (= -2 / (4 / 10))$ となる。

【0142】

(第2の干渉例)

図11は、スイッチSW15bがオフ状態であり、スイッチSW15b以外のスイッチがオン状態の場合における、奇数カラム領域OCAから偶数カラム領域ECAへの干渉の状態を模式的に示している。すなわち、図11は、切替容量として機能するキャパシタC13を構成する分割キャパシタの $2 / 5$ を画素信号VSLに対する入力容量とし、当該分割キャパシタの $3 / 5$ を参照信号RAMPに対する入力容量とした場合の当該干渉の状態を模式的に示している。

【0143】

図11に示すように、スイッチSW15bがオフ状態の場合、画素信号VSLに対する入力容量は、キャパシタC11（分割キャパシタC11a～C11d）及びキャパシタC13を構成する分割キャパシタC13a，C13bである。このため、奇数カラム領域OCAの分割キャパシタC11a～C11cの電圧変動は、偶数カラム領域ECAの分割キャパシタC14g～C14iに影響する。また、奇数カラム領域OCAの分割キャパシタC11dの電圧変動は、偶数カラム領域ECAの分割キャパシタC11aに影響する。さらに、分割キャパシタC13a，C13bの電圧変動は、偶数カラム領域ECAの分割キャパシタC13a，C13bに影響する。その結果、奇数カラム領域OCAでの大振幅アグレッサは、偶数カラム領域ECAの差動アンプ201のNMOSTランジスタNT11及びNMOSTランジスタNT12に3：3の比率で影響する。このため、奇数カラム

10

20

30

40

50

領域OCAでの大振幅アグレッサから偶数カラム領域ECAの差動アンプ201の差動対に対する干渉のアンバランスは、 $0 (= 3 - 3)$ となる。

【0144】

一方、奇数カラム領域OCAにおける差動アンプ201の分割トランジスタNT11aのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割トランジスタNT11aに影響する。また、奇数カラム領域OCAにおける差動アンプ201の分割トランジスタNT11bのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割トランジスタNT12aに影響する。このため、偶数カラム領域ECAにおける差動アンプ201のMOSトランジスタNT11のゲートの電圧変動は、偶数カラム領域ECAにおける差動アンプ201の差動対によって打ち消される。

10

【0145】

上述の式(1)より、スイッチSW13がオフ状態の場合、画素信号VSLに対する入力減衰ゲイン A_{inv} は、「 $(C11a + C11b + C11c + C11d + C13a + C13b) / \Sigma C$ 」となる。このため、画素信号VSLの信号減衰量は、 $6 / 10$ となる。したがって、画素信号VSL換算アンバランス(すなわち最終的なノイズ)は、 $0.0 (= 0 / (6 / 10))$ となる。

【0146】

(第3の干渉例)

図12は、スイッチSW14がオフ状態であり、スイッチSW14以外のスイッチがオン状態の場合における、奇数カラム領域OCAから偶数カラム領域ECAへの干渉の状態を模式的に示している。すなわち、図12は、切替容量として機能するキャパシタC13を構成する分割キャパシタの全てを画素信号VSLに対する入力容量とした場合の当該干渉の状態を模式的に示している。

20

【0147】

図12に示すように、スイッチSW14がオフ状態の場合、画素信号VSLに対する入力容量は、キャパシタC11(分割キャパシタC11a～C11d)及びキャパシタC13を構成する分割キャパシタC13a～C13eである。このため、奇数カラム領域OCAの分割キャパシタC11a～C11cの電圧変動は、偶数カラム領域ECAの分割キャパシタC14g～C14iに影響する。また、奇数カラム領域OCAの分割キャパシタC11dの電圧変動は、偶数カラム領域ECAの分割キャパシタC11aに影響する。さらに、分割キャパシタC13a～C13eの電圧変動は、偶数カラム領域ECAの分割キャパシタC13a～C13eに影響する。その結果、奇数カラム領域OCAでの大振幅アグレッサは、偶数カラム領域ECAの差動アンプ201のNMOSトランジスタNT11及びNMOSトランジスタNT12に6:3の比率で影響する。このため、奇数カラム領域OCAでの大振幅アグレッサから偶数カラム領域ECAの差動アンプ201の差動対に対する干渉のアンバランスは、 $+3 (= 6 - 3)$ となる。

30

【0148】

一方、奇数カラム領域OCAにおける差動アンプ201の分割トランジスタNT11aのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割トランジスタNT11aに影響する。また、奇数カラム領域OCAにおける差動アンプ201の分割トランジスタNT11bのゲートは、偶数カラム領域ECAにおける差動アンプ201の分割トランジスタNT12aに影響する。このため、偶数カラム領域ECAにおける差動アンプ201のMOSトランジスタNT11のゲートの電圧変動は、偶数カラム領域ECAにおける差動アンプ201の差動対によって打ち消される。

40

【0149】

上述の式(1)より、スイッチSW13がオフ状態の場合、画素信号VSLに対する入力減衰ゲイン A_{inv} は、「 $(C11a + C11b + C11c + C11d + C13a + C13b + C13c + C13d + C13e) / \Sigma C$ 」となる。このため、画素信号VSLの信号減衰量は、 $9 / 10$ となる。したがって、画素信号VSL換算アンバランス(すなわち最終的なノイズ)は、 $+3.3 (= +3 / (9 / 10))$ となる。

50

【0150】

ところで、奇数カラム領域OCAのキャパシタC11が、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に同一の面積で対向して配置されていたとする。また、第3の干渉例と同様に、スイッチSW14がオフ状態の場合、画素信号VSLに対する入力容量は、キャパシタC11（分割キャパシタC11a～C11d）及びキャパシタC13を構成する分割キャパシタC13a～C13eである。このため、奇数カラム領域OCAの分割キャパシタC11a、C11bの電圧変動は、偶数カラム領域ECAの分割キャパシタC14h、C14iに影響する。また、奇数カラム領域OCAの分割キャパシタC11c、C11dの電圧変動は、偶数カラム領域ECAの分割キャパシタC11a、C11bに影響する。さらに、分割キャパシタC13a～C13eの電圧変動は、偶数カラム領域ECAの分割キャパシタC13a～C13eに影響する。その結果、奇数カラム領域OCAでの大振幅アグレッサは、偶数カラム領域ECAの差動アンプ201のNMOSTランジスタNT11及びNMOSTランジスタNT12に7：2の比率で影響する。このため、奇数カラム領域OCAでの大振幅アグレッサから偶数カラム領域ECAの差動アンプ201の差動対に対する干渉のアンバランスは、+5（=7-2）となる。したがって、画素信号VSL換算アンバランス（すなわち最終的なノイズ）は、+5.5（=+5/（9/10））となる。

10

【0151】

このように、奇数カラム領域OCAのキャパシタC11が、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に同一の面積で対向して配置されると、画素信号VSLに対する入力容量及び参照信号RAMPに対する入力容量が変化することにより、画素信号VSL換算アンバランスが大きくなる。

20

【0152】

これに対し、本実施形態では、奇数カラム領域OCAのキャパシタC11が、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に異なる面積で対向して配置されている。これにより、画素信号VSLに対する入力容量及び参照信号RAMPに対する入力容量が変化しても、画素信号VSL換算アンバランスは、-5.0から+3.3の範囲に抑えられる。

【0153】

以上説明したように、本実施形態による撮像素子1は、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に異なる面積で対向して配置された、奇数カラム領域OCAのキャパシタC11を備えている。これにより、撮像素子1は、ADC105におけるクロストークの低減を図ることができる。

30

【0154】

<本実施形態の変形例>

次に、本実施形態の変形例による撮像素子について図13から図15を用いて説明する。なお、変形例の説明に当たり、上記実施形態と同一の作用・機能を奏する構成要素には同一の符号を付して、その説明は省略する。また、本実施形態の変形例による撮像素子の全体構成は、図4に示す撮像素子1と同様である。このため、本実施形態の変形例による撮像素子の全体構成は、必要に応じて図4に示す参照符号を用いて説明する。

40

【0155】

(変形例1)

変形例1による撮像素子は、差動アンプの差動対がPMOSTランジスタで構成されている点に特徴を有している。

【0156】

図13に示すように、比較器121aは、比較器121と比較して、差動アンプ201の代わりに差動アンプ211が設けられている点異なる。

【0157】

差動アンプ211は、PMOSTランジスタPT31からPMOSTランジスタPT33、NMOSTランジスタNT31、及び、NMOSTランジスタNT32を備えている。

50

【0158】

NMOSトランジスタNT31のソース及びNMOSトランジスタNT32のソースは、グラウンドGND1に接続されている。NMOSトランジスタNT31のドレインは、NMOSトランジスタNT31のゲート、及び、PMOSトランジスタPT31のドレインに接続されている。NMOSトランジスタNT32のドレインは、PMOSトランジスタPT32のドレイン、及び、出力信号OUT1の出力端子T15に接続されている。PMOSトランジスタPT31のソースは、PMOSトランジスタPT32のソース、及び、PMOSトランジスタPT33のドレインに接続されている。PMOSトランジスタPT33のソースは電源VDD1に接続されている。

【0159】

そして、NMOSトランジスタNT31及びNMOSトランジスタNT32によりカレントミラー回路が構成されている。また、PMOSトランジスタPT31からPMOSトランジスタPT33により、差動の比較部が構成されている。すなわち、PMOSトランジスタPT33が、入力端子T14を介して外部から入力されるバイアス電圧VGにより電流源として動作し、PMOSトランジスタPT31及びPMOSトランジスタPT32が差動トランジスタとして動作する。図示は省略するが、PMOSトランジスタPT31及びPMOSトランジスタPT32はそれぞれ、比較器121のNMOSトランジスタNT11及びNMOSトランジスタNT12と同様に、並列に接続された2つの分割トランジスタで構成されている。偶数カラム領域及び奇数カラム領域において、この2つの分割トランジスタを図7で示したのと同様に配置することにより、差動アンプ211の差動対におけるクロストークの低減を図ることができる。

【0160】

PMOSトランジスタPT31のゲートには、キャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15が接続されている。キャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15の接続関係は、比較器121に設けられたキャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15の接続関係と同一である。このため、当該接続関係の説明は省略する。

【0161】

PMOSトランジスタPT32のゲートには、キャパシタC14が接続されている。キャパシタC14の構成は、比較器121に設けられたキャパシタC14の構成と同一である。このため、キャパシタC14の構成の説明は省略する。

【0162】

比較器121aは、比較器121のトランジスタの極性を逆にした構成を有しており、比較器121と同様の動作を行う。また、比較器121aを用いることにより、比較器121を用いた場合と同様に、電源VDD1の電圧を下げることができ、低消費電力化を実現することができる。

【0163】

また、本変形例による撮像素子は、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に異なる面積で対向して配置された、奇数カラム領域OCAのキャパシタC11を備えている。これにより、本変形例による撮像素子は、ADC105におけるクロストークの低減を図ることができる。

【0164】

(変形例2)

変形例2による撮像素子は、差動アンプが2つの差動対を備えている点に特徴を有している。

【0165】

図14に示すように、比較器121bは、差動アンプ212を備えている。差動アンプ212は、P型のMOS(PMOS)トランジスタPT11、PMOSトランジスタPT

10

20

30

40

50

12、及び、N型のMOS（NMOS）トランジスタNT11，NT12，NT13，NT21，NT22を備えている。詳細は後述するが、NMOSTランジスタNT11及びNMOSTランジスタNT12並びにNMOSTランジスタNT21及びNMOSTランジスタNT22はそれぞれ、並列に接続された2つの分割トランジスタで構成されている。
【0166】

PMOSTランジスタPT11のソース及びPMOSTランジスタPT12のソースは、電源VDD1に接続されている。PMOSTランジスタPT11のドレインは、PMOSTランジスタPT11、PT12のそれぞれのゲート及びスイッチSW17，SW27の一端子にそれぞれ接続されている。スイッチSW17の他端子は、NMOSTランジスタNT11のドレイン及びスイッチSW11の一端子に接続されている。PMOSTランジスタPT12のドレインは、出力信号OUT1の出力端子T15及びスイッチSW18，SW28の一端子に接続されている。スイッチSW18の他端子は、NMOSTランジスタNT12のドレイン及びスイッチSW12の一端子に接続されている。NMOSTランジスタNT11のソースは、NMOSTランジスタNT12，NT21，NT22のソース、及び、NMOSTランジスタNT13のドレインに接続されている。NMOSTランジスタNT13のソースはグラウンドGND1に接続されている。

【0167】

そして、PMOSTランジスタPT11及びPMOSTランジスタPT12によりカレントミラー回路が構成されている。また、NMOSTランジスタNT11、NMOSTランジスタNT12及びNMOSTランジスタNT13により、差動の比較部が構成されている。すなわち、NMOSTランジスタNT13が、入力端子T14を介して外部から入力されるバイアス電圧VGにより電流源として動作し、NMOSTランジスタNT11及びNMOSTランジスタNT12が差動トランジスタとして動作する。さらに、NMOSTランジスタNT21、NMOSTランジスタNT22及びNMOSTランジスタNT13により、差動の比較部が構成されている。すなわち、NMOSTランジスタNT23が、入力端子T14を介して外部から入力されるバイアス電圧VGにより電流源として動作し、NMOSTランジスタNT21及びNMOSTランジスタNT22が差動トランジスタとして動作する。

【0168】

スイッチSW17及びスイッチSW18と、スイッチSW27及びスイッチSW28とは、オン状態及びオフ状態が互いに逆となるように制御される。すなわち、スイッチSW17及びスイッチSW18がオン状態の場合には、スイッチSW27及びスイッチSW28はオフ状態となる。一方、スイッチSW17及びスイッチSW18がオフ状態の場合には、スイッチSW27及びスイッチSW28はオン状態となる。これにより、PMOSTランジスタPT11，PT12によって構成されるカレントミラー回路と、電流源となるNMOSTランジスタNT13との間には、NMOSTランジスタNT11，NT12の差動対又はNMOSTランジスタNT21，NT22の差動対が接続される。

【0169】

NMOSTランジスタNT11のゲートには、キャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15が接続されている。キャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15の接続関係は、比較器121に設けられたキャパシタC11、キャパシタC12、キャパシタC13、スイッチSW13、スイッチSW14及びスイッチ群SW15の接続関係と同一である。このため、当該接続関係の説明は省略する。キャパシタC11は、画素信号VSL1に対する入力容量となる。キャパシタC12は、参照信号RAMP1に対する入力容量となる。参照信号RAMP1は、DAC104（図2参照）によって生成される。

【0170】

NMOSTランジスタNT12のゲートには、キャパシタC14が接続されている。キャパシタC14の構成は、比較器121に設けられたキャパシタC14の構成と同一であ

10

20

30

40

50

る。このため、キャパシタ C 1 4 の構成の説明は省略する。

【0171】

本変形例における比較器 1 2 1 b は、キャパシタ C 2 1、キャパシタ C 2 2、キャパシタ C 2 3 及びキャパシタ C 2 4 を備えている。

【0172】

偶数カラム領域 E C A に形成された比較器 1 2 1 b のキャパシタ C 2 1 は、光電変換素子を有する第一画素に接続された第一信号線に接続されて第一領域に配置された第一容量の一例に相当する。この場合、図 2 に示す単位画素 P 1 i (i は自然数かつ n 以下の偶数) が第一画素の一例に相当する。また、図 2 に示す垂直信号線 1 0 9 - i (i は自然数かつ n 以下の偶数) が第一信号線の一例に相当する。また、図 2 に示す偶数カラム領域 E C A が第一領域に相当する。さらに、図 3 に示すフォトダイオード 1 5 1 が光電変換素子の一例に相当する。

10

【0173】

偶数カラム領域 E C A に形成された比較器 1 2 1 b のキャパシタ C 2 2 は、偶数カラム領域 E C A に配置されて参照信号 R A M P 2 を生成する D A C (参照信号生成部の一例) 1 0 4 (図 2 参照) に接続された第二容量に相当する。偶数カラム領域 E C A に形成された比較器 1 2 1 b のキャパシタ C 2 3 は、偶数カラム領域 E C A に配置されてキャパシタ C 2 1 及びキャパシタ C 2 2 に接続可能に設けられた第三容量の一例に相当する。偶数カラム領域 E C A に形成された比較器 1 2 1 b のキャパシタ C 2 4 は、偶数カラム領域 E C A に配置されてグラウンド (基準電位の供給部の一例) G N D 1 に接続された第四容量の一例に相当する。

20

【0174】

奇数カラム領域 O C A に形成された比較器 1 2 1 b のキャパシタ C 2 1 は、光電変換素子を有する第二画素に接続された第二信号線に接続されて第二領域に配置された第五容量の一例に相当する。この場合、図 2 に示す単位画素 P 1 i (i は自然数かつ n 以下の奇数) が第二画素の一例に相当する。また、図 2 に示す垂直信号線 1 0 9 - i (i は自然数かつ n 以下の奇数) が第二信号線の一例に相当する。また、図 2 に示す偶数カラム領域 E O A が第二領域に相当する。また、図 2 に示す奇数カラム領域 O C A が第二領域に相当する。さらに、図 3 に示すフォトダイオード 1 5 1 が光電変換素子の一例に相当する。

【0175】

30

奇数カラム領域 O C A に形成された比較器 1 2 1 b のキャパシタ C 2 2 は、奇数カラム領域 O C A に配置されて参照信号 R A M P 2 を生成する D A C (参照信号生成部の一例) 1 0 4 (図 2 参照) に接続された第六容量に相当する。奇数カラム領域 O C A に形成された比較器 1 2 1 b のキャパシタ C 2 3 は、奇数カラム領域 O C A に配置されてキャパシタ C 2 1 及びキャパシタ C 2 2 に接続可能に設けられた第七容量の一例に相当する。奇数カラム領域に形成された比較器 1 2 1 b のキャパシタ C 2 4 は、奇数カラム領域 O C A に配置されてグラウンド G N D 1 に接続された第八容量の一例に相当する。

【0176】

キャパシタ C 2 1 は、画素信号 V S L 2 の入力端子 T 2 1 と N M O S トランジスタ N T 2 1 のゲートとの間に接続されている。キャパシタ C 2 1 は、画素信号 V S L 2 に対する入力容量となる。

40

【0177】

キャパシタ C 2 2 は、参照信号 R A M P 2 の入力端子 T 2 2 と N M O S トランジスタ N T 2 1 のゲートとの間に接続されており、参照信号 R A M P 2 に対する入力容量となる。

【0178】

キャパシタ C 2 3 は、スイッチ S W 2 3 及びスイッチ S W 2 4 のオン／オフ状態に応じてキャパシタ C 2 1 及びキャパシタ C 2 2 の容量値を変更させる可変キャパシタとして機能する。キャパシタ C 2 3 は、キャパシタ C 2 1 及びスイッチ S W 2 3 を介して入力端子 T 2 1 と N M O S トランジスタ N T 2 1 のゲートとの間に接続されている。また、キャパシタ C 2 3 は、キャパシタ C 2 2 及びスイッチ S W 2 4 を介して入力端子 T 2 2 と N M O

50

SトランジスタNT21のゲートとの間に接続されている。

【0179】

より具体的に、キャパシタC21は、分割された複数（本実施形態では4つ）の分割容量である分割キャパシタC21a, C21b, C21c, C21dを有している。分割キャパシタC21a, C21b, C21c, C21dはそれぞれ、入力端子T21を介して垂直信号線110（図2参照）に接続された一方の電極と、差動アンプ201のNMOSTランジスタNT21のゲートに接続された他方の電極とを有している。キャパシタC22は、入力端子T22を介してDAC104（図2参照）に接続された一方の電極と、差動アンプ212のNMOSTランジスタNT21のゲートに接続された他方の電極とを有している。

10

【0180】

キャパシタC23は、分割された複数（本実施形態では5つ）の分割容量である分割キャパシタC23a, C23b, C23c, C23d, C23eを有している。比較器121bは、隣り合う2つの分割キャパシタC23a, C23b, C23c, C23d, C23eの接続及び切断を切り替えるスイッチ群SW25を備えている。より具体的には、スイッチ群SW25は、隣り合う2つの分割キャパシタC23a及び分割キャパシタC23bの接続及び切断を切り替えるスイッチSW25aを有している。スイッチ群SW25は、隣り合う2つの分割キャパシタC23b及び分割キャパシタC23cの接続及び切断を切り替えるスイッチSW25bを有している。スイッチ群SW25は、隣り合う2つの分割キャパシタC23c及び分割キャパシタC23dの接続及び切断を切り替えるスイッチSW25cを有している。スイッチ群SW25は、隣り合う2つの分割キャパシタC23d及び分割キャパシタC23eの接続及び切断を切り替えるスイッチSW25dを有している。

20

【0181】

分割キャパシタC23a～C23eはそれぞれ、スイッチSW25a～SW25dに接続された一方の電極と、差動アンプ212のNMOSTランジスタNT21のゲートに接続された他方の電極とを有している。より具体的には、分割キャパシタC23aは、スイッチSW25aの一端子に接続された一方の電極と、NMOSTランジスタNT21のゲートに接続された他方の電極とを有している。分割キャパシタC23aの一方の電極は、スイッチSW23の他端子にも接続されている。スイッチSW23の一端子は、キャパシタC21の分割キャパシタC21dの一方の電極に接続されている。

30

【0182】

分割キャパシタC23bは、スイッチSW25aの他端子及びスイッチSW25bの一端子に接続された一方の電極と、NMOSTランジスタNT21のゲートに接続された他方の電極とを有している。分割キャパシタC23cは、スイッチSW25bの他端子及びスイッチSW25cの一端子に接続された一方の電極と、NMOSTランジスタNT21のゲートに接続された他方の電極とを有している。分割キャパシタC23dは、スイッチSW25cの他端子及びスイッチSW25dの一端子に接続された一方の電極と、NMOSTランジスタNT21のゲートに接続された他方の電極とを有している。

【0183】

分割キャパシタC23eは、スイッチSW25dの他端子に接続された一方の電極と、NMOSTランジスタNT21のゲートに接続された他方の電極とを有している。分割キャパシタC23eの一方の電極は、スイッチSW24の一端子にも接続されている。スイッチSW24の他端子は、キャパシタC22の一方の電極に接続されている。

40

【0184】

したがって、スイッチSW23、スイッチSW25a～SW25d及びスイッチSW24は、分割キャパシタC21dの一方の電極及びキャパシタC22の一方の電極の間で従属接続されている。

【0185】

スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dのオン／オ

50

フ状態が制御されることにより、画素信号VSL2に対する入力容量及び参照信号RAMP2に対する入力容量の比が制御される。スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dは、少なくとも1つがオフ状態となるように制御される。

【0186】

以下、分割キャパシタC21a～C21d、キャパシタC22及び分割キャパシタC23a～C23eのそれぞれの参照符号をそれぞれの容量値を表す符号としても用いることにする。分割キャパシタC21a～C21d、キャパシタC22及び分割キャパシタC23a～C23eは、並列に接続されている。このため、画素信号VSL2に対する入力容量減衰ゲインAinv2は、以下の式(3)で表すことができ、参照信号RAMP2に対する入減衰ゲインAinr2は、以下の式(4)で表すことができる。

【0187】

$$A_{inv2} = (C_{21a} + C_{21b} + C_{21c} + C_{21d} + C_{2\alpha}) / \Sigma C_2 \dots (3)$$

$$A_{inr2} = (C_{22} + C_{2\beta}) / \Sigma C_2 \dots (4)$$

【0188】

式(3)及び式(4)において、「 ΣC_2 」は、分割キャパシタC21a～C21d、キャパシタC22及び分割キャパシタC23a～C23eの容量値の総和を表している。また、式(3)中の「 $C_{2\alpha}$ 」は、スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dのオン／オフ状態に応じて画素信号VSL2側に付加されるキャパシタの容量値を表している。また、式(4)中の「 $C_{2\beta}$ 」は、スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dのオン／オフ状態に応じて参照信号RAMP2側に付加されるキャパシタの容量値を表している。式(3)中の「 $C_{2\alpha}$ 」及び式(4)中の「 $C_{2\beta}$ 」は、スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dのオン／オフ状態に応じて、以下のようになる。

【0189】

(A) スイッチSW23がオフ状態、スイッチSW23以外がオン状態の場合：

$$C_{2\alpha} = 0$$

$$C_{2\beta} = C_{23a} + C_{23b} + C_{23c} + C_{23d} + C_{23e}$$

(B) スイッチSW25aがオフ状態、スイッチSW25a以外がオン状態の場合：

$$C_{2\alpha} = C_{23a}$$

$$C_{2\beta} = C_{23b} + C_{23c} + C_{23d} + C_{23e}$$

(C) スイッチSW25bがオフ状態、スイッチSW25b以外がオン状態の場合：

$$C_{2\alpha} = C_{23a} + C_{23b}$$

$$C_{2\beta} = C_{23c} + C_{23d} + C_{23e}$$

(D) スイッチSW25cがオフ状態、スイッチSW25c以外がオン状態の場合：

$$C_{2\alpha} = C_{23a} + C_{23b} + C_{23c}$$

$$C_{2\beta} = C_{23d} + C_{23e}$$

(E) スイッチSW25dがオフ状態、スイッチSW25d以外がオン状態の場合：

$$C_{2\alpha} = C_{23a} + C_{23b} + C_{23c} + C_{23d}$$

$$C_{2\beta} = C_{23e}$$

(F) スイッチSW25eがオフ状態、スイッチSW25e以外がオン状態の場合：

$$C_{2\alpha} = C_{23a} + C_{23b} + C_{23c} + C_{23d} + C_{23e}$$

$$C_{2\beta} = 0$$

【0190】

このように、スイッチSW23、スイッチSW24及びスイッチSW25a～SW25dのオン／オフ状態を切り替えることによって、画素信号VSL2に対する入力容量及び参照信号RAMP2に対する入力容量を段階的に変更することができる。

【0191】

画素信号VSL2の電圧の振幅 ΔV_{SL2} は、NMOSトランジスタNT21のゲートにおいて、 $\Delta V_{SL2} \times A_{inv2}$ となる。したがって、式(3)中の「 $C_{2\alpha}$ 」の値が

10

20

30

40

50

小さくなるほど、差動アンプ 212 に入力される画素信号 VSL2 の振幅は減衰する。その結果、入力換算ノイズが増大する。これに対して、参照信号 RAMP2 の入力容量に対する画素信号 VSL2 の入力容量の比率を高める、すなわち式 (3) 中の「 $C2\alpha$ 」を大きくかつ式 (4) 中の「 $C2\beta$ 」を小さくすることにより、差動アンプ 212 に入力される画素信号 VSL2 の減衰を抑制し、入力換算ノイズを抑制することができる。

【0192】

ただし、参照信号 RAMP2 の入力容量に対する画素信号 VSL2 の入力容量の比率を高くすると、差動アンプ 212 に入力される参照信号 RAMP2 の減衰量は、逆に増大する。

【0193】

図 5 を用いて参照信号 RAMP 及び画素信号 VSL について説明したのと同様に、参照信号 RAMP2 の入力容量に対する画素信号 VSL2 の入力容量の比率を高くすると、差動アンプ 212 に入力される参照信号 RAMP2 の振幅が小さくなる。その結果、ADC105 のダイナミックレンジが低下する。

【0194】

これに対して、例えば、DAC104 から出力する参照信号 RAMP2 の振幅を大きくすることにより、差動アンプ 212 に入力される参照信号 RAMP2 の振幅を大きくし、ADC105 のダイナミックレンジの低下を抑制することが考えられる。

【0195】

ただし、参照信号 RAMP2 の振幅の最大値は、DAC104 の仕様等により制限される。例えば、高ゲインモードでは、参照信号 RAMP2 の振幅が小さく設定されているため、参照信号 RAMP2 の振幅を大きくすることが可能である。一方、低ゲインモードでは、参照信号 RAMP2 の振幅が予め大きく設定されているため、参照信号 RAMP2 の振幅をさらに大きくすることが困難な場合がある。

【0196】

したがって、例えば、高ゲインモードでは、参照信号 RAMP2 の入力容量に対する画素信号 VSL2 の入力容量の比率を可能な範囲で高くするとともに、参照信号 RAMP2 の振幅を大きくする。これにより、ノイズの影響を受けやすい高ゲインモードにおいて、差動アンプ 212 に入力される画素信号 VSL2 の減衰を抑制し、ノイズの影響を抑制することができる。

【0197】

一方、例えば、低ゲインモードでは、参照信号 RAMP2 に対する入力容量と画素信号 VSL2 に対する入力容量を近い値に設定するとよい。

【0198】

図 14 に示すように、キャパシタ C24 は、分割された複数（本実施形態では 10 個）の分割容量である分割キャパシタ C24a, C24b, C24c, C24d, C24e, C24f, C24g, C24h, C24i, C24j を有している。分割キャパシタ C24a, C24b, C24c, C24d, C24e, C24f, C24g, C24h, C24i, C24j のそれぞれは、グラウンド GND1 に接続された一方の電極と、差動アンプ 212 の NMOS トランジスタ NT22 のゲートに接続された他方の電極とを有している。分割キャパシタ C24a, C24b, C24c, C24d, C24e, C24f, C24g, C24h, C24i, C24j は、グラウンド GND1 と NMOS トランジスタ NT22 のゲートとの間で並列接続されている。

【0199】

偶数カラム領域 ECA に形成された比較器 121b の場合、分割キャパシタ C21a ~ C21d は、第一分割容量の一例に相当する。偶数カラム領域 ECA に形成された比較器 121b の場合、分割キャパシタ C23a ~ C23d は、第三分割容量の一例に相当する。偶数カラム領域 ECA に形成された比較器 121b の場合、スイッチ SW23 は第一切替素子の一例に相当し、スイッチ SW24 は第二切替素子の一例に相当する。偶数カラム領域 ECA に形成された比較器 121b の場合、スイッチ SW25a ~ SW25d は、第

10

20

30

40

50

三切替素子に相当する。

【0200】

奇数カラム領域OCAに形成された比較器121bの場合、分割キャパシタC21a～C21dは、第五分割容量の一例に相当する。奇数カラム領域OCAに形成された比較器121bの場合、分割キャパシタC23a～C23dは、第七分割容量の一例に相当する。奇数カラム領域OCAに形成された比較器121bの場合、スイッチSW23は第五切替素子の一例に相当し、スイッチSW24は第六切替素子の一例に相当する。奇数カラム領域OCAに形成された比較器121bの場合、スイッチSW25a～SW25dは、第七切替素子に相当する。

【0201】

差動アンプ212は、キャパシタC21、キャパシタC22及びキャパシタC23が接続されたNMOSトランジスタNT21と、キャパシタC24が接続されたNMOSトランジスタNT22とを有している。このため、偶数カラム領域ECAに形成された比較器121bの差動アンプ212は第一差動アンプの一例に相当する。偶数カラム領域ECAに形成された比較器121bの場合、NMOSトランジスタNT21は第一差動アンプに設けられた一方の入力部の一例に相当し、NMOSトランジスタNT22は第一差動アンプに設けられた他方の入力部の一例に相当する。一方、奇数カラム領域OCAに形成された比較器121bの差動アンプ212は第二差動アンプの一例に相当する。奇数カラム領域OCAに形成された比較器121bの場合、NMOSトランジスタNT21は第二差動アンプに設けられた一方の入力部の一例に相当し、NMOSトランジスタNT22は第二差動アンプに設けられた他方の入力部の一例に相当する。

【0202】

スイッチSW11は、NMOSトランジスタNT11のドレイン－ゲート間に接続されている。スイッチSW11は、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

【0203】

スイッチSW12は、NMOSトランジスタNT12のドレイン－ゲート間に接続されている。スイッチSW12は、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

【0204】

スイッチSW17及びスイッチSW18は、タイミング制御回路102から入力端子T16を介して入力される駆動信号SEL SW1により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

【0205】

なお、以下、キャパシタC11、キャパシタC12、キャパシタC13、及び、スイッチSW11の接続点をノードHiZ1とする。また、以下、NMOSトランジスタNT12のゲート、キャパシタC14、及び、スイッチSW12の接続点をノードVSH1とする。

【0206】

スイッチSW21は、NMOSトランジスタNT21のドレイン－ゲート間に接続されている。スイッチSW21は、タイミング制御回路102から入力端子T23を介して入力される駆動信号AZSW2により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

【0207】

スイッチSW22は、NMOSトランジスタNT22のドレイン－ゲート間に接続されている。スイッチSW22は、タイミング制御回路102から入力端子T23を介して入力される駆動信号AZSW2により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。

10

20

30

40

50

【0208】

スイッチSW27及びスイッチSW28は、タイミング制御回路102から入力端子T26を介して入力される駆動信号SEL SW2により、オン状態からオフ状態又はオフ状態からオン状態に切り替えられる。駆動信号SEL SW2は、駆動信号SEL SW1に対して信号レベルが反転した信号である。

【0209】

なお、以下、キャパシタC21、キャパシタC22、キャパシタC23、及び、スイッチSW21の接続点をノードHIZ2とする。また、以下、NMOSトランジスタNT22のゲート、キャパシタC24、及び、スイッチSW22の接続点をノードVSH2とする。

10

【0210】

図示は省略するが、NMOSトランジスタNT21は、図6に示すNMOSトランジスタNT11と同様の構成を有し、並列接続された2つの分割トランジスタで構成されている。同様に、NMOSトランジスタNT22は、図6に示すNMOSトランジスタNT12と同様の構成を有し、並列接続された2つの分割トランジスタで構成されている。

【0211】

次に、奇数カラム領域OCA及び偶数カラム領域ECAにそれぞれ形成された比較器121bの各キャパシタ及び各NMOSトランジスタの配置関係の一例について図15を用いて説明する。図15では、偶数カラム領域ECA及び奇数カラム領域OCAはそれぞれ、紙面の都合で分割して図示されているが、実際には分割されずに直線状の一続きの領域である。

20

【0212】

偶数カラム領域ECAにおいて、NMOSトランジスタNT11及びNMOSトランジスタNT12は、単位画素P1(2i)(iはn以下の奇数)と参照信号RAMP1とを比較するための差動対となる。また、偶数カラム領域ECAにおいて、NMOSトランジスタNT21及びNMOSトランジスタNT22は、単位画素P1(2i)(iはn以下の偶数)と参照信号RAMP2とを比較するための差動対となる。また、奇数カラム領域OCAにおいて、NMOSトランジスタNT11及びNMOSトランジスタNT12は、単位画素P1(2i-1)(iはn以下の奇数)と参照信号RAMP1とを比較するための差動対となる。さらに、奇数カラム領域OCAにおいて、NMOSトランジスタNT21及びNMOSトランジスタNT22は、単位画素P1(2i-1)(iはn以下の偶数)と参照信号RAMP2とを比較するための差動対となる。

30

【0213】

偶数カラム領域ECA及び奇数カラム領域OCAにおいて、NMOSトランジスタNT11、NMOSトランジスタNT12、キャパシタC11、キャパシタC12、キャパシタC13、キャパシタC14、スイッチSW13、SW14及びスイッチ群SW15の配置は、上記実施形態による撮像素子1での当該配置(図7参照)と同一であるため、説明は省略する。

【0214】

図15に示すように、偶数カラム領域ECAにおいて、分割トランジスタNT12aが配置されていない側の分割トランジスタNT11aの隣には、キャパシタC22が配置されている。

40

【0215】

偶数カラム領域ECAにおいて、分割トランジスタNT11aが配置されていない側のキャパシタC22の隣には、スイッチSW24を挟んでキャパシタC23が配置されている。キャパシタC23の分割容量である分割キャパシタC23a~C23eは、偶数カラム領域ECAの所定の範囲内に集約されている。より具体的に、キャパシタC22及び分割キャパシタC23eは、スイッチSW24を挟んで対向して配置されている。分割キャパシタC23e、分割キャパシタC23d、分割キャパシタC23c、分割キャパシタC23b及び分割キャパシタC23aは、キャパシタC22が配置されている側からこの順

50

に並んで配置されている。分割キャパシタC 2 3 e及び分割キャパシタC 2 3 dの間には、スイッチSW 2 5 dが配置されている。分割キャパシタC 2 3 d及び分割キャパシタC 2 3 cの間には、スイッチSW 2 5 cが配置されている。分割キャパシタC 2 3 c及び分割キャパシタC 2 3 bの間には、スイッチSW 2 5 bが配置されている。分割キャパシタC 2 3 b及び分割キャパシタC 2 3 aの間には、スイッチSW 2 5 aが配置されている。

【0 2 1 6】

偶数カラム領域E C Aにおいて、分割キャパシタC 2 3 bが配置されていない側の分割キャパシタC 2 3 aの隣には、スイッチSW 2 3を挟んでキャパシタC 2 4の分割容量である分割キャパシタC 2 4 jが配置されている。このように、分割キャパシタC 2 3 a～C 2 3 e、スイッチSW 2 5 a～SW 2 5 d、スイッチSW 2 4及びスイッチSW 2 3を所定の範囲内に集約して配置することにより、配線の煩雑さや各素子間に生じる寄生容量の抑制が図られている。

【0 2 1 7】

偶数カラム領域E C Aにおいて、分割キャパシタC 2 3 aが配置されていない側の分割キャパシタC 2 4 jの隣には、キャパシタC 2 1が配置されている。より具体的に、キャパシタC 2 1の分割容量である分割キャパシタC 2 1 d、分割キャパシタC 2 1 c、分割キャパシタC 2 1 b及び分割キャパシタC 2 1 aは、分割キャパシタC 2 4 jが配置されている側からこの順に並んで配置されている。

【0 2 1 8】

偶数カラム領域E C Aにおいて、分割キャパシタC 2 1 bが配置されていない側の分割キャパシタC 2 1 aの隣には、キャパシタC 2 4の分割容量であるキャパシタC 2 4の残部が配置されている。より具体的に、キャパシタC 2 4の残りの分割キャパシタC 2 4 i、分割キャパシタC 2 4 h、分割キャパシタC 2 4 g、分割キャパシタC 2 4 f、分割キャパシタC 2 4 e、分割キャパシタC 2 4 d、分割キャパシタC 2 4 c、分割キャパシタC 2 4 b及び分割キャパシタC 2 4 aは、分割キャパシタC 2 1 aが配置されている側からこの順に並んで配置されている。

【0 2 1 9】

偶数カラム領域E C Aにおいて、分割キャパシタC 2 4 bが配置されていない側の分割キャパシタC 2 4 aの隣には、NMOSトランジスタNT 2 1及びNMOSトランジスタNT 2 2が配置されている。より具体的に、分割トランジスタNT 2 1 b、分割トランジスタNT 2 2 b、分割トランジスタNT 2 2 a及び分割トランジスタNT 2 1 aは、分割キャパシタC 2 4 aが配置されている側からこの順に並んで配置されている。分割トランジスタNT 2 1 a及び分割トランジスタNT 2 1 bは、NMOSトランジスタNT 2 1を構成するトランジスタである。分割トランジスタNT 2 2 a及び分割トランジスタNT 2 2 bは、NMOSトランジスタNT 2 2を構成するトランジスタである。

【0 2 2 0】

このように、偶数カラム領域E C Aにおいて、キャパシタC 2 1～C 2 4、スイッチSW 2 3、スイッチ群SW 2 5、NMOSトランジスタNT 2 1及びNMOSトランジスタNT 2 2は、例えば一直線上に配置されている。

【0 2 2 1】

図15に示すように、奇数カラム領域O C Aにおいて、分割トランジスタNT 1 1 bが配置されていない側の分割トランジスタNT 1 1 aの隣には、キャパシタC 2 2が配置されている。

【0 2 2 2】

奇数カラム領域O C Aにおいて、分割トランジスタNT 1 1 aが配置されていない側のキャパシタC 2 2の隣には、スイッチSW 2 4を挟んでキャパシタC 2 3が配置されている。キャパシタC 2 3の分割容量である分割キャパシタC 2 3 a～C 2 3 eは、奇数カラム領域O C Aの所定の範囲内に集約されている。より具体的に、キャパシタC 2 2及び分割キャパシタC 2 3 eは、スイッチSW 2 4を挟んで対向して配置されている。分割キャパシタC 2 3 e、分割キャパシタC 2 3 d、分割キャパシタC 2 3 c、分割キャパシタC

10

20

30

40

50

2 3 b 及び分割キャパシタ C 2 3 a は、キャパシタ C 2 2 が配置されている側からこの順に並んで配置されている。分割キャパシタ C 2 3 e 及び分割キャパシタ C 2 3 d の間には、スイッチ S W 2 5 d が配置されている。分割キャパシタ C 2 3 d 及び分割キャパシタ C 2 3 c の間には、スイッチ S W 2 5 c が配置されている。分割キャパシタ C 2 3 c 及び分割キャパシタ C 2 3 b の間には、スイッチ S W 2 5 b が配置されている。分割キャパシタ C 2 3 b 及び分割キャパシタ C 2 3 a の間には、スイッチ S W 2 5 a が配置されている。

【 0 2 2 3 】

奇数カラム領域 O C A において、分割キャパシタ C 2 3 b が配置されていない側の分割キャパシタ C 2 3 a の隣には、スイッチ S W 2 3 を挟んでキャパシタ C 2 4 の分割容量の一部が配置されている。このように、分割キャパシタ C 2 3 a ~ C 2 3 e、スイッチ S W 2 5 a ~ S W 2 5 d、スイッチ S W 2 4 及びスイッチ S W 2 3 を所定の範囲内に集約して配置することにより、配線の煩雑さや各素子間に生じる寄生容量の抑制が図られている。

【 0 2 2 4 】

より具体的に、奇数カラム領域 O C A において、キャパシタ C 2 4 の分割容量である分割キャパシタ C 2 4 j、分割キャパシタ C 2 4 i、分割キャパシタ C 2 4 h 及び分割キャパシタ C 2 4 g は、分割キャパシタ C 2 3 a が配置されている側からこの順に並んで配置されている。

【 0 2 2 5 】

奇数カラム領域 O C A において、分割キャパシタ C 2 4 h が配置されていない側の分割キャパシタ C 2 4 g の隣には、キャパシタ C 2 1 が配置されている。より具体的に、キャパシタ C 2 1 の分割容量である分割キャパシタ C 2 1 d、分割キャパシタ C 2 1 c、分割キャパシタ C 2 1 b 及び分割キャパシタ C 2 1 a は、分割キャパシタ C 2 4 g が配置されている側からこの順に並んで配置されている。

【 0 2 2 6 】

奇数カラム領域 O C A において、分割キャパシタ C 2 1 b が配置されていない側の分割キャパシタ C 2 1 a の隣には、キャパシタ C 2 4 の残りの分割容量が配置されている。より具体的に、キャパシタ C 2 4 の残りの分割キャパシタ C 2 4 f、分割キャパシタ C 2 4 e、分割キャパシタ C 2 4 d、分割キャパシタ C 2 4 c、分割キャパシタ C 2 4 b 及び分割キャパシタ C 2 4 a は、分割キャパシタ C 2 1 a が配置されている側からこの順に並んで配置されている。

【 0 2 2 7 】

奇数カラム領域 O C A において、分割キャパシタ C 2 4 b が配置されていない側の分割キャパシタ C 2 4 a の隣には、N M O S トランジスタ N T 2 1 及び N M O S トランジスタ N T 2 2 が配置されている。より具体的に、分割トランジスタ N T 2 2 a、分割トランジスタ N T 2 2 b、分割トランジスタ N T 2 1 b 及び分割トランジスタ N T 2 1 a は、分割キャパシタ C 2 4 a が配置されている側からこの順に並んで配置されている。分割トランジスタ N T 2 1 a 及び分割トランジスタ N T 2 1 b は、N M O S トランジスタ N T 2 1 を構成するトランジスタである。分割トランジスタ N T 2 2 a 及び分割トランジスタ N T 2 2 b は、N M O S トランジスタ N T 2 2 を構成するトランジスタである。

【 0 2 2 8 】

このように、奇数カラム領域 O C A において、キャパシタ C 2 1 ~ C 2 4、スイッチ S W 2 3、スイッチ群 S W 2 5、N M O S トランジスタ N T 2 1 及び N M O S トランジスタ N T 2 2 は、たとえば一直線上に配置されている。

【 0 2 2 9 】

図 1 5 に示すように、偶数カラム領域 E C A において、分割キャパシタ C 2 1 a ~ C 2 1 d の個数は 4 個であり、キャパシタ C 2 2 の個数は 1 個であり、分割キャパシタ C 2 3 a ~ C 2 3 e の個数は 5 個であり、分割キャパシタ C 2 4 a ~ C 2 4 j の個数は 1 0 個である。したがって、偶数カラム領域 E C A において、分割キャパシタ C 2 1 a ~ C 2 1 d (第一分割容量の一例)、キャパシタ C 2 2 (第二容量の一例)、及び分割キャパシタ C 2 3 a ~ C 2 3 e (第三分割容量の一例) の合計数 (1 0 個) は、分割キャパシタ C 2 4

10

20

30

40

50

a～C 2 4 j（第四分割容量の一例）の総数と同じである。

【0 2 3 0】

また、奇数カラム領域OCAにおいて、分割キャパシタC 2 1 a～C 2 1 dの個数は4個であり、キャパシタC 2 2の個数は1個であり、分割キャパシタC 2 3 a～C 2 3 eの個数は5個であり、分割キャパシタC 2 4 a～C 2 4 jの個数は10個である。したがって、奇数カラム領域OCAにおいて、分割キャパシタC 2 1 a～C 2 1 d（第五分割容量の一例）、キャパシタC 2 2（第六容量の一例）、及び分割キャパシタC 2 3 a～C 2 3 e（第六分割容量の一例）の合計数（10個）は、分割キャパシタC 2 4 a～C 2 4 j（第八容量の一例）の総数と同じである。

【0 2 3 1】

偶数カラム領域ECAにおける分割キャパシタC 2 1 a～C 2 1 d、キャパシタC 2 2、分割キャパシタC 2 3 a～C 2 3 e及び分割キャパシタC 2 4 a～C 2 4 jの合計数（20個）は、奇数カラム領域OCAにおける分割キャパシタC 2 1 a～C 2 1 d、キャパシタC 2 2、分割キャパシタC 2 3 a～C 2 3 e及び分割キャパシタC 2 4 a～C 2 4 jの合計数（20個）と同じである。

【0 2 3 2】

偶数カラム領域ECAにおける分割キャパシタC 2 1 a～C 2 1 dのそれぞれ、キャパシタC 2 2、分割キャパシタC 2 3 a～C 2 3 eのそれぞれ及び分割キャパシタC 2 4 a～C 2 4 jのそれぞれ、奇数カラム領域OCAにおける分割キャパシタC 2 1 a～C 2 1 dのそれぞれ、キャパシタC 2 2、分割キャパシタC 2 3 a～C 2 3 eのそれぞれ及び分割キャパシタC 2 4 a～C 2 4 jのそれぞれは、互いに同じ容量値を有している。

【0 2 3 3】

このように、差動アンプ2 1 2の差動対を構成するNMOSTランジスタNT 2 1及びNMOSTランジスタNT 2 2に接続される入力容量が同じ個数のキャパシタに分割されている。これにより、差動アンプ2 1 2の差動対に接続される容量のバランスが確保されている。また、電源VDD1の変動が差動アンプ2 1 2の差動対に均等に影響させることができる。これにより、電源電圧変動除去比の向上が図られている。さらに、比較器1 2 1 bに設けられたスイッチSW 2 1及びスイッチSW 2 2で生じるリーク電流に基づく電圧変動がNMOSTランジスタNT 2 1及びNMOSTランジスタNT 2 2で同一にすることができる。これにより、本変形例による撮像素子は、比較器1 2 1 bの比較動作に当該リーク電流が影響することを防止できる。

【0 2 3 4】

NMOSTランジスタNT 1 1及びNMOSTランジスタNT 1 2によって構成される差動アンプ2 1 2の差動対についても、NMOSTランジスタNT 2 1及びNMOSTランジスタNT 2 2によって構成される差動対と同様の作用・効果を奏する。

【0 2 3 5】

本変形例による撮像素子が形成される半導体チップの大きさの制限より、偶数カラム領域ECA及び奇数カラム領域OCAは、互いに隣接して設けられる。このため、偶数カラム領域ECAに形成される各素子と、奇数カラム領域OCAに形成される各素子との間には、寄生容量が生じる。

【0 2 3 6】

キャパシタC 1 1、キャパシタC 1 2、キャパシタC 1 3、キャパシタC 1 4及びNMOSTランジスタNT 1 1、NT 1 2について、偶数カラム領域ECA及び奇数カラム領域OCA間に生じる寄生容量は、上記実施形態による撮像素子1と同様である（図7参照）。このため、当該寄生容量については詳細な説明は省略する。

【0 2 3 7】

図15に示すように、偶数カラム領域ECAの分割ランジスタNT 2 1 aのゲートと、奇数カラム領域OCAの分割ランジスタNT 2 1 aのゲートとの間には、寄生容量Cp 3 1が生じている。偶数カラム領域ECAの分割ランジスタNT 2 2 aのゲートと、奇数カラム領域OCAの分割ランジスタNT 2 1 bのゲートとの間には、寄生容量Cp

10

20

30

40

50

3 2が生じている。偶数カラム領域E C Aの分割トランジスタN T 2 2 bのゲートと、奇数カラム領域O C Aの分割トランジスタN T 2 2 bのゲートとの間には、寄生容量C p 3 3が生じている。偶数カラム領域E C Aの分割トランジスタN T 2 1 bのゲートと、奇数カラム領域O C Aの分割トランジスタN T 2 2 aのゲートとの間には、寄生容量C p 3 4が生じている。

【0 2 3 8】

偶数カラム領域E C Aの分割キャパシタC 2 4 aと、奇数カラム領域O C Aの分割キャパシタC 2 4 aとの間には、寄生容量C p 3 5が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 bと、奇数カラム領域O C Aの分割キャパシタC 2 4 bとの間には、寄生容量C p 3 6が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 cと、奇数カラム領域O C Aの分割キャパシタC 2 4 cとの間には、寄生容量C p 3 7が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 dと、奇数カラム領域O C Aの分割キャパシタC 2 4 dとの間には、寄生容量C p 3 8が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 eと、奇数カラム領域O C Aの分割キャパシタC 2 4 eとの間には、寄生容量C p 3 9が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 fと、奇数カラム領域O C Aの分割キャパシタC 2 4 fとの間には、寄生容量C p 4 0が生じている。

【0 2 3 9】

偶数カラム領域E C Aの分割キャパシタC 2 4 gと、奇数カラム領域O C Aの分割キャパシタC 2 1 aとの間には、寄生容量C p 4 1が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 hと、奇数カラム領域O C Aの分割キャパシタC 2 1 bとの間には、寄生容量C p 4 2が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 iと、奇数カラム領域O C Aの分割キャパシタC 2 1 cとの間には、寄生容量C p 4 3が生じている。偶数カラム領域E C Aの分割キャパシタC 2 1 aと、奇数カラム領域O C Aの分割キャパシタC 2 1 dとの間には、寄生容量C p 4 4が生じている。

【0 2 4 0】

偶数カラム領域E C Aの分割キャパシタC 2 1 bと、奇数カラム領域O C Aの分割キャパシタC 2 4 gとの間には、寄生容量C p 4 5が生じている。偶数カラム領域E C Aの分割キャパシタC 2 1 cと、奇数カラム領域O C Aの分割キャパシタC 2 4 hとの間には、寄生容量C p 4 6が生じている。偶数カラム領域E C Aの分割キャパシタC 2 1 dと、奇数カラム領域O C Aの分割キャパシタC 2 4 iとの間には、寄生容量C p 4 7が生じている。偶数カラム領域E C Aの分割キャパシタC 2 4 jと、奇数カラム領域O C Aの分割キャパシタC 2 4 jとの間には、寄生容量C p 4 8が生じている。

【0 2 4 1】

偶数カラム領域E C Aの分割キャパシタC 2 3 aと、奇数カラム領域O C Aの分割キャパシタC 2 3 aとの間には、寄生容量C p 4 9が生じている。偶数カラム領域E C Aの分割キャパシタC 2 3 bと、奇数カラム領域O C Aの分割キャパシタC 2 3 bとの間には、寄生容量C p 5 0が生じている。偶数カラム領域E C Aの分割キャパシタC 2 3 cと、奇数カラム領域O C Aの分割キャパシタC 2 3 cとの間には、寄生容量C p 5 1が生じている。偶数カラム領域E C Aの分割キャパシタC 2 3 dと、奇数カラム領域O C Aの分割キャパシタC 2 3 dとの間には、寄生容量C p 5 2が生じている。偶数カラム領域E C Aの分割キャパシタC 2 3 eと、奇数カラム領域O C Aの分割キャパシタC 2 3 eとの間には、寄生容量C p 5 3が生じている。偶数カラム領域E C AのキャパシタC 2 2、奇数カラム領域O C AのキャパシタC 2 2との間には、寄生容量C p 5 4が生じている。

【0 2 4 2】

本変形例による撮像素子は、差動アンプ2 1 2に2つの差動対を有しているが、いずれの差動対についても、容量の配置を偶数カラム領域E C Aと奇数カラム領域O C Aとで異ならせている。切替容量として機能するキャパシタC 1 3の全部又は一部が画素信号V S L 1及び参照信号R A M P 1に対する入力容量としてどのような付加されたとしても、差動アンプ2 1 2の一方の差動対に対して、隣の画素信号V S L 1の大振幅アグレッサの干

10

20

30

40

50

渉のアンバランスの絶対値が突出して大きくなっている。同様に、切替容量として機能するキャパシタC23の全部又は一部が画素信号VSL2及び参照信号RAMP2に対する入力容量としてどのような付加されたとしても、差動アンプ212の他方の差動対に対して、隣の画素信号VSL2の大振幅アグレッサの干渉のアンバランスの絶対値が突出して大きくなっている。

【0243】

より具体的には、奇数カラム領域OCAにおける分割キャパシタC21a～C21d（第五分割容量の一例）は、偶数カラム領域ECAにおける分割キャパシタC21a～C21d（第一分割容量の一例）に対向する個数と、偶数カラム領域ECAにおける分割キャパシタC24a～C24j（第四分割容量の一例）に対向する個数とが異ならせて配置されている。図15に示す構成例では、奇数カラム領域OCAにおける分割キャパシタC21a～C21dのうちの3個の分割キャパシタC21a～C21cが、偶数カラム領域ECAにおいてNMOSトランジスタNT22に接続された分割キャパシタC24g～C24iに対向して配置されている。また、奇数カラム領域OCAにおける分割キャパシタC21a～C21dのうちの1個の分割キャパシタC21dが、偶数カラム領域ECAにおいてNMOSトランジスタNT21に接続された分割キャパシタC21aに対向して配置されている。

【0244】

分割キャパシタC21a～C21d、キャパシタC22及び分割キャパシタC23a～C23eは、並列に接続されている。また、分割キャパシタC24a～C24jは、並列に接続されている。このため、分割キャパシタ同士が対向する個数は、当該分割キャパシタで構成されるキャパシタ同士が対向する面積として見ることもできる。したがって、奇数カラム領域OCAのキャパシタC21（第五容量の一例）は、偶数カラム領域ECAのキャパシタC21（第一容量の一例）とキャパシタC24（第四容量の一例）に異なる面積で対向して配置されている。

【0245】

奇数カラム領域OCAの分割キャパシタC11a～C11dについては、上記実施形態における奇数カラム領域OCAの分割キャパシタC11a～C11dと同様に、偶数カラム領域ECAのNMOSトランジスタNT12に接続された分割キャパシタC14g～C14iとNMOSトランジスタNT11に接続された分割キャパシタC11aに対向して配置されている。

【0246】

したがって、詳細な説明は省略するが、本変形例による撮像素子は、隣り合う偶数カラム領域ECAのADC105i（iはn以下の偶数）と奇数カラム領域OCAのADC105i（iはn以下の奇数）とのクロストークを低減できる。より具体的には、偶数カラム領域ECAのADC105（2i）（iはn以下の奇数）と奇数カラム領域OCAのADC105（2i-1）（iはn以下の奇数）とのNMOSトランジスタNT11，NT12の差動対におけるクロストークが低減される。また、偶数カラム領域ECAのADC105（2i）（iはn以下の偶数）と奇数カラム領域OCAのADC105（2i-1）（iはn以下の偶数）とのNMOSトランジスタNT21，NT22の差動対におけるクロストークが低減される。

【0247】

<撮像素子を半導体チップで構成する場合の構成例>

次に、撮像素子を半導体チップで構成する場合の構成例について図16及び図17を用いて説明する。

図16に示すように、1つのベアチップで撮像素子を構成する場合には、例えば1つのベアチップ20上に、画素部101が形成される。画素部101の周囲に、ADC群12、タイミング制御回路102、垂直走査回路103、DAC104及び水平転送走査回路106などの画素部101以外の回路が含まれる回路ブロック301，302，303が形成される。

10

20

30

40

50

【0248】

図17に示すように、上下に積層される2つのベアチップによって積層型の撮像素子を構成する場合には、2つのベアチップのうちの上側に積層される上チップ21に画素部101が形成される。また、下側に積層される下チップ22には、ADC群12、タイミング制御回路102、垂直走査回路103、DAC104及び水平転送走査回路106などの画素部101以外の回路が含まれる回路ブロック304が形成される。比較器121を含むADC105は、下チップ22に設けられた回路ブロック304に形成される。なお、比較器121やADC105は、上チップ21に形成されてもよい。

【0249】

図17に示すように、積層型の撮像素子が形成される場合、すなわち、画素部101が形成される上チップ21と、回路ブロック304が形成される下チップ22とで構成する場合には、下チップ22を上チップ21と同一サイズに構成することが要求されることがある。

【0250】

画素部101が形成される上チップ21は、図16に示す1つのベアチップ20上に形成される画素部101と同程度のサイズに構成することができる。下チップ22を、上チップ21と同一サイズに構成する場合には、図16に示す回路ブロック301～303に含められる回路の全てを、上チップ21と同一サイズに構成される下チップ22に回路ブロック304として形成する必要がある。

【0251】

そのため、回路ブロック304に含められるADC群12等の回路には、さらなる小型化が要求される。例えば、ADC105については、隣接する列の間の距離（カラムピッチ）が、図16に示す撮像素子を1つのベアチップ20で構成する場合よりも短くすることが要請される。

【0252】

このような場合であっても、奇数カラム領域OCAのキャパシタC11を、偶数カラム領域ECAのキャパシタC11及びキャパシタC14に異なる面積で対向して配置することにより、ADC105におけるクロストークの低減を図ることができる。

【0253】

本技術は、上記実施形態によらず、種々の変形が可能である。

上記実施形態では、偶数カラム領域ECA及び奇数カラム領域OCAのそれぞれのキャパシタC11は、分割キャパシタの1個分だけずらして配置されているが、本技術はこれに限られない。偶数カラム領域ECA及び奇数カラム領域OCAのそれぞれのキャパシタC11をどの程度ずらして配置するのかは、ADCの要求仕様等で決まる各部分の容量値や容量数によって異なる。

【0254】

本開示に係る技術は、以上のような固体撮像装置に適用することができる。

【0255】

なお、本技術の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

【0256】

例えば、本技術は以下のような構成も取ることができる。

【0257】

(1)

光電変換素子を有する第一画素に接続された第一信号線に接続されて第一領域に配置された第一容量と、

前記第一領域に配置されて参照信号を生成する参照信号生成部に接続された第二容量と、

前記第一領域に配置されて前記第一容量及び前記第二容量に接続可能に設けられた第三容量と、

10

20

30

40

50

前記第一領域に配置されて基準電位の供給部に接続された第四容量と、

前記第一領域に配置されて前記第一容量、前記第二容量及び前記第三容量が接続された一方の入力部、並びに前記第四容量が接続された他方の入力部を有する第一差動アンプと、
光電変換素子を有する第二画素に接続された第二信号線に接続され、前記第一容量と前記第四容量に異なる面積で対向して前記第一領域に隣り合う第二領域に配置された第五容量と、

前記第二領域に配置されて前記参照信号生成部に接続された第六容量と、

前記第二領域に配置されて前記第五容量及び前記第六容量に接続可能に設けられた第七容量と、

前記第二領域に配置されて前記基準電位が供給される第八容量と、

前記第二領域に配置されて前記第五容量、前記第六容量及び前記第七容量が接続された一方の入力部、並びに前記第八容量が接続された他方の入力部を有する第二差動アンプとを備える撮像素子。

(2)

前記第一容量、前記第三容量、前記第四容量、前記第五容量、第七容量及び前記第八容量はそれぞれ、分割された複数の分割容量を有し、

前記第五容量の前記分割容量である第五分割容量は、前記第一容量の前記分割容量である第一分割容量に対向する個数と、前記第四容量の前記分割容量である第四分割容量に対向する個数とが異ならせて配置されている

前記(1)に記載の撮像素子。

(3)

前記第三容量の前記分割容量である第三分割容量は、前記第一領域の所定の範囲内に集約されており、

前記第七容量の前記分割容量である第七分割容量は、前記第二領域の所定の範囲内に集約されており、

複数の前記第三分割容量及び複数の前記第七分割容量は、1対1の関係で対向して配置されている

前記(2)に記載の撮像素子。

(4)

前記第一容量と前記第三容量との接続及び切断を切り替える第一切替素子と、

前記第二容量と前記第三容量との接続及び切断を切り替える第二切替素子と、

隣り合う2つの前記第三分割容量の接続及び切断を切り替える第三切替素子と、

前記第五容量と前記第七容量との接続及び切断を切り替える第五切替素子と、

前記第六容量と前記第七容量との接続及び切断を切り替える第六切替素子と、

隣り合う2つの前記第七分割容量の接続及び切断を切り替える第七切替素子と

を備える前記(3)に記載の撮像素子。

(5)

前記第一分割容量、前記第二容量、及び前記第三分割容量の合計数は、前記第四容量の分割容量である第四分割容量の総数と同じであり、

前記第五分割容量、前記第六容量、及び前記第七分割容量の合計数は、前記第八容量の分割容量である第八分割容量の総数と同じであり、

前記第一分割容量、前記第二容量、前記第三分割容量及び前記第四分割容量の合計数は、前記第五分割容量、前記第六容量、前記第七分割容量及び前記第八分割容量の合計数と同じである

前記(4)に記載の撮像素子。

(6)

複数の前記第一分割容量のそれぞれ、前記第二容量、複数の前記第三分割容量のそれぞれ、複数の前記第四分割容量のそれぞれ、複数の前記第五分割容量のそれぞれ、前記第六容量、複数の前記第七分割容量のそれぞれ、及び複数の前記第八分割容量のそれぞれは、互いに同じ容量値を有する

10

20

30

40

50

前記（５）に記載の撮像素子。

（７）

複数の前記第一分割容量のそれぞれは、前記第一信号線に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

前記第二容量は、前記参照信号生成部に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第三分割容量のそれぞれは、前記第三切替素子に接続された一方の電極と、前記第一差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第四分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第一差動アンプの前記他方の入力部に接続された他方の電極とを有し、

複数の前記第五分割容量のそれぞれは、前記第二信号線に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、

前記第六容量は、前記参照信号生成部に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第七分割容量のそれぞれは、前記第七切替素子に接続された一方の電極と、前記第二差動アンプの前記一方の入力部に接続された他方の電極とを有し、

複数の前記第八分割容量のそれぞれは、前記基準電位の供給部に接続された一方の電極と、前記第二差動アンプの前記他方の入力部に接続された他方の電極とを有する

上記（５）又は（６）に記載の撮像素子。

【符号の説明】

【０２５８】

１ 撮像素子

４ 信号処理部

５ 出力部

６ 制御部

１２ ＡＤＣ群

２０ ペアチップ

２１ 上チップ

２２ 下チップ

１００ デジタルカメラ

１０１ 画素部

１０２ タイミング制御回路

１０３ 垂直走査回路

１０６ 水平転送走査回路

１０７ アンプ回路

１０８ 信号処理回路

１０９ 画素駆動線

１１０ 垂直信号線

１１１ 水平転送線

１２１，１２１ａ，１２１ｂ 比較器

１２２ カウンタ

１２３ ラッチ

１５１ フォトダイオード

１５２ 転送トランジスタ

１５４ 増幅トランジスタ

１５５ 選択トランジスタ

１５６ リセットトランジスタ

１５７ 定電流源

２０１，２１１，２１２ 差動アンプ

３０１，３０２，３０３，３０４ 回路ブロック

C 1 1 ~ C 1 5 , C 2 1 ~ C 2 5 キャパシタ

C11a~C11d, C13a~C13e, C14a~C14j, C21a~C21d,
C23a~C23e, C24a~C24j 分割キャパシタ

C p 1 ~ C o 2 4 , C p 3 4 ~ C o 5 4 寄生容量

NT 1 1, NT 1 2, NT 1 3, NT 2 1, NT 2 2, NT 2 3, TN 2 1, NT 3 2

NMOSトランジスタ

NT11a, NT11b, NT12a, NT12b, NT21a, NT21b 分割トランジスタ, NT22a, NT22b 分割トランジスタ

O C A 奇数カラム領域

P 単位画素

PT11, PT12, PT31, PT32, PT33 PMOSトランジスタ

RAMP, RAMP 1, RAMP 2 参照信号

SW11～SW14, SW13a～SW13d, SW15a～SW15e, SW17, SW18, SW21～SW24, SW23a～SW23d, SW25a～SW25e、SW27, SW28 スイッチ

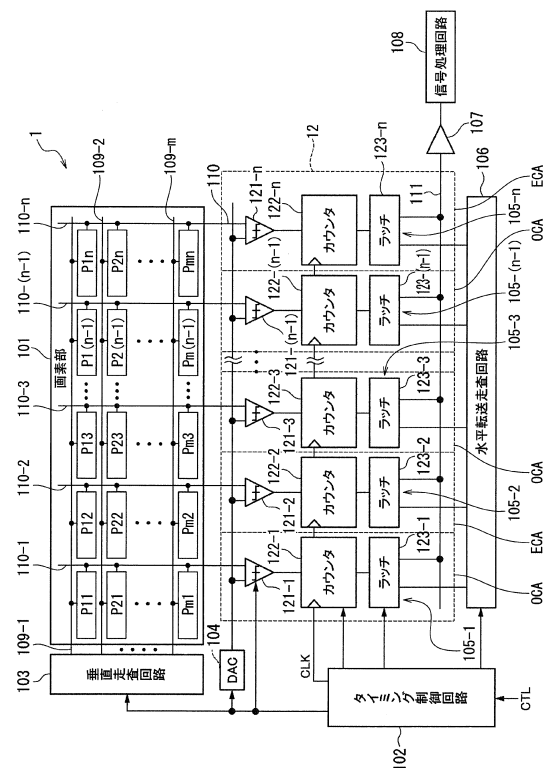
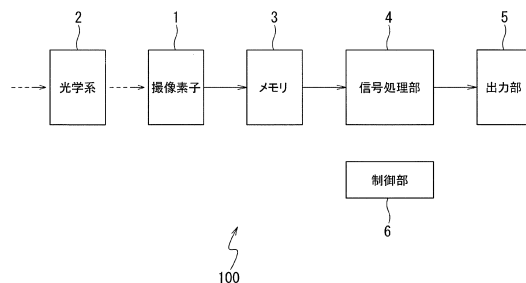
SW15, SW25 スイッチ群

V S L , V S L 1 , V S L 2 画素信号

【図面】

【図 1】

【図 2】



10

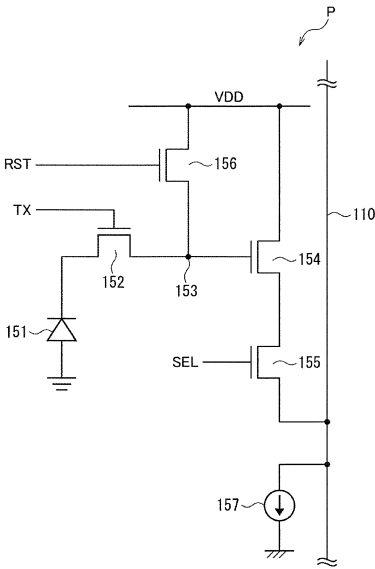
20

30

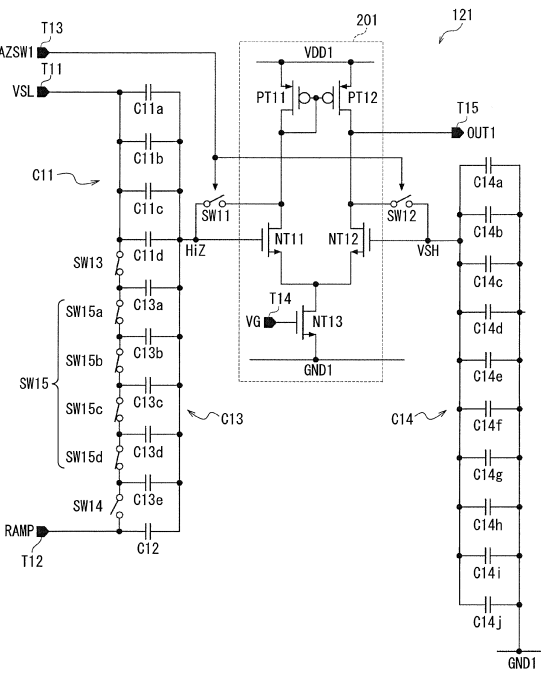
40

50

【図 3】



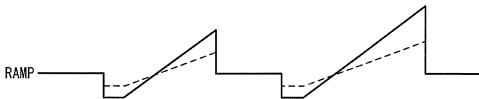
【図 4】



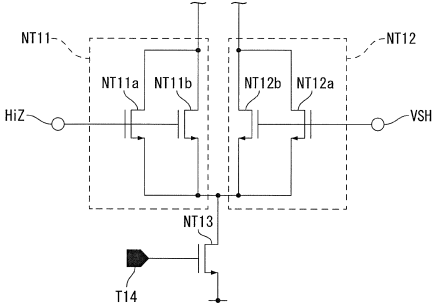
10

20

【図 5】



【図 6】

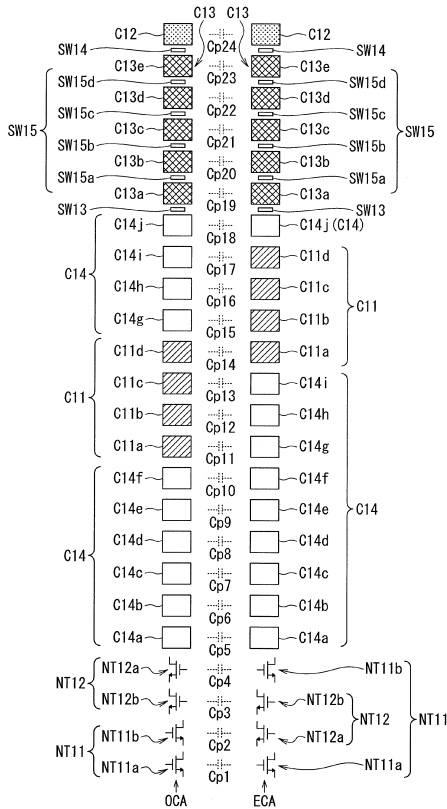


30

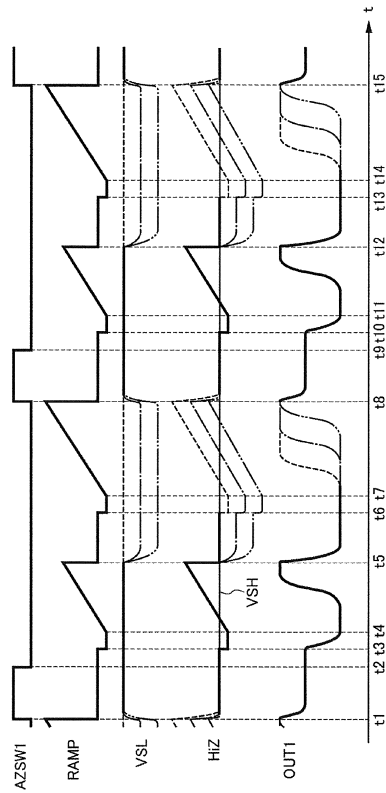
40

50

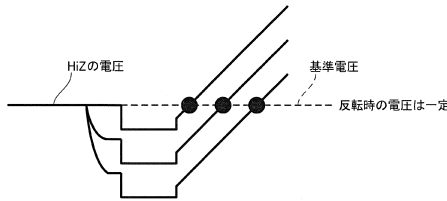
【図 7】



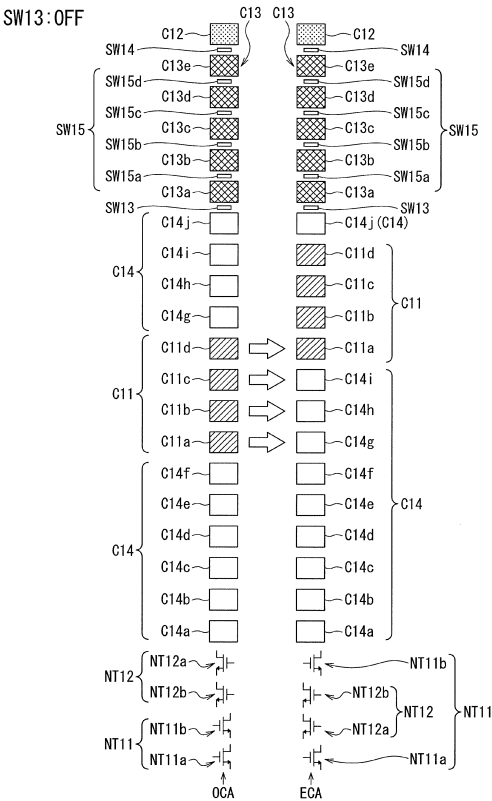
【図 8】



【図 9】



【図 10】



10

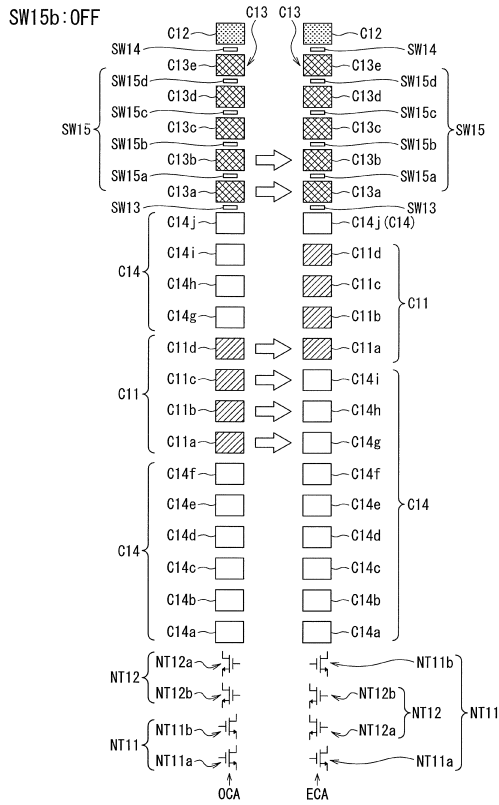
20

30

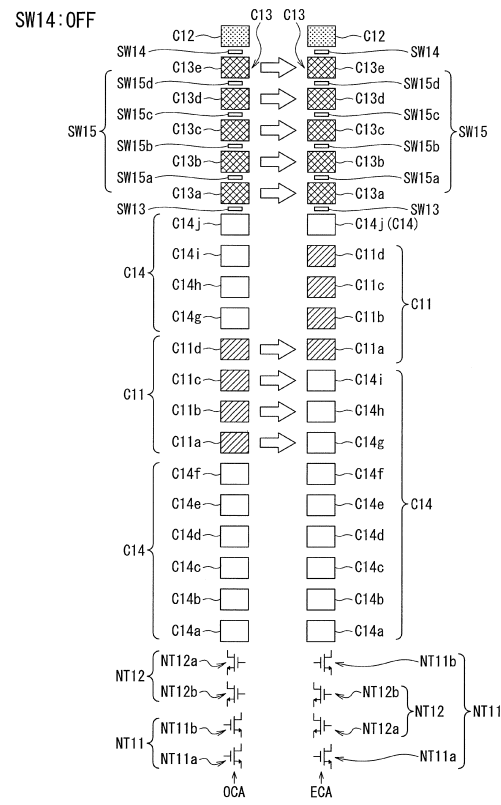
40

50

【図 1 1】



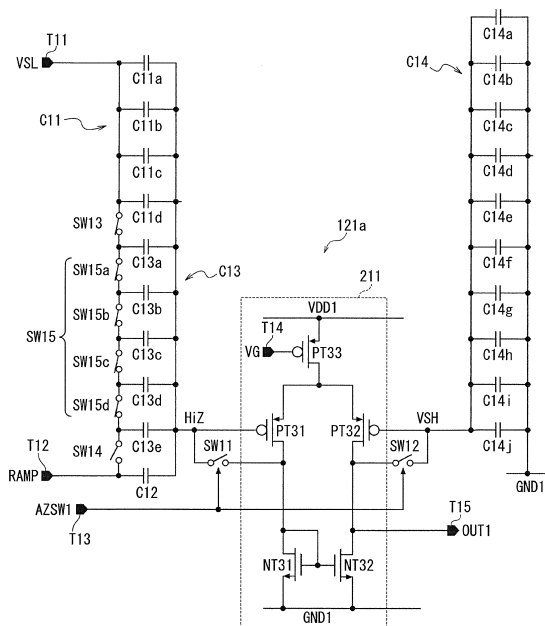
【図 1 2】



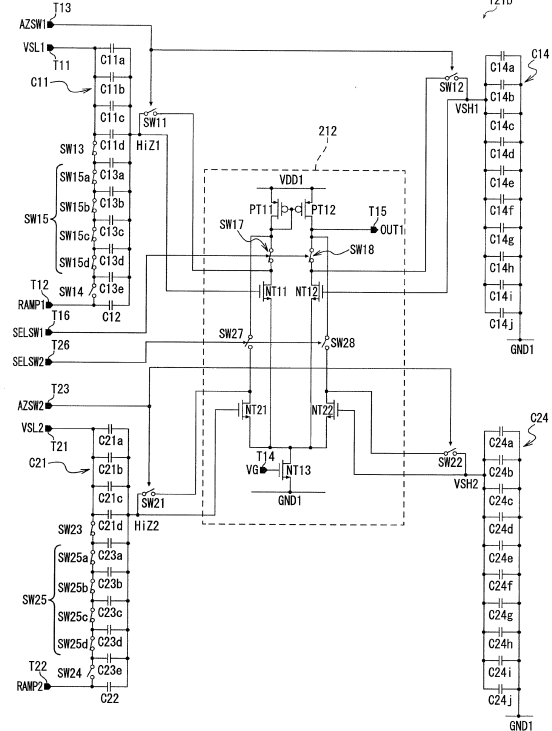
10

20

【図 1 3】



【図 1 4】

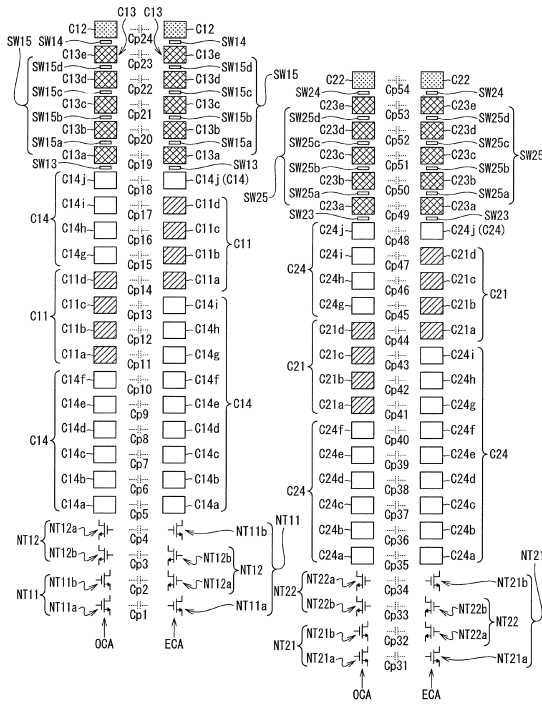


30

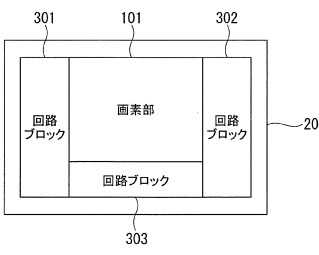
40

50

【図 15】



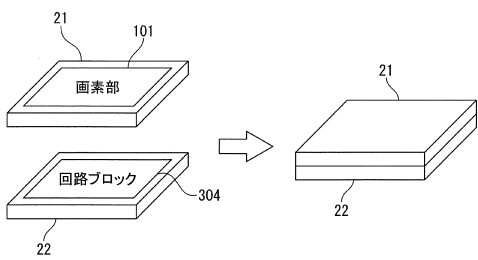
【図 16】



10

20

【図 17】



30

40

50

フロントページの続き

神奈川県厚木市岡田四丁目16番1号 ソニーL S Iデザイン株式会社内

審査官 松永 隆志

- (56)参考文献 国際公開第2016/139857 (WO, A1)
国際公開第2017/110484 (WO, A1)
特開2013-240006 (JP, A)
中国特許出願公開第107359876 (CN, A)
- (58)調査した分野 (Int.Cl., DB名)
H04N 23/00-25/79
H03M 1/56
H01L 27/146