

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年9月25日(2008.9.25)

【公表番号】特表2007-515080(P2007-515080A)

【公表日】平成19年6月7日(2007.6.7)

【年通号数】公開・登録公報2007-021

【出願番号】特願2006-545758(P2006-545758)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/06 (2006.01)

【F I】

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 8 E

H 0 1 L 29/78 6 5 8 G

H 0 1 L 29/78 6 5 8 F

H 0 1 L 29/06 3 0 1 D

【手続補正書】

【提出日】平成20年8月4日(2008.8.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体デバイスの製造方法であって、

相互に対向する第 1 及び第 2 の主表面を有する半導体基板を設け、上記の半導体基板は、第 2 主表面に第 1 導電率形の強くドーブされた領域を有すると共に、第 1 主表面に第 1 導電率形の弱くドーブされた領域を有し、

上記の半導体基板に複数個の溝と複数個の台地(メサ)とを形成し、上記複数個の溝の各々は、強くドーブされた領域に向け、第 1 主表面から第 1 深さ位置まで伸びる第 1 延長部分を有して、隣接するメサ同士の間位置し、各メサは側壁面を有し、

また、第 1 導電率形のドーパントを、半導体基板の所定のメサ領域に、1 つのメサの側壁面で埋め込み、少なくとも 1 つのメサの側壁面に、強くドーブされた領域より低いドーブ濃度を有する第 1 導電率形の第 1 ドーブ領域を形成し、

第 1 導電率形のドーパントを埋め込んだ側壁に対向する側壁面で、上記の所定メサ領域に第 2 導電率形のドーパントを埋め込んで、第 1 導電率形のドーパントを埋め込んだ側壁に対向する側壁面に第 2 導電率形の第 2 ドーブ領域を設け、

少なくとも、所定のメサ領域に隣接する溝の両側壁及び底部ならびに所定メサ領域の頂部とを酸化して頂部酸化物層を形成し、

上記の頂部酸化物層をエッチバックして所定のメサの所定部分を露出させ、

テトラエチルオルトシリケート(TEOS)及びファイバークラス(SOG)酸化物沈着を含むグループから選ばれた手順を用いて酸化物層を沈着させてエッチバックされた頂部層と所定のメサとを被覆し、

デバイスの頂面を平坦化することからなるもの。

【請求項 2】

請求項 1 に記載の半導体デバイスの製造方法であって、更に、

第 1 および第 2 ドープ領域の第 1 主表面に、電氣的に第 2 ドープ領域に連結する、第 2 導電率形の第 3 ドープ領域を設け、

第 1 主表面あるいは 1 つの溝 9 の側壁面の少なくとも一方に第 1 導電率形の第 4 ドープ領域を、第 3 ドープ領域を挟んで第 1 ドープ領域に対向するように設け、

第 1 ドープ領域と第 4 ドープ領域との間にゲート遮断層を介在させた状態でゲート電極層を、第 3 ドープ領域に対向させて設けることからなるもの。

【請求項 3】

請求項 2 に記載の半導体デバイスの製造方法であって、ゲート電極層が上記の第 1 主表面上に形成するもの。

【請求項 4】

請求項 1 に記載の半導体デバイスの製造方法であって、更に、

第 1 および第 2 ドープ領域の第 1 主表面に、電氣的に第 2 ドープ領域に連結する、第 2 導電率形の第 3 ドープ領域を設けることからなるもの。

【請求項 5】

請求項 1 に記載の半導体デバイスの製造方法であって、半導体デバイスの製造において、

第 1 および第 2 導電率形のドーパントの各拡散長さが、隣接対の溝の両側壁面から、第 1 および第 2 ドープ領域の P - N 接合までの距離より長いもの。

【請求項 6】

半導体デバイスの製造方法であって、

相互に対向する第 1 及び第 2 の主表面を有する半導体基板を設け、上記の半導体基板は、

第 2 主表面に第 1 導電率形の強くドーピングされた領域を有して、第 1 主表面に第 1 導電率形の弱くドーピングされた領域を有し、

上記の半導体基板に複数個の溝と複数個のメサ領域とを設け、上記第複数個のメサ領域の各々は、強くドーピングされた領域に向け、第 1 主表面から第 1 深さ位置まで伸びる第 1 延長部分と側壁面とを有し、複数個のメサ領域の各々は、複数個の溝の 1 つにより囲まれ、

第 1 導電率形のドーパントを、複数個のメサ領域のうちの所定のグループに、複数個の溝の 1 つの側壁面で、打込み、上記の所定のグループのメサ領域の各側壁面に、強くドーピングされた領域より低いドーピング濃度を有する第 1 導電率形の第 1 ドープ領域を形成し、

第 1 導電率形のドーパントを打込んだ側壁に対向する側壁面で、上記のメサ領域の所定のグループに第 2 導電率形のドーパントを打込んで、第 1 導電率形のドーパントを打込んだ側壁に対向する側壁面に第 2 導電率形の第 2 ドープ領域を設け、

所定グループのメサ領域に隣接する溝の各々の少なくとも底部ならびに所定グループのメサ領域の両側面と頂部とを酸化して、頂部酸化物層を形成し、

この頂部酸化物層をエッチバックして所定のグループのメサ領域の所定部分を露出させ、

テトラエチルオルトシリケート (TEOS) 及びファイバークラス (SOG) 酸化物沈着を含むグループから選ばれた手順を用いて酸化物層を沈着させてエッチバックされた頂部層と所定のメサとを被覆し、

デバイスの頂面を平坦化することからなるもの。

【請求項 7】

請求項 6 に記載の半導体デバイスの製造方法であって、更に、

第 1 および第 2 ドープ領域の第 1 主表面に、電氣的に第 2 ドープ領域に連結する、第 2 導電率形の第 3 ドープ領域を設け、

第 1 主表面あるいは 1 つの溝 9 の側壁面の一方に第 1 導電率形の第 4 ドープ領域を、第 3 ドープ領域を挟んで第 1 ドープ領域に対向するように設け、

ゲート電極層を、第 1 ドープ領域と第 4 ドープ領域との間にゲート遮断層を介在させ

て第 3 ドープ領域に対向させて設けることからなるもの。

【請求項 8】

請求項 6 に記載の半導体デバイスの製造方法であって、ゲート電極層を第 1 主表面上に形成するもの。

【請求項 9】

請求項 6 に記載の半導体デバイスの製造方法であって、更に、

第 1 および第 2 ドープ領域の第 1 主表面に、電氣的に第 2 ドープ領域に連結する、第 2 導電率形の第 3 ドープ領域を設けることからなるもの。

【請求項 10】

請求項 6 に記載の半導体デバイスの製造方法であって、更に、

電極層を第 1 ドープ領域とオーミック接触させることからなるもの。

【請求項 11】

請求項 6 に記載の半導体デバイスの製造方法であって、半導体デバイスの製造において、

第 1 および第 2 導電率形のドーパントの各拡散長さが、隣接対の溝の両側壁面から、第 1 および第 2 ドープ領域の P - N 接合までの距離より長いもの。

【請求項 12】

請求項 1 に記載の半導体デバイスの製造方法であって、複数個の溝の各々が、その他の溝に比べてほぼ同じ幅を有するもの。

【請求項 13】

請求項 1 に記載の半導体デバイスの製造方法であって、各側壁面が第 1 主表面に対し、所定の傾斜角度を維持するもの。

【請求項 14】

請求項 1 に記載の半導体デバイスの製造方法であって、第 1 導電率形のドーパントが、第 1 の所定の埋め込み角度で行われるもの。

【請求項 15】

請求項 1 に記載の半導体デバイスの製造方法であって、第 2 導電率形のドーパントが、第 2 の所定の打込み角度で行われるもの。

【請求項 16】

請求項 6 に記載の半導体デバイスの製造方法であって、複数個の溝の各々が、その他の溝に比べてほぼ同じ幅を有するもの。

【請求項 17】

請求項 6 に記載の半導体デバイスの製造方法であって、各側壁面が第 1 主表面に対し、所定の傾斜角度を維持するもの。

【請求項 18】

請求項 6 に記載の半導体デバイスの製造方法であって、第 1 導電率形のドーパントが、第 1 の所定の打込み角度で行われるもの。

【請求項 19】

請求項 6 に記載の半導体デバイスの製造方法であって、第 2 導電率形のドーパントが、第 2 の所定の打込み角度で行われるもの。

【請求項 20】

相互に対向する第 1 及び第 2 の主表面を有する半導体基板からなり、この半導体基板は、第 2 主表面に第 1 導電率形の強くドーブされた領域を有すると共に、第 1 主表面に第 1 導電率形の弱くドーブされた領域を有し、

上記の第 1 主表面は複数個の溝と複数個のメサとを含み、上記複数個の溝の各々は、強くドーブされた領域に向け、第 1 主表面から第 1 深さ位置まで伸びる第 1 延長部分を有して、隣接するメサ同士の間位置し、各メサは側壁面を有し、

第 1 導電率形の第 1 ドープ領域は、少なくとも 1 つのメサの側壁面に、強くドーブされた領域より低いドーブ濃度を有し、

第 2 導電率形の第 2 ドープ領域は、第 1 ドープ領域を有する側壁面に対向する側壁面

に形成され、

少なくとも、所定のメサ領域に隣接する溝の両側壁及び底部ならびに所定メサ領域の頂部とに頂部酸化物層が形成され、

第2酸化物層が、テトラエチルオルトシリケート(TEOS)及びファイバークラス(SOG)酸化物沈着を含むグループから選ばれた方法を用いて形成され、少なくともエッチバックされた頂部層の1部と所定のメサ領域とを被覆するものからなる半導体デバイス。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明は、また、相互に対向する第1及び第2の主表面を有する半導体基板を設けることを含む半導体デバイスの製造方法からなる。上記の半導体基板は、第2主表面に第1導電率形の強くドーパされた領域を有し、第1主表面に第1導電率形の弱くドーパされた領域を有する。この方法は、また、上記の半導体基板に複数個の溝と複数個のメサ領域とを設けることを含む。上記第複数個のメサ領域の各々は、強くドーパされた領域に向け、第1主表面から第1深さ位置まで伸びる第1延長部を有し、第1主表面に対し所定の傾斜を維持する側壁面を有する。各溝は、その他の溝に比べてほぼ等しい幅を有する。各メサ領域は、複数個の溝の1つによって囲まれている。この方法は、また、第1導電率形のドーパントを、複数個のメサ領域のうちの所定のグループに、複数個の溝の1つの側壁面で、第1所定埋め込み角度で埋め込み、上記の所定のグループのメサ領域の各側壁面に、強くドーパされた領域より低いドーパ濃度を有する第1導電率形の第1ドーパ領域を形成することを含む。また、この方法は、第1導電率形のドーパントを打込んだ側壁に対向する側壁面で、上記のメサ領域の所定のグループに第2導電率形のドーパントを、第2所定埋め込み角度で埋め込んで、第1導電率形のドーパントを埋め込んだ側壁に対向する側壁面に第2導電率形の第2ドーパ領域を設けると共に、複数個の溝の深さ方向に沿って位置する第1および第2ドーパ領域のP-N接合を提供することを含む。更にまた、この方法は各溝の底部ならびに複数個のメサの側壁面と頂部とを酸化して、頂部酸化物層を形成し、この頂部酸化物層をエッチバックして所定のグループのメサ領域の所定部分を露出させ、テトラエチルオルトシリケート(TEOS)及びファイバークラス(SOG)酸化物沈着を含むグループから選ばれた方法を用いて酸化物層を沈着させてエッチバックされた頂部層と所定のメサとを被覆して、デバイスの頂面を平坦化することを含む。