

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3622304号

(P3622304)

(45) 発行日 平成17年2月23日(2005.2.23)

(24) 登録日 平成16年12月3日(2004.12.3)

(51) Int.Cl.⁷

F I

G 1 1 C 14/00

G 1 1 C 11/34 3 5 2 A

G 1 1 C 11/22

G 1 1 C 11/22

H O 1 L 21/8242

H O 1 L 27/10 4 5 1

H O 1 L 27/10

H O 1 L 27/10 6 5 1

H O 1 L 27/108

請求項の数 14 (全 24 頁)

(21) 出願番号 特願平7-340366
 (22) 出願日 平成7年12月27日(1995.12.27)
 (65) 公開番号 特開平9-180466
 (43) 公開日 平成9年7月11日(1997.7.11)
 審査請求日 平成13年5月30日(2001.5.30)

前置審査

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100075096
 弁理士 作田 康夫
 (72) 発明者 関口 知紀
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究
 所内
 (72) 発明者 藤澤 宏樹
 東京都青梅市今井2326番地
 株式会社日立製作所デバイス
 開発センタ内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

強誘電体膜を用いたキャパシタと選択トランジスタとを有するメモリーセルと、
 前記選択トランジスタのソースまたはドレインに接続された第1のデータ線と、
 前記第1データ線に対応して設けられた第2データ線と、
 前記選択トランジスタのゲートに接続され、前記第1及び第2データ線に交差するように
 配置されたワード線と、
 前記第1データ線と前記第2データ線との間の電圧を増幅する増幅回路と、
 前記増幅回路を駆動する第1電圧又は前記第1電圧よりも小さい第2電圧を供給するた
 めの内部電源発生回路とを具備し、

前記キャパシタは第1電位に接続された第1電極と前記選択トランジスタのドレインま
 たはソースに接続された第2電極とを有し、

前記第1電圧は第2電位と第3電位との電位差であり、

前記第2電圧は第4電位と第5電位との電位差であり、

前記第1から第5電位は、第2電位<第4電位<第1電位<第5電位<第3電位の関係
 が成り立つことを特徴とする半導体記憶装置。

【請求項2】

強誘電体膜を用いたキャパシタと選択トランジスタとを有するメモリーセルと、

前記選択トランジスタのソースまたはドレインに接続された第1のデータ線と、

前記第1データ線に対応して設けられた第2データ線と、

前記選択トランジスタのゲートに接続され、前記第 1 及び第 2 データ線に交差するように配置されたワード線と、

前記第 1 データ線と前記第 2 データ線との間の電圧を増幅する増幅回路と、

前記増幅回路を駆動する第 1 電圧又は前記第 1 電圧よりも小さい第 2 電圧を供給するための内部電源発生回路とを具備し、

前記キャパシタは第 1 電位に接続された第 1 電極と前記選択トランジスタのドレインまたはソースに接続された第 2 電極とを有し、

前記第 1 電圧は第 2 電位と第 3 電位との電位差であり、

前記第 2 電圧は第 4 電位と第 5 電位との電位差であり、

前記第 1 から第 5 電位は、第 2 電位 < 第 4 電位 < 第 5 電位 < 第 1 電位 < 第 3 電位、または、第 2 電位 < 第 1 電位 < 第 4 電位 < 第 5 電位 < 第 3 電位の関係が成り立つことを特徴とする半導体記憶装置。

10

【請求項 3】

強誘電体膜を用いたキャパシタと選択トランジスタとを有するメモリーセルと、

前記選択トランジスタのソースまたはドレインに接続された第 1 のデータ線と、

前記第 1 データ線に対応して設けられた第 2 データ線と、

前記選択トランジスタのゲートに接続され、前記第 1 及び第 2 データ線に交差するように配置されたワード線と、

前記第 1 データ線と前記第 2 データ線との間の電圧を増幅する増幅回路と、

前記増幅回路を駆動する第 1 電圧又は前記第 1 電圧よりも小さい第 2 電圧を供給するための内部電源発生回路とを具備し、

20

前記キャパシタは第 1 電位に接続された第 1 電極と前記選択トランジスタのドレインまたはソースに接続された第 2 電極とを有し、

前記第 1 電圧は第 2 電位と第 3 電位との電位差であり、

前記第 2 電圧は第 4 電位と第 5 電位との電位差であり、

前記キャパシタの分極を反転させるために前記キャパシタの両端に印加する必要がある最小電圧を抗電圧と定義した場合において、

前記第 1 から第 5 電位は、第 2 電位 < 第 1 電位 - 抗電圧 < 第 4 電位 < 第 1 電位 < 第 5 電位 < 第 1 電位 + 抗電圧 < 第 3 電位の関係が成り立つことを特徴とする半導体記憶装置。

【請求項 4】

30

請求項 1 から 3 の何れか一つにおいて、

前記半導体記憶装置には外部から第 1 外部電源電位と第 2 外部電源電位とが接続され、前記第 3 電位は前記第 1 外部電源電位と第 2 外部電源電位を受けて発生することを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 から 3 の何れか一つにおいて、

前記半導体記憶装置には外部から第 1 外部電源電位と第 2 外部電源電位とが接続され、前記第 3 電位は第 1 外部電源電位に等しいことを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 から 3 の何れか一つにおいて、

40

前記半導体記憶装置には外部から第 1 外部電源電位と第 2 外部電源電位とが接続され、前記第 3 電位は前記第 1 外部電源電位と第 2 外部電源電位を受けて発生し、前記第 5 電位は第 1 外部電源電位に等しいことを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 から 3 の何れか一つにおいて、

前記半導体記憶装置には外部から第 1 外部電源電位と第 2 外部電源電位とが接続され、前記第 2 電位は前記第 2 外部電源電位に等しく、前記第 4 電位は前記第 1 外部電源電位と第 2 外部電源電位を受けて発生することを特徴とする半導体記憶装置。

【請求項 8】

請求項 1 から 3 の何れか一つにおいて、

50

前記半導体記憶装置には外部から第 1 外部電源電位と第 2 外部電源電位とが接続され、前記第 2 電位は前記第 1 外部電源電位と前記第 2 外部電源電位とが接続された負電圧発生回路により発生され、前記第 4 電位は前記第 2 外部電源電位に等しいことを特徴とする半導体記憶装置。

【請求項 9】

請求項 1 から 8 の何れか一つにおいて、

前記増幅回路に前記第 1 電圧を供給する前に前記第 1 及び第 2 データ線を前記第 2 電位以下若しくは前記第 3 電位以上の第 6 電位に接続してプリチャージし、

前記増幅回路に前記第 2 電圧を供給する前に前記第 1 及び第 2 データ線を前記第 4 電位と前記第 5 電位との間の第 7 電位に接続してプリチャージするプリチャージ手段をさらに具備することを特徴とする半導体記憶装置。

10

【請求項 10】

請求項 1 から 9 の何れか一つにおいて、

前記第 1 及び第 2 データ線に接続された Y ゲート回路と、前記 Y ゲート回路を介して前記第 1 及び第 2 データ線に接続された I/O 線と、前記 I/O 線に接続されたライトバッファ回路とをさらに具備し、

前記ライトバッファ回路は、外部から入力される情報にしたがって前記第 4 または第 5 電位を I/O 線上に出力することを特徴とする半導体記憶装置。

【請求項 11】

請求項 1 から 10 の何れか一つにおいて、前記強誘電体膜は PZT の絶縁膜を含んでなり、

前記キャパシタの少なくとも一方の電極は Pt を含んでなることを特徴とする半導体記憶装置。

20

【請求項 12】

請求項 1 から 11 のいずれか一つにおいて、前記第 1 電圧が供給された前記増幅回路によって前記キャパシタに書き込まれた情報は、外部から電源の供給を停止しても残留分極として前記強誘電体膜に記憶されていることを特徴とする半導体記憶装置。

【請求項 13】

請求項 1 から 12 のいずれか一つにおいて、

前記半導体記憶装置は 1 つの半導体チップからなり、

前記半導体チップへの電源の供給が開始された後に、前記増幅回路に前記第 1 電圧を供給することにより前記メモリーセルに記憶された情報を読みだし、その後、前記増幅回路に供給する電圧を前記第 1 電圧から前記第 2 電圧に切り換え、

30

前記半導体チップへの電源の供給が停止される前に、前記増幅回路に前記第 2 電圧を供給することにより前記メモリーセルに記憶された情報を読みだし、その後、前記増幅回路に供給する電圧を前記第 2 電圧から前記第 1 電圧に切り換えて前記メモリーセルに前記強誘電体膜の残留分極として情報を書き込むように制御する制御回路をさらに具備することを特徴とする半導体記憶装置。

【請求項 14】

強誘電体膜を用いたキャパシタと選択トランジスタとを有するメモリーセルを具備し、

前記メモリーセルは、前記キャパシタに蓄積された電荷の正負により揮発情報を記憶するとともに前記キャパシタの強誘電体膜に分極方向により不揮発情報を記憶し、

40

前記揮発情報は、電荷の正負により第 1 又は第 2 情報とされ、

前記分極情報は、分極方向により第 3 又は第 4 情報とされ、

前記メモリーセルは、前記揮発情報が第 1 情報であり前記不揮発情報が第 3 情報である第 1 状態、前記揮発情報が第 2 情報であり前記不揮発情報が第 3 情報である第 2 状態、前記揮発情報が第 1 情報であり前記不揮発情報が第 4 情報である第 3 状態、前記揮発情報が第 2 情報であり前記不揮発情報が第 4 情報である第 4 状態をし、

前記キャパシタは、前記選択トランジスタに接続される第 1 電極とプレート電位に接続される第 2 電極を有し、

前記揮発情報を書き込む際の前記第 1 電極と前記第 2 電極との間の電圧は、前記不揮発情

50

報を記憶する際の前記第 1 電極と前記第 2 電極との間の電圧より小さいことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性記憶装置に関する。

【0002】

【従来の技術】

強誘電体メモリは、半導体素子と強誘電体キャパシタを集積した、ランダムアクセスと不揮発記憶を同時に実現したメモリである。また、構造、動作原理がDRAMと類似しているため、DRAMと同程度の集積度、動作速度が実現可能であると考えられる。 10

【0003】

強誘電体メモリでは強誘電体キャパシタの残留分極の方向で情報の記憶を行っている。このため、強誘電体キャパシタの疲労の問題がある。強誘電体キャパシタは分極反転を10の10乗回から10の12乗回程度繰り返すと、残留分極の大きさが減少してくる。これに伴い、情報の読みだし時の信号量が減少し、メモリを安定に動作することが困難になる。したがって、強誘電体メモリの寿命は強誘電体キャパシタの分極反転回数で制限される。

【0004】

この疲労の程度は、強誘電体膜および電極の材料によって異なる。例えば「Japanese Journal of Applied Physics, Vol. 34 (1995) pp. 5233 - 5239」に示されているように、強誘電体膜ではPZTとSrBi2Ta2O9を比較すると、残留分極の値は前者が大きい、疲労は後者が小さい。また、例えば「Integrated Ferroelectrics, Vol. 3 (1993) pp. 365 - 376」に示されているように、PZTを用いた場合でも電極にPtを用いた場合と、ルテニウム酸化物を用いた場合とで比較すると後者の方が疲労が少ない。 20

【0005】

疲労による寿命の劣化を解決するために、これまでにシャドーRAMと呼ばれる強誘電体メモリが提案されている。シャドーRAMでは通常動作時にはDRAMと同様にキャパシタに蓄積される電荷の正負（揮発情報）を記憶し、電源をオフするときに、これを一斉に分極の方向（不揮発情報）に変換する（退避動作）。電源オンする際には、不揮発情報から揮発情報への変換を行う（リコール動作）。揮発情報の読みだし・書き込みは分極反転を起こさずに行うことが可能であるために、この方式では強誘電体キャパシタの分極反転の回数を低減し、寿命を伸ばすことができる。 30

【0006】

シャドーRAMの従来例1は特開平3-283176に示されている。図21(a)はこのシャドーRAMのメモリーセルを示している。シャドーRAMはこのメモリーセルをアレー状に複数配置して構成される。強誘電体キャパシタCの一方の電極PLは他のメモリーセルの強誘電体キャパシタと共通に接続される。Cの他方の電極SNはMOSトランジスタMNのソース電極と接続される。MNのドレインはデータ線DLに接続される。MNのゲート電極はワード線WLに接続される。 40

【0007】

揮発モードではPLをVssにする。情報を書き込むにはWLをVchにしてMNをオンし、記憶する情報の"1"、"0"に従ってDLをVccまたはVssにした状態でWLをVssに下げてCに電荷を蓄積する。ここでVssは接地電位、Vccは電源電位、VchはVccよりも高い電位である。情報を読みだすときには、DLをVcc/2にプリチャージ後WLをVchまであげて、キャパシタからデータ線へ流れ込む電荷の正負をセンスアンプで検知する。

【0008】

図 2 1 (b) の強誘電体キャパシタの状態を表わすヒステリシス曲線上でこれらの状態を示す。S N の電位を $V(SN)$ 、P L の電位を $V(PL)$ で表わし、横軸には強誘電体キャパシタの印加電圧 $V(SN) - V(PL)$ をとり、縦軸にキャパシタの分極に面積をかけた値である電荷 Q をとる。強誘電体キャパシタの分極を反転させるために、キャパシタの両端に印可する必要がある最小電圧 V_c と定義し、 V_c が $V_{cc}/2$ より小さくなるよう設計する。P L が V_{ss} なので、揮発情報の " 1 " を記憶しているときは D 1 の位置に、揮発情報の " 0 " を記憶しているときは D 0 の位置にあり、揮発動作中はキャパシタに正方向の電圧しかかからないため分極が反転しない。

【 0 0 0 9 】

不揮発モードでは P L を $V_{cc}/2$ にする。情報を書き込むには、W L を V_{ch} にあげ、記憶する情報の " 1 "、" 0 " に従って D L を V_{cc} または V_{ss} にする。この段階でのヒステリシス曲線上の状態は、B 1、B 0 にある。最後に D L を $V_{cc}/2$ に戻してから W L を V_{ss} に下げる。キャパシタの状態は B 1 からは F 1 へ移り、B 0 からは F 0 へ移る。すなわち、不揮発モードではキャパシタに正負の電圧がかかるため分極の反転が起こる。分極の方向を読み出すには D L を V_{ss} にプリチャージし、W L を V_{ch} にあげて分極反転電流の有無をセンスアンプで検知する。従って、読みだし時にも分極が反転する。

【 0 0 1 0 】

続いて特開平 3 - 5 9 9 6 に示されているシャドー R A M の従来例 2 を示す。図 2 2 (a) はこのシャドー R A M のメモリーセルを示し、(b) にヒステリシスループ上の状態を示している。本例では V_c は $V_{cc}/2 < V_c < V_{cc}$ を満たすよう設計する。

【 0 0 1 1 】

揮発モードでは P L を $V_{cc}/2$ にする。情報を書き込むには W L を V_{ch} にして M N をオンし、D L を V_{cc} または V_{ss} にした状態で W L を V_{ss} に下げて、C に電荷を蓄積する。ヒステリシス曲線上では P L が $V_{cc}/2$ なので、揮発情報の " 1 " を記憶しているときは D 1 の位置に、揮発情報の " 0 " を記憶しているときは D 0 の位置にある。書き込み、読みだし動作中にキャパシタには正負の電圧がかかるが、 V_c が $V_{cc}/2$ より大きいので、理想的には分極は反転しない。しかし、通常は図に示すように小さな分極反転が生ずる。

【 0 0 1 2 】

不揮発モードでは P L を駆動して情報の書き込みを行う。書き込む情報の " 1 "、" 0 " にしたがって D L を V_{cc} または V_{ss} にした後、W L を V_{ch} にあげる。そして、P L を V_{ss} から V_{cc} へ上げ、再び V_{ss} に戻し、分極反転を生じさせる。最後に D L を V_{ss} に戻してから W L を V_{ss} に落とす。この動作によりヒステリシス曲線上の状態は、B 1 を通って F 1 に移るか、または B 0 を通って F 0 に移る。すなわち P L を駆動することにより、キャパシタに十分大きい正負の電圧がかかるため分極反転が生ずる。読み出し時には P L を V_{ss} に落とし、D L を V_{cc} にプリチャージし、W L を V_{ch} にあげて分極反転電流の有無をセンスアンプで検知する。従って、読みだし時にも分極が反転する。

【 0 0 1 3 】

最後に、特開平 7 - 2 1 7 8 4 に示されているシャドー R A M の従来例 3 を示す。図 2 3 (a) はこのシャドー R A M のメモリーセルを示し、(b) にヒステリシスループ上の状態を示している。本例では V_c を $V_c < V_{cc}/2$ を満たすよう設計する。

【 0 0 1 4 】

本例では揮発モード、不揮発モードともに P L を $V_{cc}/2$ にする。揮発情報を書き込むには W L を V_{ch} にして M N をオンし、D L を V_{cc} または V_{ss} にした状態で W L を V_{ss} に下げて、C に電荷を蓄積する。ヒステリシス曲線上では P L が $V_{cc}/2$ なので、揮発情報の " 1 " を記憶しているときは D 1 の位置に、揮発情報の " 0 " を記憶しているときは D 0 の位置にある。キャパシタには正負の電圧がかかり、臨界電圧 V_c が $V_{cc}/2$ より小さいので、分極反転が生ずる。すなわち、揮発書き込みは不揮発書き込みも兼ねており、電荷の正負と分極の方向は常に対応している。揮発読みだし時には電荷のみを読みだす。D L を $V_{cc}/2$ にプリチャージ後 W L を V_{ch} まであげて、キャパシタからデ

10

20

30

40

50

ータ線へ流れ込む電荷の正負をセンスアンプで検知する。従って、読みだし時には分極反転は生じない。

【 0 0 1 5 】

不揮発モードでは分極を読みだす。DLをV_{ss}にプリチャージした後、WLをV_{ch}にあげ、分極反転電流の有無をセンスアンプで検知する。従って、不揮発読みだし時には分極が反転する。

【 0 0 1 6 】

【 発明が解決しようとする課題 】

従来例1では揮発動作時と不揮発動作時とでプレート電極PLの電位を変化している。したがって、電源をオフする際の退避動作中にプレート電位を変化させる必要がある。はじめに、揮発情報を読みだす際にはPLをV_{ss}にしておき、信号のセンス後にPLをV_{cc}/2に上げて不揮発情報として書き込みを行う。この退避動作は1本のワード線につながるメモリーセルについて同時に行われるので、全メモリーセルの退避動作を行うには全てのワード線を順に選択していき、その都度プレート電位を変化させる動作を繰り返す必要がある。リコール動作でも同様なPLの制御が必要である。PLは全てのメモリーセルで共通になっているためその寄生容量は大きい。したがって、退避動作、リコール動作を高速に行うことが困難であり、また消費電力が大きくなる。

【 0 0 1 7 】

従来例2においては不揮発動作時にPLをパルス駆動している。このために、ワード線方向にPLを分割しており、メモリーセルの面積が大きくなる問題がある。動作速度についても、PLの寄生容量は従来例1よりは小さくなるものの、PLを駆動するタイミングが必要であるため、高速化が難しい。

【 0 0 1 8 】

従って、揮発動作モードと不揮発動作モードをプレートの電位あるいは駆動法で切り換える方法は、チップ面積の増加、退避・リコール動作速度の低下、消費電力の増加の問題を有している。従来例3においては、PLを不揮発動作時、揮発動作時ともにV_{cc}/2とすることでこの問題を解決している。しかしながら、従来例3では揮発書き込み時に分極反転が生ずるため、書き込み回数に制限があるという問題がある。本発明の第一の課題は揮発動作時と不揮発動作時でプレート電極PLの電位を変えずに、揮発動作時の分極反転が起こらないシャドーRAMを実現することである。

【 0 0 1 9 】

また、従来例1、2では退避動作が複雑であるため、強誘電体メモリを実装しているシステムの異常等の原因で不意に電源がオフしたときには、退避動作を完全に行うのが困難である。従って、従来例1、2では揮発動作時には残留分極が一定の方向にそろっており、不揮発情報が記憶されていないために、退避動作なしで電源がオフした場合、情報が失われてしまうことになる。一方、従来例3では揮発情報と不揮発情報を同時に書き込むため、退避動作なしで電源がオフした場合、電源がオフした時点での情報が不揮発情報として残されることになり、この問題の一つの解決法を実現している。本発明の第二の課題は不揮発情報を変化させずに揮発情報の読みだし・書き込みを行うことで、揮発情報と独立な不揮発情報を記憶することである。

【 0 0 2 0 】

また、本発明の第三の課題は、強誘電体膜にPZT、電極にPtを用いたキャパシタを使用した場合でも、動作法を工夫して疲労を低減することにより、このキャパシタが大きな残留分極を有するという利点を活かすことである。

【 0 0 2 1 】

【 課題を解決するための手段 】

以上の課題を解決するため本発明の不揮発性記憶装置は、書き込み時のデータ線振幅により不揮発情報の書き込み（データ線振幅が第1の電圧）と揮発情報の書き込み（データ線振幅が第1の電圧より小さい第2の電圧）を切替える。このとき、プレート電位（第一の電位）はつねに一定にしている。すなわち、不揮発情報を書き込む場合には、データ線の

10

20

30

40

50

振幅を大きくし、強誘電体キャパシタを十分に分極させる。一方、揮発情報を書き込む際にはデータ線の振幅を小さくし、分極反転を小さく抑える。本不揮発性記憶装置を使用する際、通常動作時には揮発書き込み、揮発読みだしを行い、疲労を低減する。電源をオフするときに不揮発書き込み、電源をオンするときに不揮発読みだしを行うことにより、電源がオフしている間だけ不揮発記憶を行う。これにより、第一及び第三の課題を解決する。

【 0 0 2 2 】

第二の課題に対しては、強誘電体キャパシタの分極を反転させるためにキャパシタの両端に印可する必要がある最小電圧を抗電圧 V_c と定義すると、揮発情報の書き込み、読みだし時にキャパシタに印可される電圧を V_c よりも小さくする。すなわち、揮発情報の書き込み、読みだし時に分極反転を起こさず、不揮発情報を変化しない。さらに、定期的に揮発情報を読みだして大振幅で書き込む動作を行い、揮発情報を不揮発情報へコピーする。

【 0 0 2 3 】

【 発明の実施の形態 】

（ 実施例 1 ）

以下、本発明をその実施例を示す図面を用いて説明する。

【 0 0 2 4 】

図 1 は実施例 1 の強誘電体シャドー R A M の動作を示している。図 1 (a) はこのシャドー R A M のメモリーセルを示している。シャドー R A M はこのメモリーセルをアレー状に複数配置して構成される。強誘電体キャパシタ C 1 の一方の電極 P L 1 は他のメモリーセルと共通に接続される。C 1 の他方の電極 S N 1 は M O S トランジスタ M N 1 を介してデータ線 D L 1 に接続される。M N 1 のゲート電極はワード線 W L 1 に接続される。この強誘電体キャパシタは、例えば強誘電体膜が P Z T または S r B i 2 T a 2 O 9 からなる。前者は疲労は大きい、残留分極の値が大きいという利点を持つ。後者は残留分極の値が小さい、疲労が小さいという利点をもつ。また、電極が P t やルテニウム酸化物からなる。後者は疲労が小さいという利点をもつ。しかし、強誘電体キャパシタに用いる材料はこれらに限定されない。

【 0 0 2 5 】

図 1 (b) には強誘電体キャパシタの動作を表わすヒステリシスループを示す。縦軸には強誘電体キャパシタの分極にキャパシタ面積をかけた値である電荷 Q をとる。S N 1 の電位を $V(SN1)$ 、P L 1 の電位を $V(PL1)$ で表わすと、横軸には強誘電体キャパシタに印加される電圧 $V(SN1) - V(PL1)$ をとる。本シャドー R A M では P L 1 は他のメモリーセルと共通に接続しており、揮発モードおよび不揮発モードにおいて常に電位を V_{p1} に固定している。ここで、 V_{1f} (第二の電位) < V_{1d} (第四の電位) < V_{p1} (第一の電位) < V_{hd} (第五の電位) < V_{hf} (第三の電位) の関係がある。

【 0 0 2 6 】

本実施例においては、不揮発モードでは、データ線 D L 1 を低レベル V_{1f} 、高レベル V_{hf} として大振幅動作させる。ヒステリシスループ上の状態は、F 1 と F 0 を通る外側のループに沿って動く。したがって、このモードでは残留分極を大きくして、不揮発情報を記憶する。揮発モードではデータ線 D L 1 を低レベル V_{1d} 、高レベル V_{hd} として小振幅動作させる。ヒステリシスループ上の状態は、D 1 と D 0 を通る内側のループに沿って変化する。このモードでは揮発情報である電荷を用いて記憶を行うが、記憶データを反転する際の分極反転が小さいため強誘電体キャパシタの疲労が小さい。

【 0 0 2 7 】

本シャドー R A M を使用する際には、通常は揮発モードで動作させて強誘電体キャパシタの疲労を低減し、電源オン - オフ時に不揮発モードで動作させる。このとき、揮発モードと不揮発モードでプレート P L 1 の電位は V_{p1} で一定としており、データ線の振幅の大小でこれらを切り換えているため、本シャドー R A M は不揮発情報から揮発情報への変換 (リコール動作)、及び揮発情報から不揮発情報への変換 (退避動作) が非常に簡単化さ

10

20

30

40

50

れるとともに、プレート駆動しない分、低消費電力化されるという利点を有している。また、強誘電体膜にPZT、電極にPtを用いたキャパシタを使用した場合でも、疲労が低減できるため、このキャパシタが大きな残留分極を有するという利点を活かすことができる。

【0028】

〔ブロック図〕

図2は、本発明の強誘電体シャドーRAMのブロック図である。図1においてメモリアレーは、メモリセル、ワード線、データ線、センスアンプ、プリチャージ回路、Yゲート回路等を含むメモリセルアレーである。行デコーダ、列デコーダには各々、アドレスバッファから出力されたアドレス信号が入力され、アドレス信号に基づき行デコーダで所定のワード線が、また、列デコーダで所定のYスイッチ回路が選択される。なお、前記アドレス信号の出力タイミングは、クロック発生回路から出力された信号によって制御される。

【0029】

本発明の不揮発性メモリは、通常のメモリ動作である揮発モードと、不揮発モードを持つシャドーRAMであるが、この不揮発モードは、不揮発データを揮発データに変換するリコール動作と、逆に揮発データを不揮発データに変換する退避動作のときに用いられる。このリコール動作、退避動作を行うには、例えば、図2に示すように、外部入力ピンRecall、Storeを用いて、チップ外部からリコール命令、退避命令を発行する。Recall、Store信号はRAS、CAS、アドレスAnの組み合わせにより発生することもできる。この場合、ピン数を低減できる利点がある。または、チップ内部で外部電源電位をモニターして、これが下がり始めたら自動的にStore信号を発生し、電源が立上がったら自動的にRecall信号を発生することもできる。この場合、本メモリのユーザーがこれらの命令を発行する必要がなくなる。

【0030】

これらの命令を受けて、チップ内部では内部アドレスカウンタ、モード切換え回路を用いて全ビットのリコール動作、退避動作を実行するが、その間はチップ外部からのメモリアクセスは禁止される。

【0031】

〔アレー回路構成〕

図3は、図2における強誘電体メモリアレー構成を示す図である。メモリーセルは1個の強誘電体キャパシタC1とMOSトランジスタMN1からなる。強誘電体キャパシタのプレートPL1は全てのセル間で共通に接続され、電位は常にVp1に固定される。メモリーセルMC(i, j)のストレージノードSN1はMN1を介して、データ線DL1(j)に接続され、MN1のゲート電極はワード線WL1(i)に接続されている。メモリアレーはこのメモリーセルを複数格子状に配置して構成される。データ線対DL1(j) / DL1(j)BにはダミーセルDC1(j) / DC1(j)B、プリチャージ回路、センスアンプが接続されており、Yゲート回路を介して、I/O線対IO1 / IO1Bと接続されている。

【0032】

図4に内部電源発生回路のブロック図を示す。本発明ではデータ線の振幅を変化して、揮発モードと不揮発モードを切り換える。このために、本回路はチップ外部から外部電源電圧Vccと外部接地電圧Vssの供給を受け、8種類の電圧を発生する。プレート電圧をVp1とする。不揮発書き込み用低レベル電圧をVlf、高レベル電圧をVhfとする。揮発書き込み用低レベル電圧をVld、高レベル電圧をVhdとする。不揮発読み出し用データ線プリチャージ電圧をVpf(第六の電位)、揮発読み出し用データ線プリチャージ電圧をVpd(第七の電位)とする。Vchはワード線の高レベル電圧である。これらの電圧の間には、 $Vlf < Vld < Vhd < Vhf < Vch$ 、の関係がある。ここで、 $Vp1$ を $(Vhf + Vlf) / 2$ 近傍の値とすると、不揮発書き込み時に強誘電体キャパシタに印可される電圧の絶対値が最小となり、キャパシタ疲労を低減するのに有効である。また、 Vpd は $(Vhd + Vld) / 2$ 近傍の値とす

10

20

30

40

50

ると、揮発読みだしの際、ダミーセルを使わなくてもすむ他に、信号電圧が " 0 " 読み出しと、 " 1 " 読み出しでほぼ等しくなり、読みだしのマージンを大きくするのに有効である。また、 V_{pl} と V_{pd} を共通に用いてもよく、この場合電源の数を減らすことができる。 V_{pf} は読みだし電圧を大きくするためには、 V_{lf} または V_{hf} と共用することが有効である。以下の動作例では、 $V_{pd} = V_{pl}$ 、 $V_{pf} = V_{lf}$ の場合を説明する。

【 0 0 3 3 】

図 5 に示すように、 V_{ch} は V_{cc} を昇圧回路で昇圧して発生する。 V_{pd} と V_{pl} は降圧回路で降圧して発生する。 V_{hf} 、 V_{hd} の発生法としては、例えば、図 6 に示す 3 種類の方法がある。(a) では V_{hf} 、 V_{hd} ともに V_{cc} を降圧して発生する。 V_{cc} がメモリーセル及び周辺回路のトランジスタの耐圧よりも高い場合は、信頼性を確保するために、この方法が有効である。(b) では V_{hf} を V_{cc} と等しくし、 V_{hd} を降圧して発生する。メモリーセルに V_{hf} が印加されるのは、不揮発モードで動作する短い時間に限られるため、 V_{hf} として V_{cc} をそのまま印加しても信頼性が許容できる場合がある。この場合、降圧回路が 1 個不必要となり、チップ面積、消費電力を小さくできるメリットがある。(c) では V_{hf} を昇圧して発生し、 V_{hd} を V_{cc} と等しくする。昇圧した V_{hf} がトランジスタの耐圧より低い場合には、この方法を用いることができ、不揮発モード時の信号量を増加できるメリットがある。

【 0 0 3 4 】

V_{ld} 、 V_{lf} の発生法は図 7 に示す 2 種類の方法がある。(a) では V_{ld} を V_{cc} を降圧して発生し、 V_{lf} を V_{ss} に等しくする。この場合、降圧回路が必要になるだけであり、通常はこの方法が有効である。(b) では V_{ld} を V_{ss} に等しくし、 V_{lf} を負電圧発生回路で発生する。この場合、負電圧発生回路が必要になる他に、基板電圧 V_{bb} を V_{lf} よりさらに低く設定する必要があるが、不揮発モード時の信号量を増加できるメリットがある。

【 0 0 3 5 】

V_{pf} は V_{hf} と共用する場合は、 V_{cc} と等しくするか、これを昇圧して発生する。 V_{lf} と共用する場合は、 V_{ss} と等しくするか、負電圧発生回路で発生する。 V_{pf} を昇圧して発生した場合、あるいは負電圧発生回路で発生した場合、不揮発モード時の信号量を増加できるメリットがある。 V_{ss} あるいは V_{cc} と共用した場合は、降圧回路を減らすことができるメリットがある。

【 0 0 3 6 】

〔モード切り替え回路〕

図 8 は、図 2 におけるモード切換え回路であり、 V_P レベル切換え回路、 V_N レベル切換え回路、 V_{PC} レベル切換え回路を含む。本回路はチップ外部から $Recall$ 、 $Store$ 信号を受け、 V_{P1} 、 V_{N1} 、 V_{PC1} のレベルを切換える。 $Recall$ 、 $Store$ 信号は高レベル V_{cc} 、低レベル V_{ss} なので、レベル変換回路により、高レベル V_{hf} 、低レベル V_{lf} の信号 I_{re} 、 I_{st} に変換し、モード切換え回路に入力する。また、モード切換え回路中のインバータ回路 $INV11$ 、 $INV12$ の高レベル側の電源を V_{hf} 、低レベル側の電源を V_{lf} とする。これは、 V_{cc}/V_{ss} レベルの信号を $MP12$ 、 $MP13$ 、 $MN12$ 、 $MN13$ に入力した場合、これらを完全にオフできないためである。

【 0 0 3 7 】

V_P レベル切換え回路は、一端が電源 V_{hd} と接続され、他端がコモンソースレベル供給線 V_{P1} と接続された p チャネルトランジスタ $MP12$ 及び、一端が電源 V_{hf} と接続され、他端が V_{P1} と接続された p チャネルトランジスタ $MP13$ から構成されている。 $MP12$ 、 $MP13$ のゲートには、信号 $Store$ をレベル変換した信号 I_{st} と、その反転信号がそれぞれ与えられている。 $Store$ が低レベルである場合、 $MP12$ がオンし、 V_{P1} のレベルは V_{hd} となる。一方、 $Store$ が高レベルである場合、 $MP13$ がオンし、 V_{P1} のレベルは V_{hf} となる。

10

20

30

40

50

【0038】

一方、図中のVNレベル切換え回路は、一端が電源V_{1d}と接続され、他端がコモンソースレベル供給線VN₁と接続されたnチャネルトランジスタMN₁₂及び、一端が電源V_{1f}と接続され、他端がVN₁と接続されたnチャネルトランジスタMN₁₃から構成されている。MN₁₂、MN₁₃のゲートには、I_{st}と、その反転信号がそれぞれ与えられている。Storeが低レベルである場合、MN₁₂がオンし、VN₁のレベルはV_{1d}となる。一方、Storeが高レベルである場合、MN₁₃がオンし、VN₁のレベルはV_{1f}となる。

【0039】

VPCレベル切換え回路は、pチャネルのトランジスタMP₁₁、nチャネルトランジスタMN₁₁により構成される。MP₁₁及びMN₁₁のゲートにはRecall信号をレベル変換した信号I_{re}が与えられる。Recallが低レベルである場合、MP₁₁がオンし、VPC₁のレベルがV_{p d}となる。一方、Recallが高レベルである場合、MN₁₁がオンし、VPC₁のレベルはV_{p f}となる。

【0040】

本実施例では、図3のメモリアレー構成に示すようにセンスアンプ駆動MOSをアレー内に分散配置しており、コモンソースレベル供給線VN₁、VP₁と制御線SAN₁、SAP₁を分離している。したがって、モード切換え回路では、VN₁、VP₁の直流レベルを切換えるだけでよい。しかし、センスアンプ駆動MOSを一括配置して、コモンソース線を配線してもよく、この場合、駆動MOSの電源を切換える。

【0041】

図9にライトバッファの回路図を示す。本回路は制御部、バッファ1、バッファ2からなり、制御部はNAND回路、NOR回路を含む。NAND回路、NOR回路の電源はV_{h f}及び、V_{1 f}であるが、バッファの電源はV_{h d}及びV_{1 d}であり、I/O線へのデータ書き込み動作は小振幅で行われる。データの書き込み時にはWEをV_{h f}として、バッファ1、バッファ2を活性化し、DINのデータをI/O線対に出力する。それ以外のときにはWEをV_{1 f}として、バッファ1、バッファ2を高インピーダンス状態にしておく。本発明のシャドーRAMでは、チップ外から情報を書き込む場合は、必ず揮発書き込みになるのでバッファの出力は常に小振幅でよい。

【0042】

〔実施例1のヒステリシスループ〕

〔実施例1のリコール動作〕

図10に不揮発モード時のリコール動作のタイミングを示す。本メモリーは電源がオフしている間には不揮発情報のみを記憶している。本メモリーの使用を開始する際には、電源をオンした後、全てのメモリーセルの不揮発情報（分極の向き）を読み出し、これを揮発情報（電荷の正負）として再び書き込む動作を行う。この動作を行うと、メモリーセルの揮発情報は前回の使用終了時の不揮発情報に等しくなる。

【0043】

電源をオンした直後は、強誘電体キャパシタは図1のF₀またはF₁の状態にある。これは、電源がオフの間はSN₁とPL₁がともにV_{ss}にあり、電源をオンしてWL₁をV_{1 f}に下げたままPL₁の電位をV_{p 1}まで上昇したときに強誘電体キャパシタのカップリングでSN₁もV_{p 1}まで上昇するからである。

【0044】

Recall信号が高レベルになると、VPCレベル切換え回路によりプリチャージレベルがV_{p f}に設定されるため、PCL₁がV_{h f}の期間中、リコール動作を行なう全てのデータ線はVPC₁と等しいレベルV_{p f}にプリチャージされる。また、この期間中は、ダミーセルのリセット信号DCR₁もV_{h f}になっており、ダミーセルのストレージノードの電位をV_{p 1}にリセットする。この状態で、PCL₁をV_{1 f}に下げて、データ線をフローティングにした後、ワード線WL₁(j)及びダミーワード線DL₁(j)BをV_{ch}まで上げる。

10

20

30

40

50

【 0 0 4 5 】

メモリーセル $MC(i, j)$ 及び $MC(i, j+1)$ では、強誘電体キャパシタに $V(SN1) - V(PL1)$ が負になるような電圧が印加されることになる。したがって、初期状態が $F0$ であった場合は分極反転が起こらず、 $F1$ であった場合には分極反転が起こる。この分極反転の有無により、データ線 $DL1(j)$ 、 $DL1(j+1)$ に向かって流出する電荷量が異なる。この電荷量を強誘電体キャパシタ容量とデータ線の寄生容量とで分割した結果、データ線に生ずる電圧が決まる。従って、分極が反転か非反転かでデータ線の電位は異なる。強誘電体キャパシタの初期状態が図 1 (b) の $F0$ であった場合はデータ線には $V0$ が生じ、 $F1$ であった場合は $V1$ が生ずる。このときに一旦残留分極の方向がそろう、不揮発情報が破壊される。

10

【 0 0 4 6 】

一方、ダミーセル $DC(j)B$ 及び $DC(j+1)B$ では $Vp1$ にリセットされた常誘電体キャパシタからデータ線 $DL1(j)B$ 、 $DL1(j+1)B$ に向かって電荷が流出する。このときにデータ線に生ずる電圧 $Vref$ を $V0$ と $V1$ との中間にくるように、常誘電体キャパシタを設計する。従って、データ線対には不揮発データの "0"、"1" に対応した向きの電位差が生ずる。ここで、ダミーセルとしては、強誘電体キャパシタの面積を変えて上記の中間電位を出すこともできる。この場合は、メモリーセルと同時に作製可能であることや、特性が類似しているため、設計が容易になる利点がある。この他にも、特開平 2 - 110893 に開示されているような、分極反転が起るセルと、起らないセルを短絡して中間電位を発生する方法もある。この場合中間電位の精度を容易に高めること

20

【 0 0 4 7 】

ここでは、一つのメモリーセルで 1 ビットの情報を記憶する方式を示したが、2 つのメモリーセルで 1 ビットを記憶する方法もある。この場合、図 3 とは異なり、 $MC1(i, j)$ と対になるセル $MC1(i, j)B$ が $WL1(i)$ と $DL1(j)B$ の交点に接続され、互いに方向の異なる分極を書き込む。この場合、以上の読みだしを行うと、データ線 $DL1(j)B$ 、 $DL1(j+1)B$ の電位は $V0$ または $V1$ となる。この場合、1 ビットを記憶するセル面積が大きくなる欠点があるが、読みだし信号を大きくできる利点がある。

【 0 0 4 8 】

ダミーセルを用いる方法および、2 つのメモリーセルを用いる方法、どちらの場合でもデータ線対に記憶情報に対応した方向の電位差が生ずる。この電位差をセンスアンプで増幅する。 $SN1$ を Vlf から Vhf へ、 $AP1$ を Vhf から Vlf へ駆動する。データ線対のうち電位が高い方のデータ線は $VP1$ と等しい電位 Vhd まで増幅され、低いほうのデータ線は $VN1$ に等しい電位 Vld まで増幅される。その後、ワード線を Vlf にする。これにより強誘電体キャパシタでは、分極方向に対応した電荷が蓄積される。すなわち、不揮発情報が揮発情報に変換される。この時、強誘電体キャパシタの状態は、図 1 (b) のヒステリシス上で $D0$ と $D1$ で表される点に移るが、残留分極が小さくなり、不揮発情報は破壊される。

30

【 0 0 4 9 】

最後に、 $SN1$ を Vhf から Vlf へ、 $AP1$ を Vlf から Vhf へ駆動して、センスアンプをオフした後、 $PL1$ を Vhf へ上げて、データ線を Vlf にプリチャージして、次のメモリーセルのリコール動作に移る。また、 $DCR1$ も Vhf にあげて、ダミーセルのリセットを行う。一本のワード線に接続されているメモリーセルは同時にリコールされるため、以上の動作を全てのワード線について順次行い、全てのメモリーセルで不揮発情報から揮発情報へ変換する。リコール動作中は、メモリアクセスは禁止され、全ビットリコール動作が終わると、 $Recall$ 信号をローレベルに戻して不揮発性動作モードを終了し、通常のメモリアクセスが可能となる。

40

【 0 0 5 0 】

本実施例では、図 1 (b) の $F1$ の状態に有る強誘電体キャパシタをリコールする場合、

50

動作中に分極反転が生ずる。しかし、信号をセンスアンプで増幅してデータを書き込む際の電圧は、従来例 3 に比較して小さくなっており、キャパシタの疲労が低減できる。また、リコール動作時には強誘電体キャパシタのプレート P L 1 の電位は常に V p l に固定されており、従来例 1、2 に比較して、非常に簡単なリコール動作が可能である。

【 0 0 5 1 】

〔実施例 1 の揮発読み出し動作〕

図 1 1 に揮発情報の読みだし動作のタイミングを示す。通常のメモリアクセス時のデータの読みだしは揮発モードで行なう。P C L 1 が V h f の期間中、全てのデータ線は V P C 1 と等しいレベル V p d にプリチャージされる。この状態で、P C L 1 を V l f に下げて、データ線をフローティングにした後、選択されたワード線 W L 1 (i) を V c h まで上 10
げる。揮発読み出しでは、ダミーセルを用いないので D C R 1、D W L 1 (i) B は V l f のままである。

【 0 0 5 2 】

メモリーセル M C (i , j) 及び M C (i , j + 1) では強誘電体キャパシタからデータ線 D L 1 (j)、D L 1 (j + 1) に向かって電荷が流出する。始めに揮発情報が " 0 " であった場合、すなわち強誘電体キャパシタの初期状態が図 1 (b) の D 0 であった場合は、データ線には V 0 d の電圧が生ずるが、この電圧は V p d より低い。始めに揮発情報が " 1 " であった場合、すなわち強誘電体キャパシタの初期状態が図 1 (b) の D 1 であった場合は、データ線には V 1 d の電圧が生ずるが、この電圧は V p d より高い。

【 0 0 5 3 】

一方、データ線対の他方 D L 1 (j) B、D L 1 (j + 1) B は V p d のままである。従って、データ線対には揮発データの " 0 "、" 1 " に対応した電位差が生ずる。この電位差をセンスアンプで増幅する。S A N 1 を V l f から V h f へ、S A P 1 を V h f から V l f へ駆動する。データ線対のうち電位が高い方のデータ線は V P 1 と等しい電位 V h d まで増幅され、低いほうのデータ線は V N 1 に等しい電位 V l d まで増幅される。その後、選択されたデータ線対に対応した Y S 1 (j) を V h f まで上げて Y ゲート回路を開き I / O 線対にデータを読みだす。その後、ワード線を落とし、S A N 1 を V h f から V l f へ、S A P 1 を V l f から V h f へ駆動して、センスアンプをオフした後、P C L 1 を V h f へ上げて、データ線を V p d にプリチャージする。

【 0 0 5 4 】

従って、揮発読み出し動作時は、強誘電体キャパシタのプレート P L 1 の電位は常に V p l に固定される。また、強誘電体キャパシタの分極反転は起こらず、膜疲労は起こらない。

【 0 0 5 5 】

〔実施例 1 の揮発書き込み動作〕

図 1 2 に揮発情報の書き込み動作のタイミング例を示す。選択された行では書き込みに先立って揮発読みだし、再書き込みが行われ、選択されたセルのみに新しいデータが書き込まれる。上記読み出し動作において、センスアンプで増幅した後、選択されたデータ線対に対応した Y S 1 (j) を V h f まで上げて Y ゲート回路を開き、また、ライトバッファを動作させてメモリーセル M C (i , j) にデータを書き込む。その後、W L 1 (i) を V l f に落として、S A N 1 を V h f から V l f へ、S A P 1 を V l f から V h f へ駆動して、センスアンプをオフした後、P C L 1 を V h f へ上げて、データ線を V p d にプリチャージして、揮発書き込み動作を終了する。 40

【 0 0 5 6 】

従って、揮発書き込み動作時にも、強誘電体キャパシタのプレート P L 1 の電位は常に V p l に固定される。本実施例の揮発書き込み時には、元のデータと反対のデータを書き込む際に強誘電体キャパシタへの印加電圧の方向が反転されるため、分極反転が生ずる可能性が有る。しかし、本実施例の揮発書き込み動作では、印可電圧の絶対値を不揮発性書き込み動作よりも小さくしているため、分極反転量が小さく、従来例 3 の揮発書き込み動作よりも膜疲労を低減することが可能である。

10

20

30

40

50

【 0 0 5 7 】

〔実施例 1 のリフレッシュ動作〕

揮発情報は強誘電体キャパシタに蓄積された電荷により記憶されているため、 $p n$ 接合リーク電流、トランジスタのサブスレッショルド電流等により時間とともに失われていく。従って情報破壊を防ぐために定期的にリフレッシュ動作を行う。これは、全てのメモリーセルについて図 1 1 の揮発読みだしを行い、強誘電体キャパシタの状態を元の状態へ回復する動作である。ただし、 Y ゲート回路は動作させる必要はない。一本のワード線に接続されるメモリーセルは同時にリフレッシュされるため、全てのワード線を順次選択していく。一本のワード線をリフレッシュする間隔の最大値である最大リフレッシュ時間は、蓄積電荷がリーク電流で減少し、読みだし信号量が減少しても、信頼性の高い信号の読みだしが可能になるような時間である必要がある。

10

【 0 0 5 8 】

リフレッシュ動作時にも、強誘電体キャパシタのプレート $P L 1$ の電位は常に $V p 1$ に固定される。また、強誘電体キャパシタの分極は反転しないため、膜疲労は起こらない。

【 0 0 5 9 】

〔実施例 1 のストア動作〕

実施例 1 では、揮発モードに入った時点で、不揮発情報は破壊されるため、電源をオフする前に揮発情報を不揮発情報へ変換する必要がある（退避動作）。図 1 3 に退避動作のタイミングを示す。 $S t o r e$ 信号がハイレベルになると、図 8 の $V P$ レベル切換え回路、及び $V N$ レベル切換え回路により $V N 1$ 、 $V P 1$ の電位がそれぞれ $V l f$ 、 $V h f$ に設定

20

【 0 0 6 0 】

揮発読みだしと同様の動作を行い、データ線上に生じた信号電圧をセンスアンプで増幅する。 $S A N 1$ を $V l f$ から $V h f$ へ、 $S A P 1$ を $V h f$ から $V l f$ へ駆動する。データ線対のうち電位が高い方のデータ線は $V P 1$ と等しい電位 $V h f$ まで増幅され、低いほうのデータ線は $V N 1$ に等しい電位 $V l f$ まで増幅される。その後、ワード線を $V l f$ にする。この動作により揮発情報が不揮発情報に変換される。すなわち、始めに揮発情報が " 0 " であった場合（図 1 (b) の $D 0$ ）、不揮発情報の " 0 "（ $B 0$ ）に変換され、揮発情報が " 1 " であった場合（ $D 1$ ）、不揮発情報の " 1 "（ $B 1$ ）に変換される。

【 0 0 6 1 】

最後に、 $S A N 1$ を $V h f$ から $V l f$ へ、 $S A P 1$ を $V l f$ から $V h f$ へ駆動して、センスアンプをオフした後、 $P C L 1$ を $V h f$ へ上げて、データ線を $V p d$ にプリチャージする。一本のワード線に接続されているメモリーセルは同時に退避動作が行われるため、この動作を全てのワード線について順次行い、全てのメモリーセルの揮発情報を不揮発情報に変換する。全ビット退避動作が終わると、 $S t o r e$ 信号を低レベルに戻して不揮発性動作モードを終了し、電源をオフできる。 $B 0$ 、 $B 1$ の状態は電源をオフした後、 $F 0$ 、 $F 1$ へと移るが、不揮発情報が記憶されることになる。

30

【 0 0 6 2 】

この退避動作中は、強誘電体キャパシタのプレート $P L 1$ の電位は常に $V p 1$ に固定される。また、分極反転は生じない。本動作は、揮発モードのリフレッシュ動作と同程度の時間

40

【 0 0 6 3 】

〔実施例 2 〕

続いて、本発明の第二の実施例を説明する。図 1 4 (a) は本実施例に用いるメモリーセルを示している。実施例 1 と同様に、本強誘電体キャパシタの一方の電極（プレート電極） $P L 1$ は他のメモリーセルと共通に接続して、常に電位を $V p 1$ に固定している。本実施例のシャドー $R A M$ のメモリーセル、ブロック図、アレー構成、また内部電源の機能、モード切換え回路、ライトバッファは実施例 1 に用いたものと同じものでよい。実施例 1 との違いは、内部電源電圧の大小関係である。図 4 に示した内部電源の間に $V l f < V l d < V h d < V p 1 < V h f < V c h$ または $V l f < V p 1$

50

$V_{ld} < V_{hd} < V_{hf} < V_{ch}$ $V_{pl} < V_{ld}$ が成り立つとする。
 以下では、 $V_{lf} < V_{ld} < V_{hd} < V_{pl} < V_{hf} < V_{ch}$ 、
 $V_{pf} = V_{lf}$ 、 $V_{ld} < V_{pd} < V_{hd}$ の場合を説明する。

【0064】

以上の大小関係を設定した場合のヒステリシスループを図14(b)に示す。不揮発モード時のリコール動作及び退避動作時には、強誘電体キャパシタの状態は図14(b)のF1とF0を通るヒステリシスループ上を動き、揮発モード時の状態は、D1とD0の間を動く。従って、揮発モード時には強誘電体キャパシタには一方向の電圧しか印加されず、分極反転が生じない。このため、揮発モード時に疲労が起こらないという利点を有する。

【0065】

〔実施例2のリコール動作〕

図15にリコール動作のタイミング図を示す。本実施例のリコール動作は、実施例1のリコール動作と同様の制御で行われる。実施例1と異なる点は、センスアンプで不揮発読みだし信号を増幅したときに、データ線対の電位 V_{ld} 、 V_{hd} がともに V_{pl} よりも小さいと言う点である。したがって、実施例1と違い、読み出したデータを再書き込みする際に、分極反転が起こらず、疲労が生じない利点がある。

【0066】

〔実施例2の揮発読出し動作〕

図16、図17に揮発情報の読みだし動作、書き込み動作のタイミング図をそれぞれ示す。本実施例の揮発読み出し動作、書き込み動作、リフレッシュ動作は実施例1の揮発読み出し動作と同様の制御で行われる。実施例1と異なる点は、センスアンプで不揮発読みだし信号を増幅したとき、及びI/O線からデータを書き込んだときのデータ線対の電位 V_{ld} 、 V_{hd} がともに V_{pl} よりも小さいという点である。従って、本実施例においては実施例1と違い、データの揮発読み出し時、及び揮発書き込み時には、強誘電体キャパシタには一方向の電圧しか印加されず、分極が反転しないため、膜疲労は起こらないという利点がある。

【0067】

〔実施例2のストア動作〕

図18に本実施例の退避動作のタイミング図を示す。本実施例の退避動作は実施例1の退避動作と同様の制御で行われる。実施例1と異なる点は、実施例1においては退避動作中には分極反転が起こらないが、本実施例では図14(b)のD1の状態のキャパシタに対して退避動作を行うと、B1に移り、分極反転が起こることである。

【0068】

〔実施例3〕

続いて、本発明の第三の実施例を説明する。図19(a)は本実施例に用いるメモリーセルを示している。実施例1と同様に、本強誘電体キャパシタの一方の電極(プレート電極) $PL1$ は他のメモリーセルと共通に接続して、常に電位を V_{pl} に固定している。本実施例のシャドーRAMのメモリーセル、ブロック図、アレー構成、また内部電源の機能、モード切換え回路、ライトバッファは実施例1に用いたものと同じものでよい。実施例1との違いは揮発書き込み時のデータ線振幅をさらに制限することである。すなわち、内部電源電圧に $V_{lf} < V_{pl} - V_c < V_{ld} < V_{pl} < V_{hd} < V_{pl} + V_c < V_{hf} < V_{ch}$ 、 $V_{ld} < V_{pd} < V_{hd}$ 、の関係があり、 V_{pf} は V_{pl} と異なる電圧である。ここで、 V_c は強誘電体キャパシタの分極を反転させるために、キャパシタの両端に印可する必要がある最小電圧である。

【0069】

図19(b)は本実施例における強誘電体キャパシタのヒステリシスループを示している。強誘電体キャパシタの両端 $SN1$ 、 $PL1$ の電位が等しいときには、残留電荷 Q はF1および、F0の二つの状態をとることができる。これらの二つの状態はキャパシタの残留分極の向きによって決まっており、電源がオフしても消えない不揮発情報を表わしている。したがって、強誘電体キャパシタにF0またはF1の状態に対応した"0"、"1"の

10

20

30

40

50

2 値の不揮発情報を書き込むことができる。

【0070】

本実施例ではこれに加えて、さらに二値の揮発情報の記憶を行う。ヒステリシスループにおいて F 0 の状態にあるときに、S N 1 の電位 V (S N 1) を V l d あるいは V h d とすると、状態は D 0 0 または D 0 1 に移る。状態が D 0 0 にあるときには、強誘電体キャパシタには負の電荷が蓄積されており、D 0 1 にあるときには正の電荷が蓄積されている。同様に、ヒステリシスループにおいて F 1 の状態にあるときに、V を V l d あるいは V h d とすると、状態は D 1 0 または D 1 1 に移る。状態が D 1 0 にあるときには、強誘電体キャパシタには負の電荷が蓄積されており、D 1 1 あるときには正の電荷が蓄積されている。したがって、強誘電体キャパシタに蓄積される電荷の正負に従って二値の情報を記憶できる。電荷は電源をオフすると消えてしまうため、これは揮発情報である。

10

【0071】

上記の不揮発情報と揮発情報は独立に記憶することが可能である。揮発情報の読みだし及び書き込みを行うと、V (S N 1) は V l d と V h d の間を動く。このとき、 $|V l d - V p l| < V c$ 、 $|V h d - V p l| < V c$ が成り立っているため、キャパシタ両端には分極を反転するのに十分な電圧が印可されず、この動作によって残留分極の向きは影響を受けない。すなわち、不揮発情報が " 0 " である場合には、揮発情報が " 0 " であるか " 1 " であるかに従って、状態は D 0 0、D 0 1 となるが、V (S N) を V p l に戻した場合、状態は F 0 に戻る。同様に、不揮発情報が " 1 " である場合には、揮発情報が " 0 " であるか " 1 " であるかに従って、状態は D 1 0、D 1 1 となるが、V (S N) を V p l に戻した場合、状態は F 1 に戻る。したがって、揮発情報の読み書きによって、不揮発情報は破壊されないため、両者は独立に記憶可能である。

20

【0072】

図 20 に本実施例の強誘電体メモリーのリコール動作を示す。本実施例のリコール動作においては、R e c a l l 信号、S t o r e 信号をともに高レベルとする。これにより、V P C 1 を V l f へ、V P 1 を V h f へ、V N 1 を V l f に設定する。その後、実施例 1 のリコール動作と同様に信号が読みだされた後、センスアンプで増幅を行うが、このときに実施例 1 と異なり、高電位側が V h f まで、低電位側が V l f まで増幅される。これにより、図 19 (b) の F 0 または F 1 にある状態が、B 0、B 1 に移る。

【0073】

最後に、S A N 1 を V h f から V l f へ、S A P 1 を V l f から V h f へ駆動して、センスアンプをオフした後、P C L 1 を V h f へ上げて、データ線を V l f にプリチャージし、次のメモリセルのリコール動作に移る。全ビットリコール動作が終わると、R e c a l l 信号と S t o r e 信号を低レベルに戻してリコール動作を終了し、通常のメモリアクセスが可能となる。

30

【0074】

ここで、B 0、B 1 の状態は、不揮発情報と、揮発情報を両方持っており、それらが一致している状態である。すなわち、B 1 の状態に対して、揮発読みだしを行うと、D 1 1 にある状態と同じく、データ " 1 " が読み出される。電源をオフしたとすると、B 1 の状態は F 1 に移り、F 1 の状態に対して不揮発読みだしを行うとデータ " 1 " が読みだされる。B 0 については、どちらの方法で読みだしても " 0 " データが読みだされる。したがって、本実施例のリコール動作後には、前回電源をオフした時点での不揮発情報に等しい揮発情報と、不揮発情報が記憶されている。

40

【0075】

本実施例の揮発情報の読みだし、書き込み動作は実施例 1 と同様である。ただし、これらの動作中には、 $|V l d - V p l| < V c$ 、 $|V h d - V p l| < V c$ が成り立っているため、キャパシタ両端には分極を反転するのに十分な電圧が印可されず、残留分極の向きは影響を受けない。すなわち、揮発情報の読み書きによって、不揮発情報は破壊されない。

【0076】

50

また、リフレッシュも実施例 1 と同様に行う。

【0077】

リコール動作直後では不揮発情報と揮発情報は一致しているが、揮発書き込みをおこなっていくと、不揮発情報と揮発情報が異なるメモリーセルが生じてくる。すなわち、状態が D 0 1 (不揮発情報が " 0 " で揮発情報が " 1 ") または D 1 0 (不揮発情報が " 1 " で揮発情報が " 0 ") にあるセルである。これらのセルでは、不揮発情報は前回電源をオフした時点での古いデータ、揮発情報は最新のデータである。

【0078】

そこで、本実施例では電源をオフする前に揮発情報を不揮発情報へと変換し、不揮発情報を更新する退避動作を行う。本実施例の退避動作は、実施例 1 の退避動作と同様の制御で 10
行う。

【0079】

始めに揮発情報が " 0 " であった場合、すなわち強誘電体キャパシタの初期状態が図 1 9 (b) の D 0 0、D 1 0 であった場合は退避動作後 B 0 に戻る。始めに揮発情報が " 1 " であった場合、すなわち初期状態が図 1 9 (b) の D 0 1、D 1 1 の場合は退避動作後 B 1 に戻る。先に述べたように、B 0、B 1 は不揮発情報と、揮発情報を両方持っており、それらが一致している状態である。すなわち、揮発情報が不揮発情報へ退避されることになる。

【0080】

この退避動作に必要な時間は全ビットをリフレッシュするのに必要とする時間と同程度であるため、従来例 1、2 に比較して短時間に行うことが可能である。そこで、退避動作を、電源をオフする直前だけでなく、通常の動作中に定期的に行ってもよい。本メモリーを使用中に電源が不意にオフしたときを想定すると、揮発データは失われてしまうが、最後に退避動作を行った時点での不揮発データは残っている。したがって、失われるデータは最後に退避動作を行ってから書き換えられた揮発情報だけである。このため、頻繁に退避動作を行うほど、不意の電源オフ時のダメージを低減できるわけであるが、一方で退避動作は不揮発書き込みであり強誘電体キャパシタの分極反転を伴う。そこで、強誘電体キャパシタの疲労による寿命を考慮して退避動作の周期を決定する。一例として、キャパシタの書き換え回数の限度が 1 0 の 9 乗回の場合、0 . 3 秒に 1 度、退避動作を行えば、寿命は 3 × 1 0 の 8 乗秒すなわち約 1 0 年になる。 20
30

【0081】

【発明の効果】

本発明による強誘電体シャドー R A M は第一に、プレート電位を固定したままりコール動作、退避動作が可能であるため、これらの動作が高速で消費電力が小さい。また、揮発書き込みを行う際の強誘電体キャパシタの疲労が小さく、書き換えの制限回数が大きい。

【0082】

第二に、揮発情報と独立な不揮発情報を記憶でき、揮発動作中の任意の時点での揮発情報のコピーを不揮発情報として記憶しておくことが可能である。

【0083】

第三に、強誘電体膜に P Z T、電極に P t を用いたキャパシタを使用した場合でも、動作法を工夫して疲労を低減することにより、このキャパシタが大きな残留分極を有するという利点を活かすことができる。 40

【図面の簡単な説明】

【図 1】実施例 1 の動作を示す図である。

【図 2】強誘電体シャドー R A M のブロック図である。

【図 3】メモリアレー構成を示す図である。

【図 4】内部電源を示す図である。

【図 5】内部電源を示す第二の図である。

【図 6】内部電源を示す第三の図である。

【図 7】内部電源を示す第四の図である。 50

【図 8】モード切換え回路を示す図である。

【図 9】ライトバッファの回路図である。

【図 10】実施例 1 のリコール動作のタイミング図である。

【図 11】実施例 1 の揮発読みだし動作のタイミング図である。

【図 12】実施例 1 の揮発書き込み動作のタイミング図である。

【図 13】実施例 1 の退避動作のタイミング図である。

【図 14】実施例 2 の動作を示す図である。

【図 15】実施例 2 のリコール動作のタイミング図である。

【図 16】実施例 2 の揮発読みだし動作のタイミング図である。

【図 17】実施例 2 の揮発書き込み動作のタイミング図である。

10

【図 18】実施例 2 の退避動作のタイミング図である。

【図 19】実施例 3 の動作を示す図である。

【図 20】実施例 3 のリコール動作のタイミング図である。

【図 21】従来例 1 の動作を示す図である。

【図 22】従来例 2 の動作を示す図である。

【図 23】従来例 3 の動作を示す図である。

【符号の説明】

M C、M C 1 ... メモリーセル

C、C 1 ... 強誘電体キャパシタ

M N、M N 1 ... M O S トランジスタ

20

P L、P L 1 ... プレート電極

S N、S N 1 ... ストレージノード

W L、W L 1 ... ワード線

B L、B L 1 ... ビット線

D C 1 ... ダミーセル

D W L 1 ... ダミーワード線

V P C 1 ... プリチャージ回路電源

P C L 1 ... プリチャージ制御信号

V P 1、V N 1 ... コモンソースレベル供給線

S A P 1、S A N 1 ... センスアンプ制御信号

30

I O 1 ... I O 線

Y S 1 ... Y ゲート選択線

i ... 行アドレス

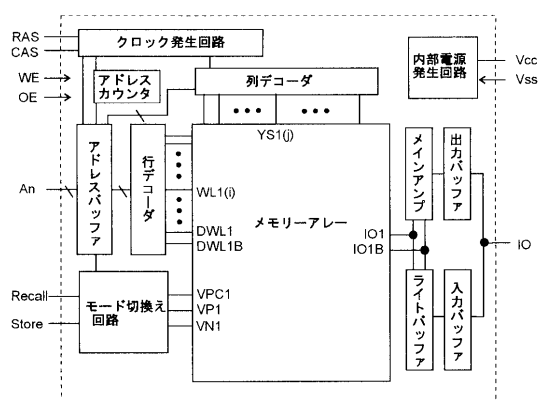
j ... 列アドレス

V s s ... 外部接地電位

V c c ... 外部電源電位。

【 図 2 】

图 2



【 図 4 】

图 4

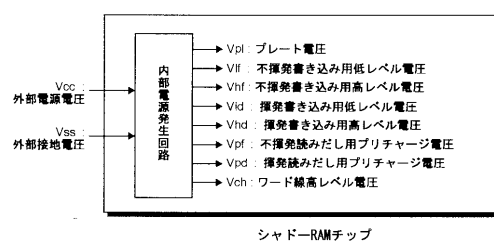
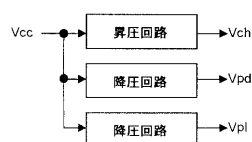
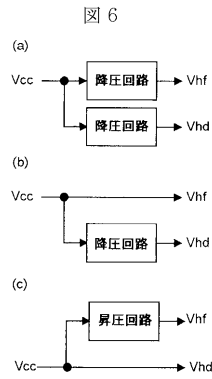


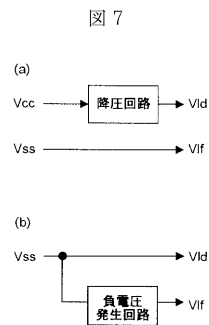
图 5



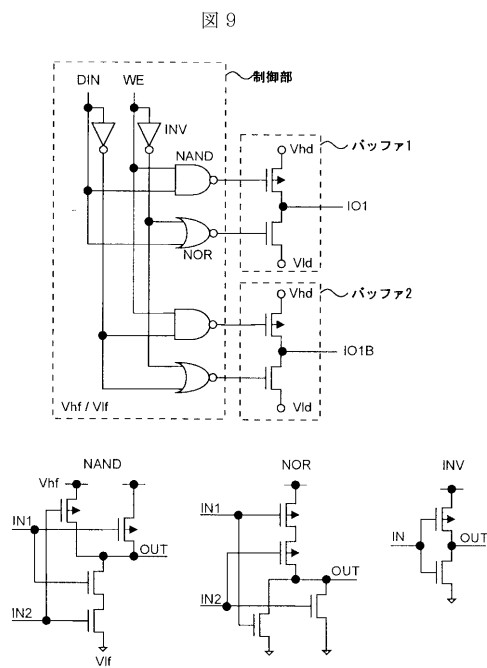
【図 6】



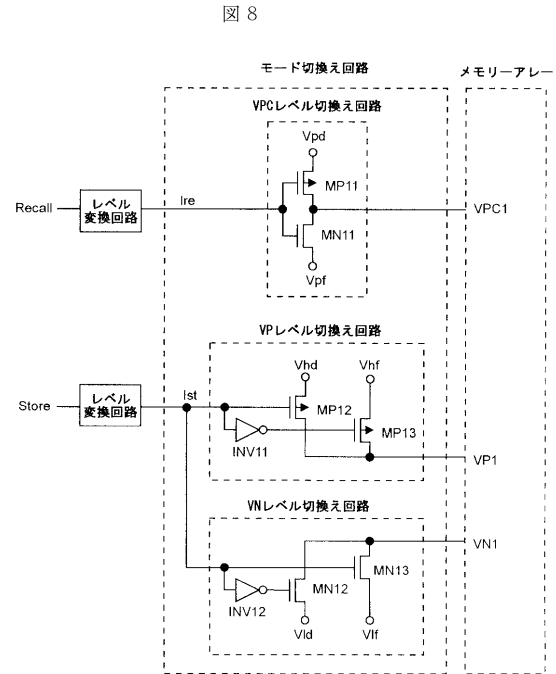
【図 7】



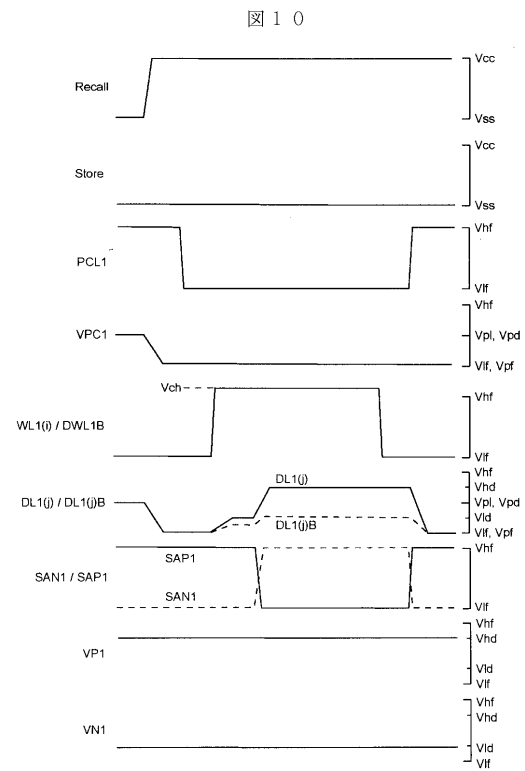
【図 9】



【図 8】

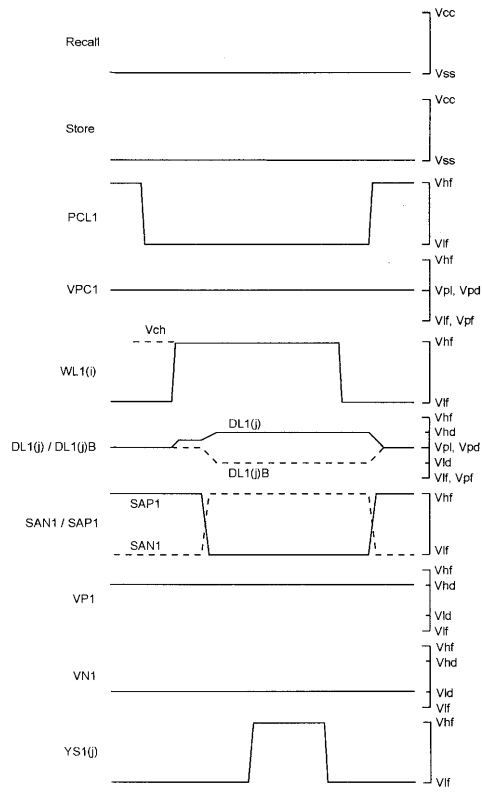


【図 10】



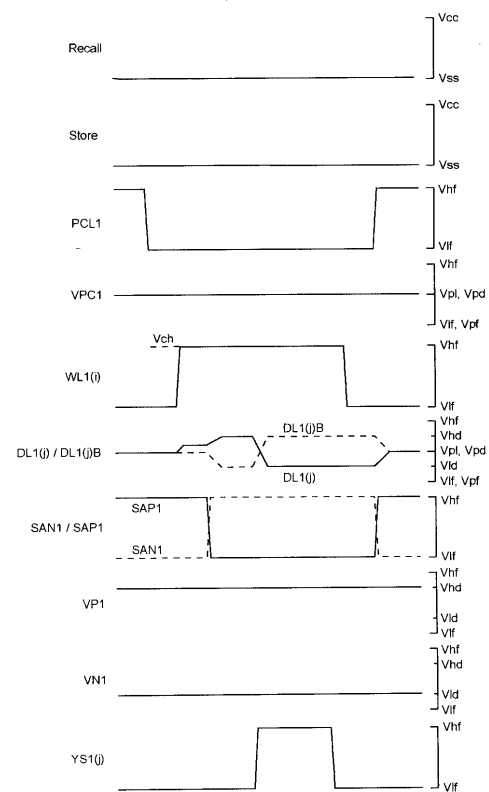
【図 1 1】

図 1 1



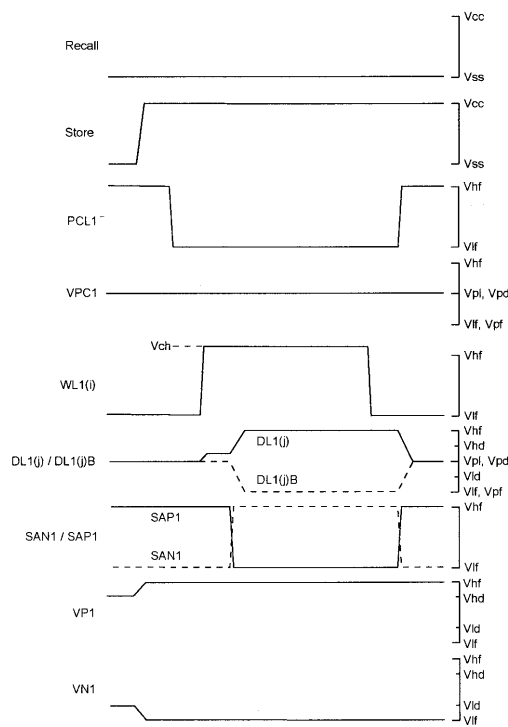
【図 1 2】

図 1 2



【図 1 3】

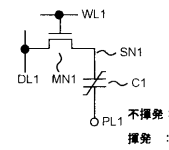
図 1 3



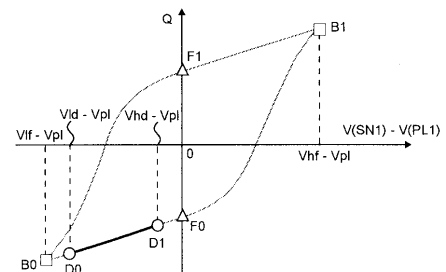
【図 1 4】

図 1 4

(a) メモリーセル

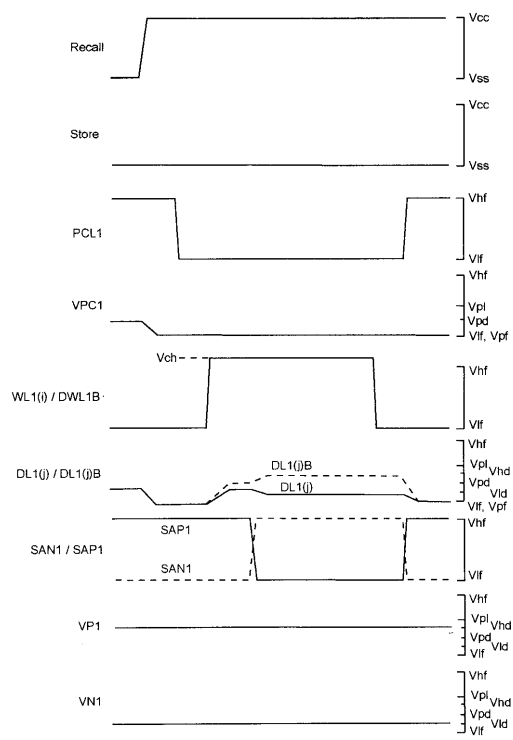


(b) ヒステリシスループ



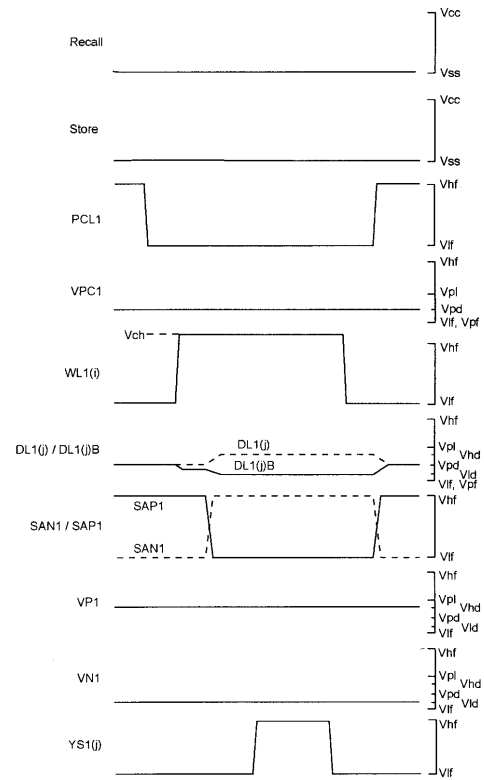
【図 15】

図 15



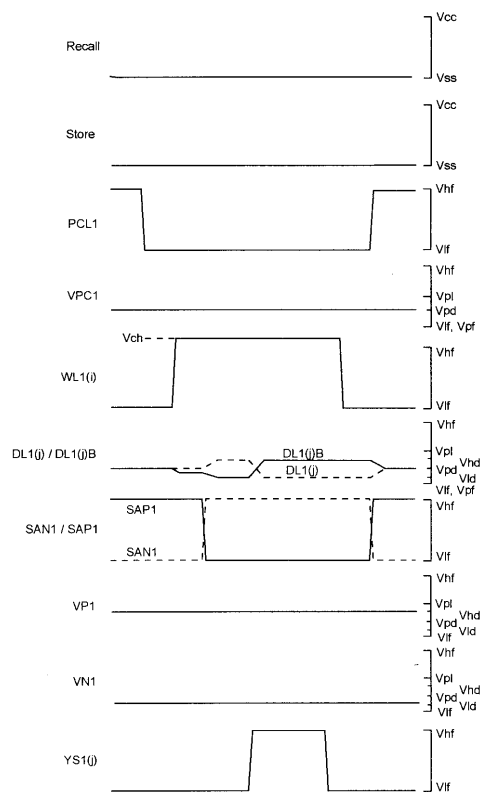
【図 16】

図 16



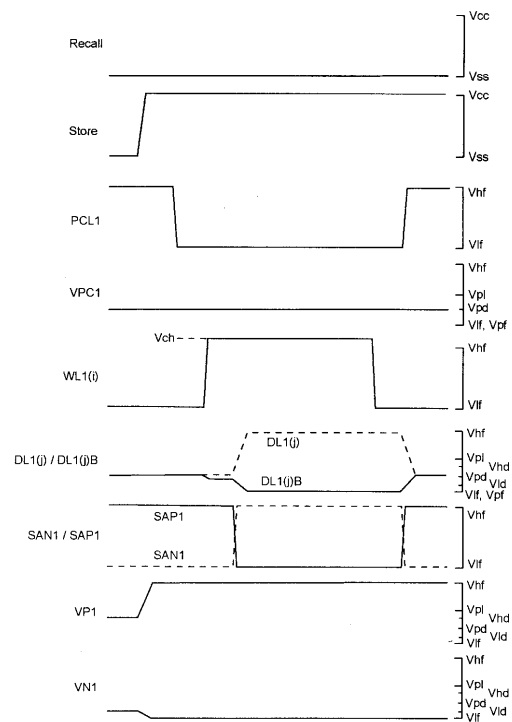
【図 17】

図 17



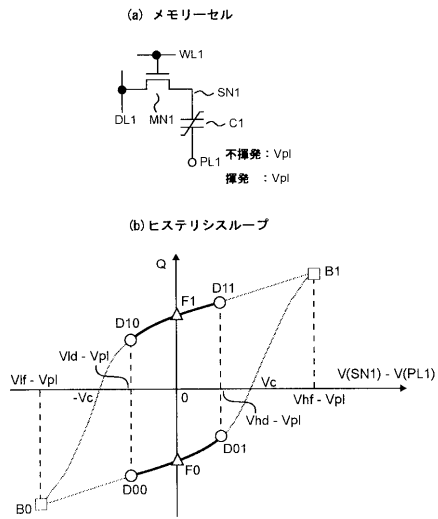
【図 18】

図 18



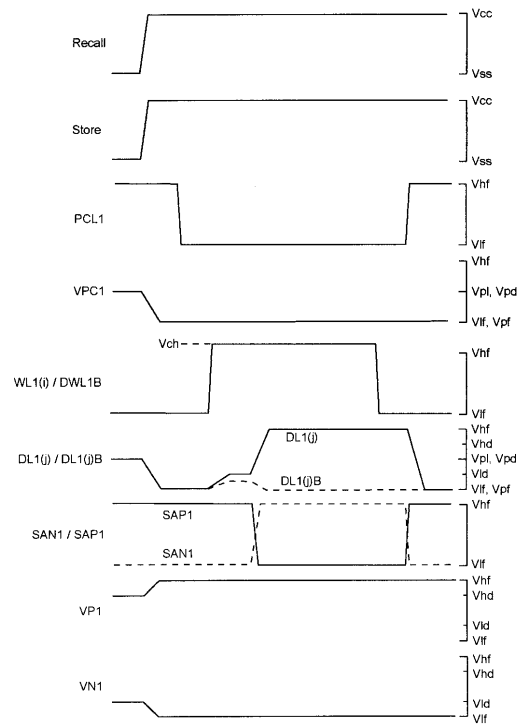
【図 19】

図 19



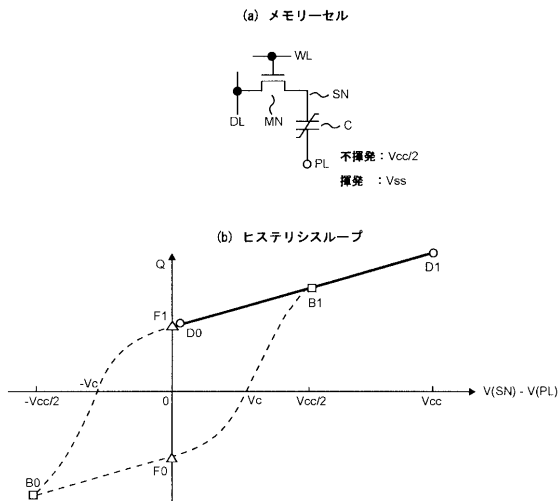
【図 20】

図 20



【図 21】

図 21



【図 22】

図 22

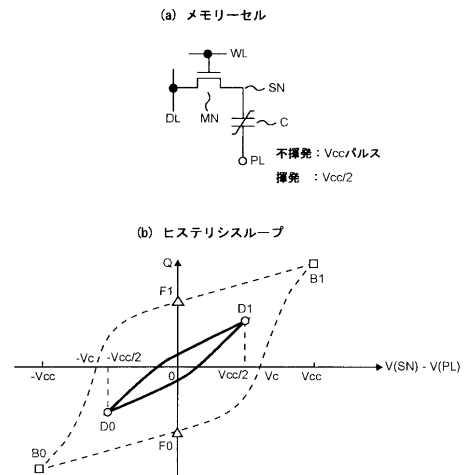


图 2 3

DL WL MN SN PL C

不振発 : $V_{cc}/2$
振発 : $V_{cc}/2$

フロントページの続き

- (72)発明者 阪田 健
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 河原 尊之
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 木村 勝高
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

審査官 丹治 彰

- (56)参考文献 特開平07-182872(JP,A)
特開平05-325572(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G11C 14/00
G11C 11/22
H01L 21/8242
H01L 27/10 451
H01L 27/108