公告本

405225

申請日期	85 年 9 月 20 日
案號	85111539
類別	Int. Cl 6 1401L 21/8234

A4
C4

（以上各欄由本局填註）

發明新型 專利說明書

405225

一、發明新型名稱	中文	半導體裝置及其製造方法
	英文	Semiconductor device and manufacturing method therefor
二、發明創作人	姓名	(1) 大場竜二 (2) 水野智久 (3) 吉見信
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國川崎市中原區木月住吉町一九三一一三二四 (2) 日本國横浜市金沢區並木一一三一三一四〇七 (3) 日本國東京都世田谷區新町一一二四一一
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

裝 訂 線

經濟部中央標準局員工消費合作社印製

405225

申請日期	85 年 9 月 20 日
案號	85111539
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 大內和也
	國籍	⑷ 日本
	住、居所	⑷ 日本國橫浜市栄區桂町六八八－－－三〇七
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

405225

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1995 年 9 月 14 日	7-237347	☑無主張優先權
日本	1996 年 3 月 15 日	8-087724	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明背景

發明領域

本發明係關於半導體裝置及其製造方法，特別有關於MISFET（金屬絕緣物半導體場效電晶體）之結構，其於源極區或汲極區中具有$Si_{1-x}C_x$所形成的區域。

習知技藝說明

近來，MOSFET更加微小化並更進一步取得較高積體度之積體電路。在如圖13（a）中所示之平面結構的習知MOSFET中，源極區10a及汲極區10b均形成於半導體基底2中，且閘電極6係經由閘絕緣膜4而形成於基底2的表面上。此外，圖13（b）係顯示矽的能階。

在上述的平面結構之習知MOSFET中，存有一問題：雖然元件中的電場可隨著元件的微小化增加而增加，但是，無法取得大電流驅動能力。

理由說明如下：MOSFET的汲極電流I_d一般可表爲

$$I_d = V \cdot W \cdot C_{ox} \cdot (V_g - V_{th})$$

其中V代表載子速度；W代表閘寬；C_{ox}代表閘電容；V_g代表閘電壓；及V_{th}代表臨界電壓。

此外，MOSFET的互電導（trans-conductance）G_m可表成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部中央標準局員工消費合作社印製

405225

五、發明說明（2）

$$G_m = v \cdot w \cdot C_{ox}$$

但是，只要載子在穩態下傳送，由於飽合，所以載子速度v無法增加至載子飽合速度$v_{sat}=1X10^{7}cm/s$之外，因此，會產生無法取得大電流驅動能力之問題。

如圖14所示，在習知的SOI（矽位於絕緣物上）n-通道MOSFET中，另一方面，此結構係掩埋的氧化膜22係形成於基底21之上；p-型矽層23係形成於此氧化膜22之上；作爲源汲或汲極區的N^{+}型擴散層30a或30b會形成於此矽層23中；閘氧化膜24係形成於矽層23上；及閘電極26係形成於閘氧化膜24上。

在習知結構的SOI-MOSFET中，由於矽層23會被完全空乏，所以，會具有載子遷移率可改善及進一步大量地抑制導因於作爲源極或汲極區的短通淺n層30a或30b之短通道效應等優點。但是，在上述SOI結構的n-通道MOSET中，由於電洞係藉由汲極端的撞擊離子化而產生的（由矽層23中的漂移效應所造成），所以，所產生的電洞會傾向於累積於矽層23與矽氧化膜22之間形成的交界之源極側上的p-n接面之能障附近。由源極30a的射極、矽層23的基極、及汲極30b的集極分別構成的寄生雙極電晶體會由上述累積電洞所致動，結果，會存有汲極崩潰電壓下降之問題。

發明概述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

由於這些問題的存在，因此，本發明的目的係提供一種具有MISFET之半導體裝置，其即使在被微小化時，仍可高速操作。

此外，本發明的第二目的係提供具有形成於SOI基底上的MISFET之半導體裝置，其可防止汲極崩潰電壓下降。

此外，本發明的第三目的係提供製造一種半導體裝置之方法，該半導體裝置具有MISFET之半導體裝置，其即使在被微小化時，仍可高速操作。

此外，本發明的第四目的係提供製造一種半導體裝置之方法，該半導體裝置具有形成於SOI基底上的MISFET，其可防止汲極崩潰電壓下降。

爲取得上述目的，本發明的第一觀點係提供具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：於表面上具有半導體區之矽基底；分別形成於半導體區中的源極區及汲極區；形成於半導體區及源極區與汲極區之間的通道區；形成於通道區上的閘電極；及$Si_{1-x}C_x$形成的區域，重疊於源極區並具有足以增加其中的能隙至通道區中的能隙之外的碳濃度，且其中金屬絕緣物半導體場效電晶體係構造成形成於$Si_{1-x}C_x$所形成的區域與通道區側上的半導體區其它部份之間的異質接面表面會存在於源極區及通道區之間的交界面或其附近。

此外，本發明的第二觀點提供一種半導體裝置，具有：金屬絕緣物半導體場效電晶體，包括：具有p-型半導體區及n-型半導體區於其表面上的矽基底；n-通道金屬絕緣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

物半導體場效電晶體，形成於p-型半導體區中；及p-通道金屬絕緣物半導體場效電晶體，形成於n-型半導體區中，且其中n-通道金屬絕緣物半導體場效電晶體包含分別形成於p-型半導體區中的n-型源極區及n-型汲極區；第一通道區，形成於p-型半導體區並位於n-型源極區與n-型汲極區之間；第一閘電極，形成於第一通道區上；及$Si_{1-x}C_x$形成的第一區，重疊n-型源極區並具有足以增加其中的能隙至第一通道區中的能隙之外的碳濃度，及形成於$Si_{1-x}C_x$所形成的第一區與第一通道區側上的p-型半導體區其它部份之間的異質接面表面，存在於n-型源極區及第一通道區之間的交界面或其附近；且其中p-通道金屬絕緣物半導體場效電晶體包含：p-型源極區和p-型汲極區，分別形成於n-型半導體區中；第二通道區，形成於n-型半導體區並位於p-型源極區與p型汲極區之間；第二閘極電極，形成於第二通道區上；$Si_{1-x}C_x$形成的第二區，重疊$_p$-型源極區並具有足以增加其中的能隙至第二通道區中的能隙之外的碳濃度，及形成於$Si_{1-x}C_x$所形成的第二區與第二通道區側上的n-型半導體區其它部份之間的異質接面表面，存在於p-型源極區及第二通道區之間的交界面或其附近。

此外，本發明的第三觀點提供具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：具有半導體區於其表面上的矽基底；分別形成於半導體區中的源極區及汲極區；通道區形成於半導體區中並位於源極區及汲極區之間；閘

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

電極，形成於通道區上；金屬絕緣物半導體場效電晶體，形成於n-型半導體區中，且其中n-通道金屬絕緣物半導體場效電晶體包含分別形成於p-型半導體區中的n-型源極區及n-型汲極區；第一通道區，形成於p-型半導體區並位於n-型源極區與n-型汲極區之間；第一閘電極，形成於第一通道區上；及$Si_{1-x}C_x$形成的區域，重疊源極區及汲極區之至少一區並具有足以增加其中的能隙至通道區中的能隙之外的碳濃度；及電極，由金屬所形成並形成於至少一區上；及其中金屬絕緣物半導體場效電晶體會構造成始自至少一區與形成於其上的電極之間的交界面，延著基底深度方向分佈之碳原子濃度分佈會於基底中變成最大。

此外，本發明的第四觀點提供一種具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：矽位於絕緣物上之基底，具有位於絕緣物質上的矽所形成的半導體層，該絕緣物質係位於其表面上；分別形成於半導體層中的源極區及汲極區；通道區，形成於半導體層中並位於源極區與汲極區之間；閘電極，形成於通道區上；及汲極區中由$Si_{1-x}C_x$所形成的區域，其具有足以增加其中的能隙至通道區能隙之外的碳濃度，且其中金屬絕緣物半導體場效電晶體係以形成於$Si_{1-x}C_x$所形成的區域與半導體層其它部份之間的異質接面表面存在於通道區的汲極區側上之方式而構成的。

此外，本發明的第五觀點係提供製造半導體裝置的方法，包括下述步驟：於矽基底上形成閘絕緣膜；於所形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

的閘絕緣膜上形成閘電極；使用閘電極作爲光罩，藉由植入碳離子而形成$Si_{1-x}C_x$層；及形成源極區及汲極區。

此外，本發明的第六觀點係提供製造半導體裝置的方法，包括下述步驟：於矽位於絕緣物上的基底之矽層上，形成閘絕緣膜，該基底具有形成於其表面上的絕緣物質之上的矽層；於所形成的閘絕緣膜上，形成閘電極；形成源極區及汲極區；及使用閘電極作爲光罩，以形成於汲極區側上的$Si_{1-x}C_x$層可延伸至形成於矽層中及閘極電極之下的通道區側之傾斜佈植角度，佈植碳離子而形成$Si_{1-x}C_x$層。

在本發明的第一及第二觀點中，由於源極及通道之間的異質接面中的載子之能量差，所以，當裝置被微小化時，非穩定的載子運送會發生於源極與通道之間的高電場區中。結果，載子速度會過快並因而使半導體裝置可以以較高速度操作。

此外，在本發明的第三觀點中，由於始自與$Si_{1-x}C_x$區一起形成的擴散層區與形成於此擴散層區上的電極之間的交界面，延著基底深度方向之碳原子濃度分佈會被決定成於基底內最大，在電極與擴散層區之間的交界之附近的碳濃度會被減少，以致於可以抑制導因於碳分佈之接觸電阻增加，以致於半導體裝置可以以較高速度操作。

此外，在本發明的第四觀點中，由於異質接面表面存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

405225

五、發明說明（7）

在於通道區的汲極區側上，大帶隙區會延伸至通道區，此外，載子的動能會於汲極尾端減少。結果，在汲極區附近的撞擊離子化速率及能帶間的穿隧電流可以被減少，以致於汲極崩潰電壓的惡化可以被防止。

此外，在本發明的第五觀點中，由於$Si_{1-x}C_x$層可形成於源極區中，所以，會於源極與通道之間的異質接面中存有載子能量差。因此，當裝置微小化時，非穩定載子傳送會發生於源極與通道之間的高電場區中。結果，載子速度會過快並因而使半導體裝置可以以較高速度操作。

此外，在本發明的第六觀點中，由於異質接面表面可以形成於通道區的汲極區側上，大的能帶間隙區會延伸至通道區，此外，載子的動能會於汲極尾端被減少。結果，在汲極區附近的撞擊離子化速率及能帶間的穿隧電流會被減少，以致於汲極崩潰電壓的惡化可以被防止。

圖式簡述

圖1（a）係剖面視圖，顯示根據本發明的半導體裝置之第一觀點的第一實施例；

圖1（b）係顯示圖1（a）所示的相同半導體裝置之基底表面的附近處的能帶；

圖2A至2C係剖面視圖，顯示圖1（a）中所示的半導體裝置之第一觀點的第一實施例之製造步驟；

圖3係顯示矽基底的導通帶之k-空間中的特性；

圖4（a）係剖面視圖，顯示根據本發明的半導體裝置之第一觀點的第二實施例；

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8）

圖4（b）係顯示圖4（a）中所示的相同半導體裝置之基底表面附近處的能帶。

圖5A至5C係剖面視圖，顯示圖4（a）中所示的半導體裝置之第一觀點的第二實施例之製造步驟；

圖6（a）係剖面視圖，顯示半導體裝置之第一觀點的第二實施例之第一修改；

圖6（b）係剖面視圖，顯示半導體裝置之第一觀點的第二實施例之第二修改；

圖7A至7C係剖面視圖，顯示根據本發明的SOI結構（第二觀點）之半導體裝置之製造方法；

圖8係剖面視圖，顯示根據本發明之半導體裝置的第一觀點的第三實施例；

圖9係剖面視圖，顯示根據本發明之半導體裝置的第一觀點的第四實施例；

圖10A至10C係剖面視圖，顯示根據本發明之半導體裝置之第一觀點的第四實施例之製造步驟；

圖11係剖面視圖，顯示根據本發明之半導體裝置的第一觀點的第五實施例；

圖12係剖面視圖，顯示根據本發明之半導體裝置的第一觀點的第六實施例；

圖13(a)係剖面視圖，顯示平面結構的習知MOSFET；

圖13（b）係顯示圖13（a）中所示的習知MOSFET之基底表面附近中的能帶；及

圖14係剖面視圖，顯示SOI結構的習知MOSFET。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

405225

五、發明說明（9）

較佳實施例詳述

將參考附圖，於下說明根據本發明之半導體裝置的某些實施例。

圖1係顯示根據本發明的n-通道MOSFET之半導體裝置的第一觀點之第一實施例。圖1(a)係顯示MOSFET的剖面，圖1(b)係顯示MOSFET基底表面附近中的能帶。此圖1(b)中所示之能帶圖的偏壓條件是以提高MOSFET的驅動力爲目的，由於汲極電流I流動時會成問題，因此閘極電壓爲正，而MOSFET爲ON狀態。在第一實施例的MOSFET中，具有5nm厚的閘絕緣膜4會形成於p-型矽基底2上，且多晶矽所形成及具有200nm厚度的閘電極6會形成於此閘絕緣膜4之上。此外，$Si_{1-x}C_x$(例如x=4/7)所形成的混合液晶層8a／8b會分別形成於半導體基底2的源極／汲極區表面附近處。此外，作爲源極/汲極區的n^+擴散層10a／10b會於比混合晶體層8a／8b更深的位置處，形成於基底中。此外，可於同於混合晶體層8a／8b的深度或較淺的位置處，形成n^+擴散層10a／10b。此外，源極側n^+擴散層10a與通道之間的交界（pn接面表面）會被形成爲與$Si_{1-x}C_x$層8_a及矽基底2之間的異質接面表面相匹配。

此外，在本實施例的MOSFET中，汲極側n^+擴散層10b與通道之間的交界面（pn接面表面）也會形成爲與$Si_{1-x}C_x$層8b及矽基底2之間的異質接面表面相匹配。在上述的對稱結構中，源極區及汲極區會如同原樣般被使用，即使彼此相反。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（10）

可以根據圖２Ａ至２Ｃ所示的步驟，製造本實施例的MOSFET。首先，如圖2A所示，具有5nm厚的絕緣膜及多晶矽膜會依序形成於p-型矽基底2上。此外，閘絕緣膜4及閘電極6均會藉由使這些形成的膜圖型化而形成。在此之後，使用閘電極6作爲光罩，在基底溫度保持於約950℃的條件下，以$0.8x10^{18}cm^{-2}$之劑量將碳離子佈植於源極及汲極形成區中。此高溫離子佈植係用以防止基底中的晶體免於破裂。

在此之後，如圖２Ｂ所示，會於１４００℃下退火約９０分鐘，以便結晶，以形成$Si_{1-x}C_x$（x=４／７）的混合晶體層８ａ／８ｂ於基底２表面上。

此外，如圖2C所示，基底會保持於７００℃，並進一步藉由使用閘電極６作爲光罩，以$２．３X１０^{15}cm^{-2}$之劑量，佈植氮（Ｎ）離子。在此之後，基底會被退火以形成濃度爲$１X１０^{21}cm^{-3}$之n^+擴散層１０ａ／１０ｂ。

一般而言，由於$Si_{1-x}C_x$層８ａ／８ｂ的電子親和力（真空位準與導通帶位準之間的能量差）會小於構成基底２的矽之電子親和力，所以，本實施例的MOSFT之基底表面附近中的能帶圖會變成如圖１（ｂ）所示。詳而之，源極區表面（亦即，$Si_{1-x}C_x$層表面）中的真空位準與導通帶之間的能量差ΔE_1會小於通道（亦即，矽基底）中的真空位準與導通帶之間的任何能量差ΔE_2。此外，同樣的情形也適用於汲極側。

此外，本實施例的MOSFET會構造成ΔE_2與ΔE_1之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（11）

間的差（$-\Delta E_1-\Delta E_2$），亦即，MOSFET的異質接面表面中的載子能隙，小於構成基底2的矽之k-空間中的導通帶電子能量之第一最低點（點X）與第二最低點（點L）之間的能差ΔE_c（=1V）（如圖3所示）。

在上述構造之MOSFET中，由於源極與通道之間的異質接面中存有能量差（$\Delta E_2-\Delta E_1$），所以，會於源極及通道之間的高電場區產生非穩定載子傳輸現像，以致於載子速度會過快，因此，裝置可以高速操作。此外，由於非穩定現像會隨著能量差增加而更加可觀地發生，所以，裝置可以隨著能量差的增加而更加快速地操作。

此外，由於載子能量差（$=\Delta E_2-\Delta E_1$）會小於半導體基底2的K空間（動量空間）之第一最低點（點X）與第二最低點（點L）之間的能量差ΔE_c，所以，可以防止載子速度因在帶谷之間遷移而降低及防止載子遷移率因有效質量增加而變差。

此外，在上述實施例中，雖然已解釋n-通道MOSFET，但是，可於p-通道MOSFET中取得高速操作。但是，在p-通道MOSFET中，半導體裝置必須於源極與通道之間的交界具有異質接面，以致於從真空準位觀時，源極側上共價鍵最大能量小於通道側的最大能量。此外，在本情形下，使用鋁取代氮以形成源極及汲極區10a／10b。

此外，在上述實施例中，雖然異質接面係$Si_{1-x}C_x$層與矽之間的結合，但是當電子親和力小於基底之電子親和力的半導體形成於半導體基底表面上及源極和汲極區時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

，可以取得相同效果。

此外，與此相反的是，當電子親和力大於形成源極和汲極區的材料之電子親和力的半導體作爲通道區時，可以取得相同效果。在此情形下，舉例而言，$Si_{1-x}Ge_x$層可形成於通道區中。

圖4係顯示根據本發明的n-通道MOSFET半導體裝置之第一觀點的第二實施例。圖4（a）係顯示MOSFET剖面，而圖4(b)係顯示圖4(a)中所顯示的MOSFET基底表面附近處的能帶。與圖1(a)中所示的半導體裝置第一實施例相較，本第二實施例的MOSFET中，$Si_{1-x}C_x$層8b會形成爲離閘電極6一段距離。圖4(a)中所示的半導體裝置可根據圖5A至5C所示的製程而製造之。亦即，如圖5B所示，本製造方法的特點係以相對於基底表面一角度，將碳離子植入基底2，而不是垂直地植入碳離子至基底。此外，圖5A至5C所示的製造製程，除了圖5B所示的碳離子布植步驟不同外，均與圖2A至2C所示的第一實施例之情形相同。

根據本發明的MOSFET第二實施例中，由於$Si_{1-x}C_x$層8b係離道通和汲極區10a之間的交界(pn接面表面)一段距離而形成於汲極側上，所以基底表面上的能帶顯示於圖4(b)中。此圖4(b)中所示之能帶圖是以閘極電壓爲正，而MOSFET爲ON狀態爲其偏壓條件。詳而言之，在$Si_{1-x}C_x$層8b與基底2之間的異質接面表面中存有尖峰部份。因此，載子可以通過異質接面表面，不會因穿隧效應而大量減少動能，以致於相較於第一實施例的MOSFET，仍然可以實現

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（13）

較高速度的操作。

在此情形下，異質接面表面較佳的是於MOSFET操作時存在於形成於汲極側上的空乏層外，並存在於汲極區10b外，位於經過源極及汲極區10a／10b之方向。

此外，在上述第一反第二實施例中，雖然使用氮以形成n-通道MOSFET的n^+擴散層10a／10b，但是，也可以使用諸如As之其它摻雜元素。但是，當使用N時，$Si_{1-x}C_x$層8a／8b的活化速率可以增加。

圖6A係顯示第一觀點的第二實施例之修改，且圖6B係顯示根據本發明的半導體裝置之第一觀點的第二實施例之第二修改。

詳而言之，在圖4(a)中所示的第二實施例之MOSFET中，雖然$Si_{1-x}C_x$層8a與基底2之間的異質接面表面會與源極區10a與源極側上的通道之間的pn接面表面相符合，但是，可以在$Si_{1-x}C_x$層8a與基底2之間的異質接面表面形成爲如圖6A所示延伸至深入通道區之情形下，或形成爲如圖6B所示延伸至深入源極區中之情形下，取得相同效果。

在此情形下，異質接面表面較佳的是於MOSFET操作時存在於形成於源極側上的空乏層內，位於經過源極及汲極區10a／10b之方向。

此外，當異質接面表面形成於源極側上時，即使異質接面表面並未形成於汲極側上，也可以實現高速操作。

此外，在上述實施例中，雖然已解釋塊結的MOSFET，但是，上述實施例可以應用至SOI(矽位於絕緣物上)之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（14）

MOSFET。

亦即，此圖6B中所示之構造在依次進行C離子植入、SiC結晶化退火、N離子植入及n+活性化退火等處理時，於活性化退火期間調整n+摻雜物（此情況爲N）的擴散距離，而使能夠在SiC結晶化退火中配合C擴散後的距離來使異質接合的介面可以形成於空乏層的層厚內。

將參考圖7A至7C，於下說明根據本發明之MOSFET的第二觀點。在此第二觀點中，MOSFET係形成爲SOI結構之之n-通道MOSFET，其可以根據圖7A至7C所示的製造而被製造之。

如圖７A所示，掩埋氧化膜２２會首先形成於基底２１之上。在此之後，p-型層２３會形成於所形成的氧化膜２２之上，然後，所形成的層２３之表面會被加熱以便熱氧化，藉以形成５nm厚的氧化膜２４。

接著，如圖７B所示，閘電極２６會藉由沈積多晶矽膜及進一步使所沈積的膜圖型化，而形成於氧化膜２４之上。此外，使用所形成的閘電極２６作爲掩罩，將氮離子植入以形成n^+層２８a／２８b，作爲源極／汲極區。

此外，如圖７C所示，使用閘電極２６作爲掩罩，以相對於基底之角度，將碳植入，然後退火以形成$Si_{1-x}C_x$層３０a／３０b。在這些條件之下，形成於汲極側上的$Si_{1-x}C_x$層30b會延伸至通道側；另一方面，形成於源極側上的$Si_{1-x}C_x$層30a會延伸至源極區28a。

較佳的是，汲極側上的異質接面於MOSET操作時存在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

於形成於汲極側上的空乏層內，位於經過源極及汲極區28a／28b之方向上。

於此，當帶隙以Eg代表；波茲曼常數以k代表；電子溫度以Te代表時，由於撞擊離子化速率可以表爲

$$\exp(-3Eg/(2kTe))$$

因此，當碳離子被植入要作爲汲極區之n^+區28b時，由於大帶隙Eg區會延伸至通道區並進一步因汲極尾端上的載子動能可以被減少，所以可以減少撞擊離子化速率及汲極附近之能帶內穿隧電流，結果，可防止汲極崩潰電壓惡化。

此外，在本發明的第二觀點中，由於$Si_{1-x}C_x$層30a係形成於源極側上，所以，可以以本發明的第一觀點之第一及第二實施例的情形相同的方法，實現高速操作。

此外，在根據本發明的第一及二等二觀點中，雖然$Si_{1-x}C_x$層係藉由離子佈植而形成的，但是，可以根據MBE（分子束磊晶）技術，在450℃下，藉由選擇性地磊晶生長作爲固態源的石黑及作爲來源的SiH_4，而形成$Si_{1-x}C_x$。

此處，在說明根據本發明的半導體裝置之第一觀點的第三實施例之前，將於下述中先述明當金屬接點形成於矽基底上所形成的$Si_{1-x}C_x$層上時所產生的一些問題。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

一般而言，當金屬接點形成於半導體基底上時，接點電阻Rc可表成

$$Rc = \alpha \cdot \exp(\phi / Nd^{1/2}) \qquad (1)$$

Nd代表擴散層的雜質濃度。此外，當金屬的工作函數以ϕ_m代表及半導體基底的電子親和力以χ代表時，ϕ_{bn}可表成

$$\phi_{bn} = \phi_m - \chi \qquad (2)$$

此外，由於用於本發明的第一及第二觀點之$Si_{1-x}C_x$層的電子親和力χ與矽基底的電子親和力相較之下爲小，所以，當金屬接點形成於$Si_{1-x}C_x$層上時，如同上述方程式（1）及（2）所示，會存有接點電阻Rc增加，以致於難以取得高速操作之問題。

此問題可藉由根據本發明的半導體裝置之第一觀點的第三實施例而取得解決之道。

將參考圖8，於下說明第三實施例。本第三實施例的半導體裝置爲以同於圖1所示的根據本發明之第一觀點的第一實施例之方式而形成的表面通道型MOSFET。但是，不同於第一實施例之處爲，與源極／汲極區10a／10b具有相同導電率型的矽磊晶層12a／12b會形成於源極／汲極區10a／10b表面附近中所形成的$Si_{1-x}C_x$層

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

8a／8b與由金屬（例如鋁）形成的源極／汲極電極15a／15b之間。矽磊晶層12a／12b係形成於層內絕緣膜中所形成的二個孔中，以致於可根據CVD技術而被分別連接至源極及汲極10a和10b。

此外，障壁膜13會形成於矽磊晶層12a／12b與電極15a／15b之間，以便防止矽自Al電極15a／15b擴散。

在根據本發明的半導體裝置之第一觀點的第三實施例中，由於電子親和力大於$Si_{1-x}C_x$層8a／8b的電子親和力之矽半導體層12a／12b會形成於$Si_{1-x}C_x$層8a／8b與電極15a／15b之間，所以，幾乎不會有碳離子存在於電極15a／15b的交界附近，以致於接點電阻可以被減少並因而實現高速操作。

將參考圖9而於下說明根據本發明的半導體裝置之第一觀點的第四實施例。

在第四實施例中，在以同於圖1所示之本發明的第一觀點之第一實施例之方式而形成的表面通道型MOSFET中，係以在通道附近爲淺但在源極／汲極電極15a／15b附近爲深之方式，而形成於源極／汲極區10a／10b中。此外，矽化物膜14_1／14_2會分別形成於源極／汲極區10a／10b及閘電極6之上，此外，電極15a／15b會經由矽化物膜14_1而形成。

由於上述結構，所以，可以減少$Si_{1-x}C_x$的濃度，亦即，源極／汲極電極15a／15b之間的交界或矽化物

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

層１４與源極／汲極區１０a／１０b之間的交界處的碳濃度（例如小於１x１０^{21}cm^{-3}），以致於上述交界中的半導體層（源極／汲極區）電子親和力χ可以大略地等於矽的電子親和力。結果，可減少接點電阻，並因而實現高速操作。

此外，在本第四實施例的半導體裝置中，由於低電阻的矽化物膜１４$_2$形成於閘電極６之上，所以，也可減少閘電阻並藉以進一步改善操作速度。

將參考圖１０A至１０C，於下述中說明製造根據本發明的半導體裝置之第一觀點的第四實施例之方法。

如圖１０A所示，首先，由閘絕緣膜４及多晶矽膜６所構成的閘電極會形成於矽基底２之上。在此之後，使用所形成的閘電極作爲掩罩而植入離子，以形成源極／汲極區１０a／１０b。接著，側壁７（例如，由氮化膜所形成）會形成於閘電極的側剖份上，然後，使用側壁１７作爲掩罩，以１x１０^{16}cm^{-2}之劑量及以１０keV的加速電壓，將碳離子深深植入，以便在源極／汲極區１０a／１０b中形成Si$_{1-x}$C$_x$層８a$_1$／８b$_2$（參見圖１０A）。

接著，高熔點金屬膜（例如Ti）會沈積於所有的基底表面，然後在預定條件下被熱處理，而在源極／汲極區１０a／１０b及閘電極６之上形成４０nm厚的矽化物膜１４$_1$／１４$_2$。

在側壁７被除去之後，以１x１０^{16}cm^{-2}之劑量及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

60keV的加速電壓進一步淺植碳離子，而在源極／汲極區10a／10b的通道附近中形成淺的$Si_{1-x}C_x$層8a_1／8b_2（參見圖10C）。

此外，在沈積層內絕緣膜11之後（如圖9所示），會形成二個連接孔；金屬膜（例如鋁）會被掩埋；且藉由使金屬膜圖型化而形成汲極電極15a／15b。

將參考圖11，於下說明根據本發明的半導體裝置之第一觀點的第五實施例。本實施例係掩埋通道型MOSFET，其中$Si_{1-x}C_x$層8a／8b會深深地形成於源極／汲極區10a／10b中，以便被連接至形成於矽基底2中的雜質層9並作爲掩埋通道。此外，$Si_{1-x}C_x$層8a／8b的碳濃度會被決定爲$Si_{1-x}C_x$層8a／8b的能隙會變成高於通道區的能隙。因此，可以同於根據本發明的半導體裝置之第一觀點的第一實施例之方式，實現高速操作。

此外，由於$Si_{1-x}C_x$層8a／8b深深地形成於源極／汲極區10a／10b中，所以，在源極／汲極電極15a／15b與源極／汲極區10a／10b之間的交界中，$Si_{1-x}C_x$層的濃度，亦即碳濃度，可以被減少。結果，接點電阻可以被減少並因而實現高速操作。

將參考圖12，於下說明根據本發明之半導體裝置的第一觀點的第六實施例。本實施例係互補式MOSFET，其中p井3_1及n井3_2係以彼此被元件分離絕緣膜50所分離之方式，而形成於半導體基底2中。閘電極6_1係經由閘絕緣膜4_1而形成於p井3_1之上，閘電極6_2係經由閘

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

絕緣膜4_2而形成於n井3_2之上。此外，n型源極區$10a_1$及n型汲極區$10b_1$係藉由使用閘電極6_1作爲掩罩而形成於p井3_1中。以相同方式，p型源極區$10a_2$及p型汲極區10b2會藉由使用閘電極6_2作爲掩罩而形成於n井3_2中。

此外，在N-通道電晶體的源極區$10a_1$及汲極區$10b_1$中，會形成二個$Si_{1-x}C_x$層$8a_1$及$8b_2$，此二層均具有濃度可使其能隙變成大於通道區的能隙之碳。

因此，n-通道電晶體及p-通道電晶體可以以同於根據本發明的半導體裝置之第一觀點的第一實施例之相同方式，高速操作。

如上所述，在根據本發明的半導體裝置之第一觀點中，即使微小化時，也可以實現高速操作。

如上所述，在根據本發明的半導體裝置之第二觀點中，可以防止汲極崩潰電壓免於惡化。

如上所述，在製造根據本發明的半導體裝置之方法中（第三觀點），即使微小化，也可以實現高速操作。

如上所述，在製造根據本發明的半導體裝置之方法中（第四觀點），可以防止汲極崩潰電壓免於惡化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

一種具有MISFET之半導體裝置，包含：於表面上具有半導體區之矽基底（２）；分別形成於半導體區中的源極區（１０a）及汲極區（１０b）；形成於半導體區中並位於源極區與汲極區之間的通道區；形成於通道區上的閘電極（６）；及$Si_{1-x}C_x$ 所形成的區域（８a），重疊於源極區並具有足以增加其中的能隙至通道區中的能隙之外的碳濃度。此外，形成於$Si_{1-x}C_x$（８）所形成的區域與通道區側上的半導體區其它部份之間的表面會存在於源極區（１０a）及通道區之間的交界或其附近，以便即使裝置被微小化時，也可實現高速操作。

英文發明摘要（發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR）

A semiconductor device having a MISFET includes: a silicon substrate (2) having a semiconductor region on a surface thereof; a source region (10a) and a drain region (10b) formed in the semiconductor region separately; a channel region fomed in the semiconductor region and between the source region and the drain region; a gate electrode (6) formed on the channel region; and a region (8a) formed of $Si_{1-x}C_x$ overlapping the source region and having a carbon concentration enough to increase an energy gap therein beyond that in the channel region. Further, the surface formed between the region formed of $Si_{1-x}C_x$ (8) and the other portion of the semiconductor region on the side of the channel region exists at an interface between the source region (10a) and the channel region or in the vicinity thereof, in order to realize a high speed operation, even if the device is microminiaturized.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

1．一種具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：

於表面上具有半導體區之矽基底；

分別形成於半導體區中的源極區及汲極區；

形成於半導體區中並位於源極區與汲極區之間的通道區；

形成於通道區上的閘電極；及$Si_{1-x}C_x$所形成的區域，重疊於源極區並具有足以增加其中的能隙至通道區中的能隙之外的碳濃度，且

其中金屬絕緣物半導體場效電晶體係構造成形成於$Si_{1-x}C_x$所形成的區域與通道區側上的半導體區其它部份之間的異質接面表面會存在於源極區及通道區之間的交界或其附近。

2．如申請專利範圍第1項之半導體裝置，其中異質接面表面與金屬絕緣物半導體場效電晶體的源極區及通道區之間的pn接面相匹配，或存在於通道區內。

3．如申請專利範圍第1項之半導體裝置，其中當金屬絕緣物場效電晶體爲n型時，異質接面表面中的載子能隙小於構成半導區的材料之k空間中的導通帶能量之第一最低點與第二最低點的能量差絕對值；但當金屬絕緣物場效電晶體爲p型時，卻小於共價帶能量的第一最高點與第二最高點之間的能量差絕對值。

4．如申請專利範圍第2項之半導體裝置，其中當金屬絕緣物場效電晶體爲n型時，異質接面表面中的載子能

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

隙小於構成半導區的材料之k空間中的導通帶能量之第一最低點與第二最低點的能量差絕對值；但當金屬絕緣物場效電晶體爲p型時，卻小於共價帶能量的第一最高點與第二最高點之間的能量差絕對值。

5．如申請專利範圍第1項之半導體裝置，其中金屬絕緣物場效電晶體爲塊結構；且由具有足以增加其能隙至通道區之外的碳濃度之$Si_{1-x}C_x$所形成的其它區也會形成爲重疊汲極區；及重疊汲極區之$Si_{1-x}C_x$所形成的區域與半導體區的其它部份之間的異質接面表面會形成於汲極區中。

6．如申請專利範圍第2項之半導體裝置，其中金屬絕緣物場效電晶體爲塊結構；且由具有足以增加其能隙至通道區之外的碳濃度之$Si_{1-x}C_x$所形成的其它區也會形成爲重疊汲極區；及重疊汲極區之$Si_{1-x}C_x$所形成的區域與半導體區的其它部份之間的異質接面表面會形成於汲極區中。

7．如申請專利範圍第3項之半導體裝置，其中金屬絕緣物場效電晶體爲塊結構；且由具有足以增加其能隙至通道區之外的碳濃度之$Si_{1-x}C_x$所形成的其它區也會形成爲重疊汲極區；及重疊汲極區之$Si_{1-x}C_x$所形成的區域與半導體區的其它部份之間的異質接面表面會形成於汲極區中。

8．如申請專利範圍第4項之半導體裝置，其中金屬絕緣物場效電晶體爲塊結構；且由具有足以增加其能隙至

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

通道區之外的碳濃度之$Si_{1-x}C_x$所形成的其它區也會形成爲重疊汲極區；及重疊汲極區之$Si_{1-x}C_x$所形成的區域與半導體區的其它部份之間的異質接面表面會形成於汲極區中。

9．一種半導體裝置，具有：

金屬絕緣物半導體場效電晶體，包括：

具有p-型半導體區及n-型半導體區於其表面上的矽基底；

n-通道金屬絕緣物半導體場效電晶體，形成於p-型半導體區中；及

p-通道金屬絕緣物半導體場效電晶體，形成於n-型半導體區中，且

其中n-通道金屬絕緣物半導體場效電晶體包含分別形成於p-型半導體區中的n-型源極區及n-型汲極區；

第一通道區，形成於p-型半導體區並位於n-型源極區與n-型汲極區之間；

第一閘電極，形成於第一通道區上；

$Si_{1-x}C_x$所形成的第一區，重疊n-型源極區並具有足以增加其中的能隙至第一通道區中的能隙之外的碳濃度，及

由$Si_{1-x}C_x$所形成的第一區，重疊n-型源極區並具有足以增加其能隙至第一通道區能隙之外的碳濃度；

異質接面表面，形成於$Si_{1-x}C_x$所形成的第一區與第一通道區側上的p-型半導體區其它部份之間，存在於

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

n-型源極區及第一通道區之間的交界面或其附近；且

其中p-通道金屬絕緣物半導體場效電晶體包含：

p-型源極區和p-型汲極區，分別形成於n-型半導體區中；

第二通道區，形成於n-型半導體區並位於p-型源極區與p型汲極區之間；

第二閘極電極，形成於第二通道區上；

$Si_{1-x}C_x$ 形成的第二區，重疊p-型源極區並具有足以增加其中的能隙至第二通道區中的能隙之外的碳濃度，及

形成於 $Si_{1-x}C_x$ 所形成的第二區與第二通道區側上的n-型半導體區其它部份之間的異質接面表面，存在於p-型源極區及第二通道區之間的交界面或其附近。

１０．一種具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：

矽位於絕緣物上之基底，具有絕緣物質上的矽所形成的半導體層，該絕緣物質係形成於其表面上；

分別形成於半導體層中的源極區及汲極區；

通道區，形成於半導體層中並位於源極區與汲極區之間；

閘電極，形成於通道區上；及汲極區中由 $Si_{1-x}C_x$ 所形成的區域，具有足以增加其中的能隙至通道區能隙之外的碳濃度，且

其中金屬絕緣物半導體場效電晶體係以形成於

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

$Si_{1-x}C_x$ 所形成的區域與半導體層其它部份之間的異質接面表面存在於通道區的汲極區側上之方式而構成的。

11. 一種具有金屬絕緣物半導體場效電晶體之半導體裝置，包括：

具有半導體區於其表面上的矽基底；

分別形成於半導體區中的源極區及汲極區；通道區，形成於半導體區中並位於源極區及汲極區之間；

閘電極，形成於通道區上；

$Si_{1-x}C_x$ 形成的區域，重疊源極區及汲極區之至少一區並具有足以增加其中的能隙至通道區中的能隙之外的碳濃度；

及電極，由金屬所形成並形成於至少一區上；且

其中金屬絕緣物半導體場效電晶體會以始自至少一區與形成於其上的電極之間的交界面，延著基底深度方向分佈之碳原子濃度分佈會於基底中變成最大之方式而構成。

12. 如申請專利範圍第11項之半導體裝置，其中金屬絕緣物半導體場效電晶體係表面通道型；$Si_{1-x}C_x$ 所形成的區域係形成於至少一區的表面附近之處；及導電率與至少一區的導電率相同的矽半導體層會形成於至少一區與形成於其上的電極之間。

13. 如申請專利範圍第11項之半導體裝置，其中金屬絕緣物半導體場效電晶體係表面通道型；$Si_{1-x}C_x$ 所形成的區域會形成於至少一區的電極之下，比通道區附近還深。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

14. 如申請專利範圍第11項之半導體裝置，其中金屬絕緣物半導體場效電晶體係掩埋通道型；及

$Si_{1-x}C_x$所形成的區係構造成連接至掩埋通道。

15. 如申請專利範圍第11項之半導體裝置，其中$Si_{1-x}C_x$所形成的區會重疊源極區；位於$Si_{1-x}C_x$所形成的區與通道區側上的半導體區其它部份之間異質接面表面會存在於源極區與通道區之間的交界或其附近之處。

16. 如申請專利範圍第12項之半導體裝置，其中$Si_{1-x}C_x$所形成的區會重疊源極區；位於$Si_{1-x}C_x$所形成的區與通道區側上的半導體區其它部份之間異質接面表面會存在於源極區與通道區之間的交界或其附近之處。

17. 如申請專利範圍第13項之半導體裝置，其中$Si_{1-x}C_x$所形成的區會重疊源極區；位於$Si_{1-x}C_x$所形成的區與通道區側上的半導體區其它部份之間異質接面表面會存在於源極區與通道區之間的交界或其附近之處。

18. 一種製造半導體裝置的方法，包括下述步驟：

於矽基底上形成閘絕緣膜；

於所形成的閘絕緣膜上形成閘電極；

使用閘電極作爲掩罩，藉由植入碳離子而形成$Si_{1-x}C_x$層；及

形成源極區及汲極區。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

405225

六、申請專利範圍

19. 如申請專利範圍第18項之製造半導體裝置的方法，其中$Si_{1-x}C_x$層具有足以增加其中的能隙至形成於閘電極之下及矽基底中的通道區中的能隙之外的碳濃度。

20. 一種製造半導體裝置的方法，包括下述步驟：

於矽位於絕緣物上的基底之矽層上，形成閘絕緣膜，該基底具有形成於其表面上的絕緣物質上的矽層；

於所形成的閘絕緣膜上，形成閘電極；

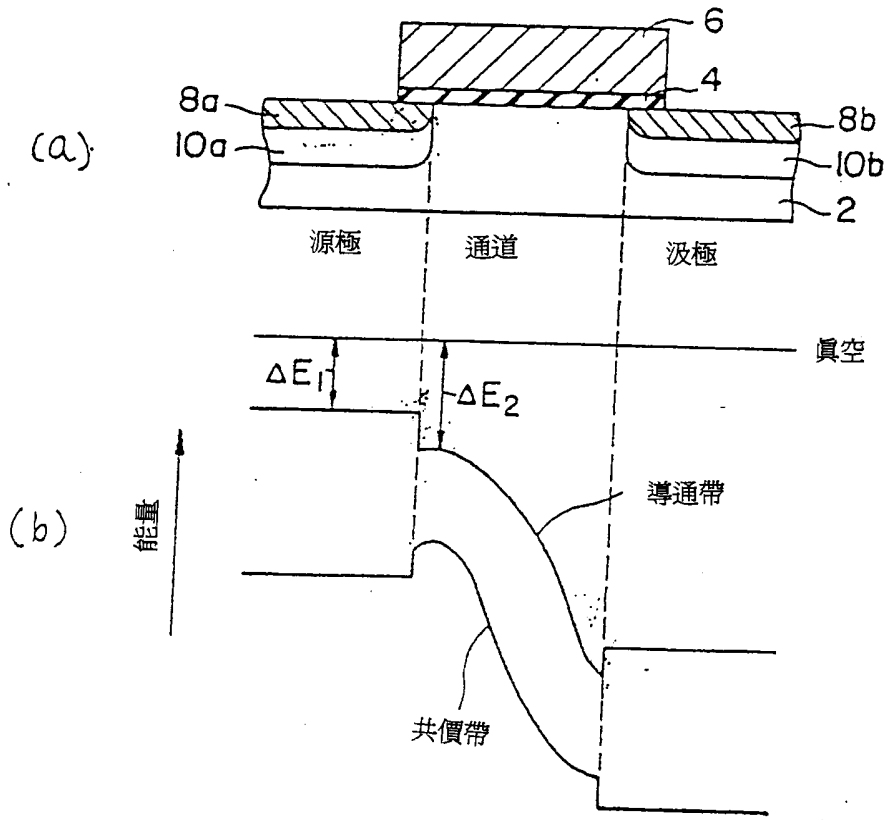
形成源極區及汲極區；及

使用閘電極作爲掩罩，以形成於汲極區側上的$Si_{1-x}C_x$層可延伸至形成於矽層中及閘極電極之下的通道區側之傾斜佈植角度，佈植碳離子以形成$Si_{1-x}C_x$層。

（請先閱讀背面之注意事項再填寫本頁）
訂

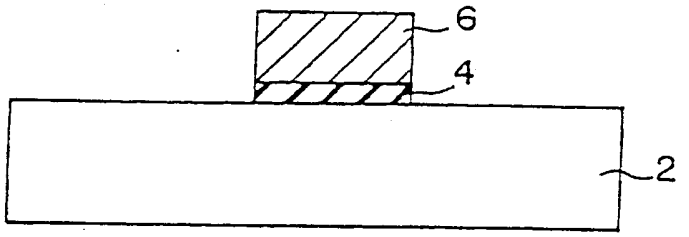
經濟部中央標準局員工消費合作社印製

405225

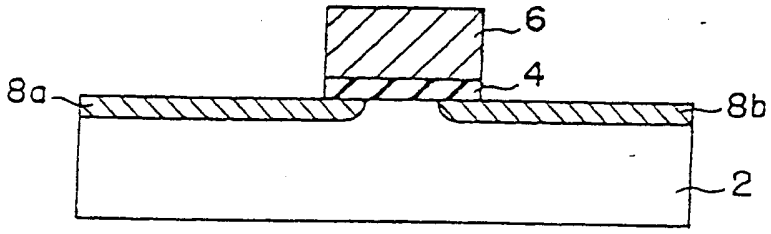


第 1 圖

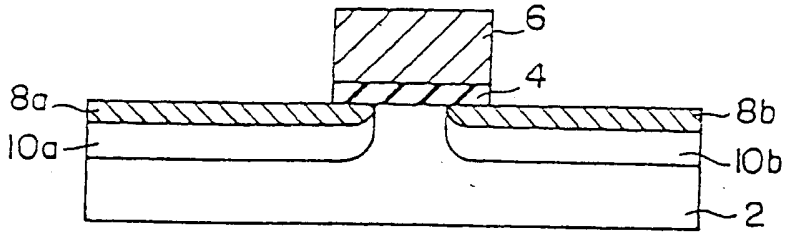
第 2 圖A

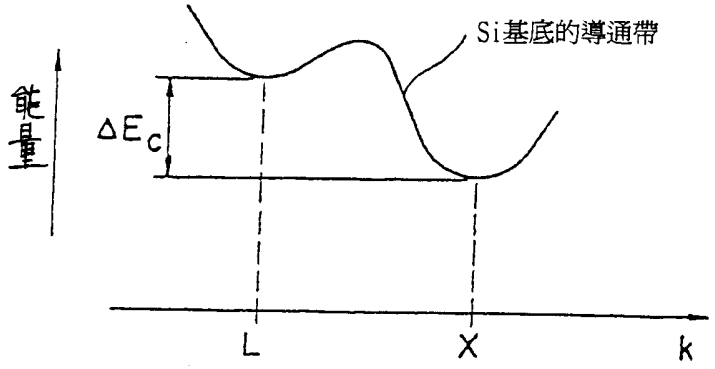


第 2 圖B

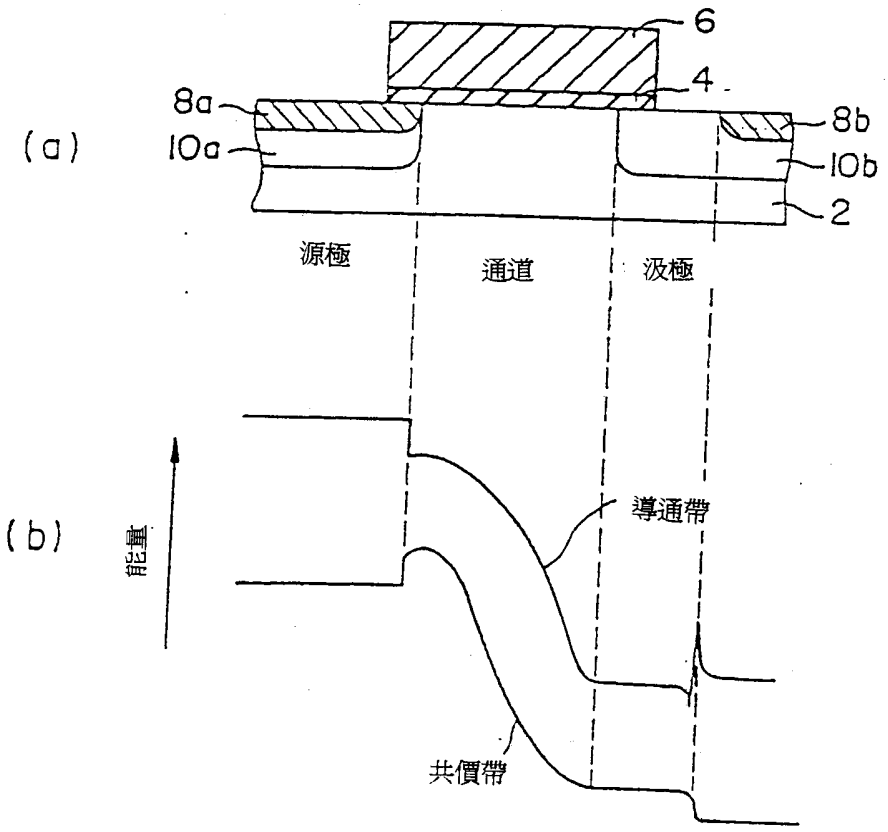


第 2 圖C



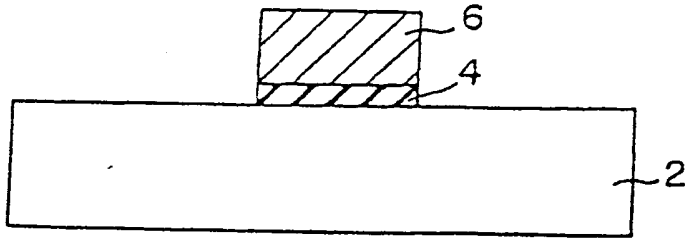


第3圖

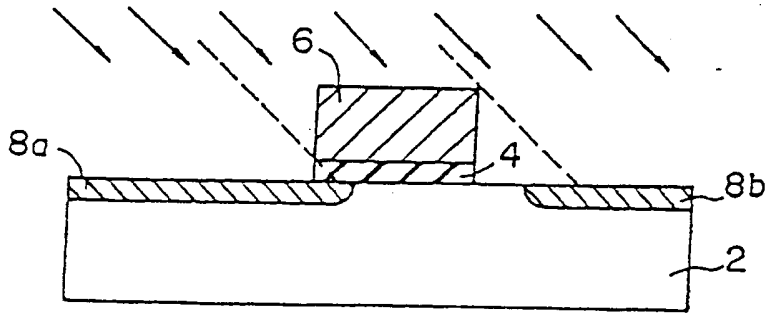


第4圖

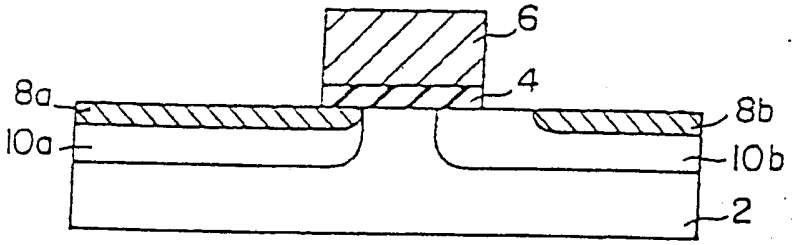
第 5 圖A

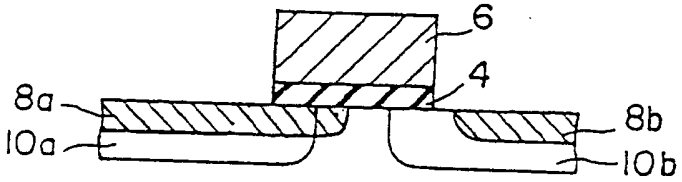


第 5 圖B

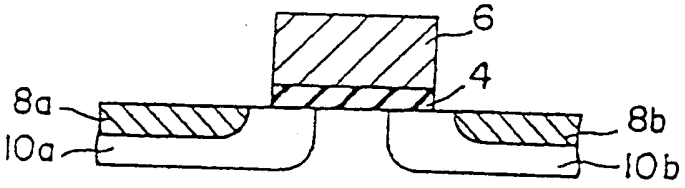


第 5 圖C



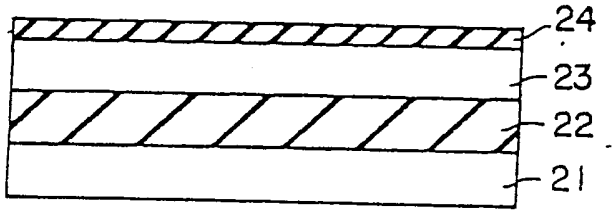


第 6 圖A

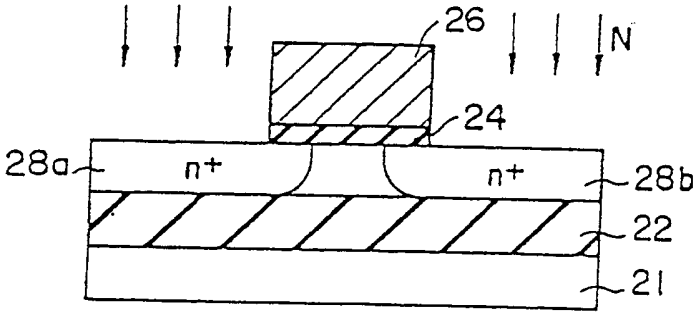


第 6 圖B

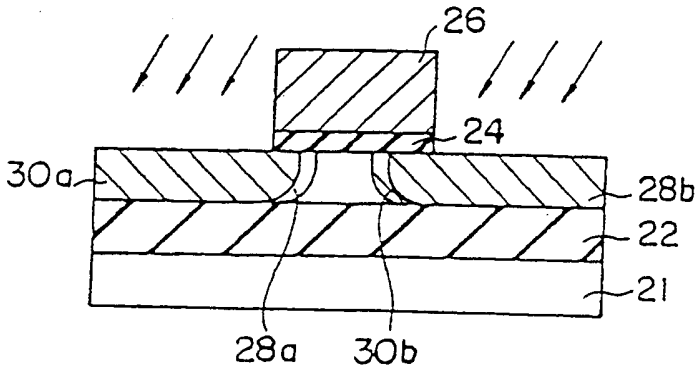
第7圖A

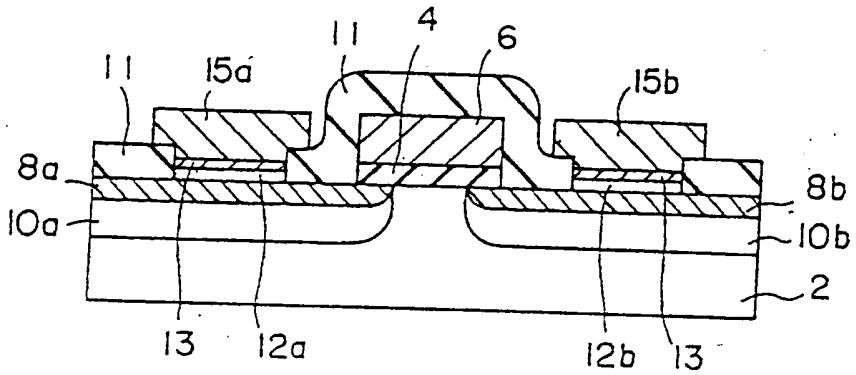


第7圖B

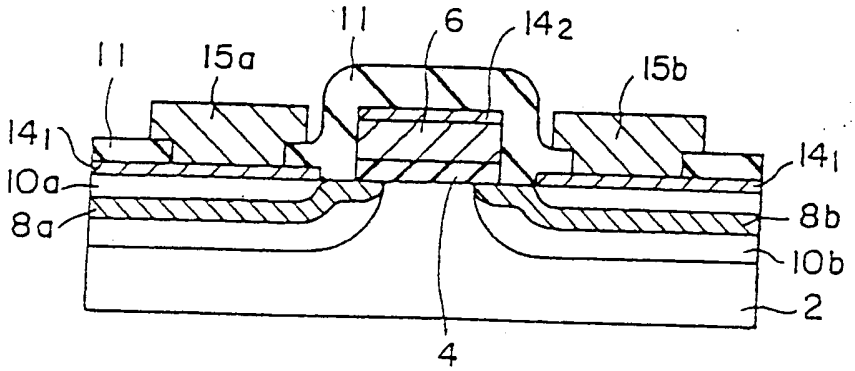


第7圖C



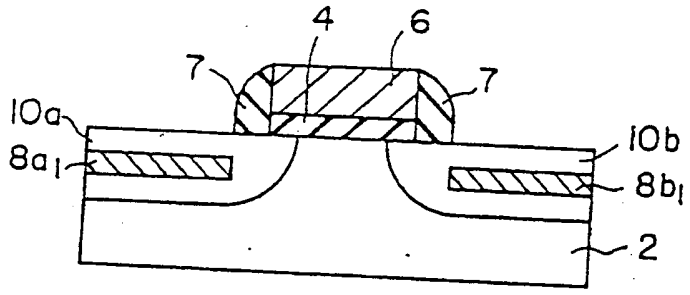

11
4
6
11
15a
15b
8a
8b
10a
10b
2
13
12a
12b
13

第 8 圖

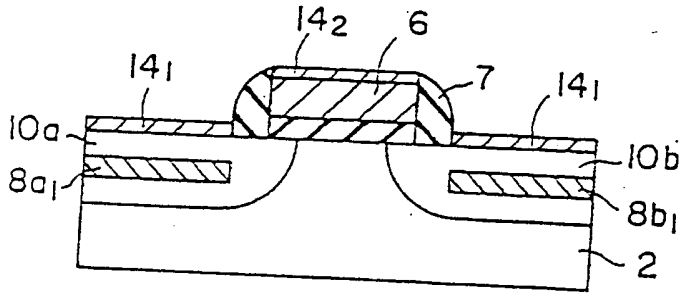

11
6
14₂
11
15a
15b
14₁
14₁
10a
8a
8b
10b
2
4

第 9 圖

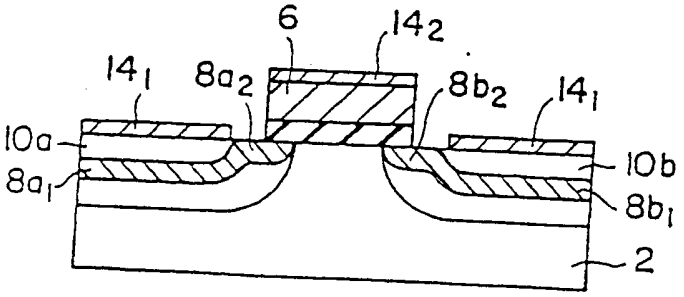
第10圖A

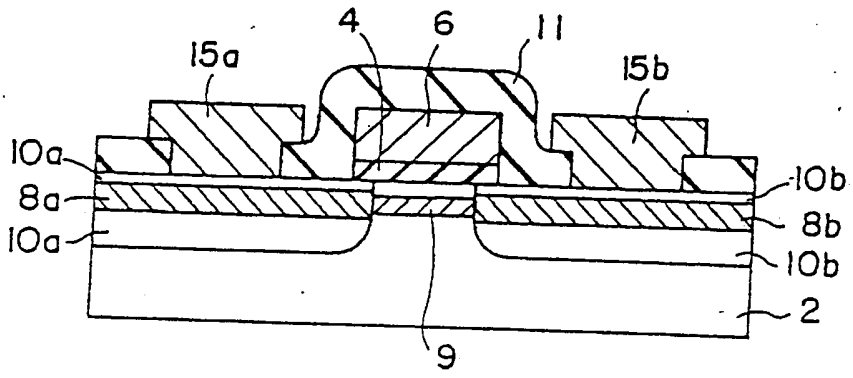


第10圖B

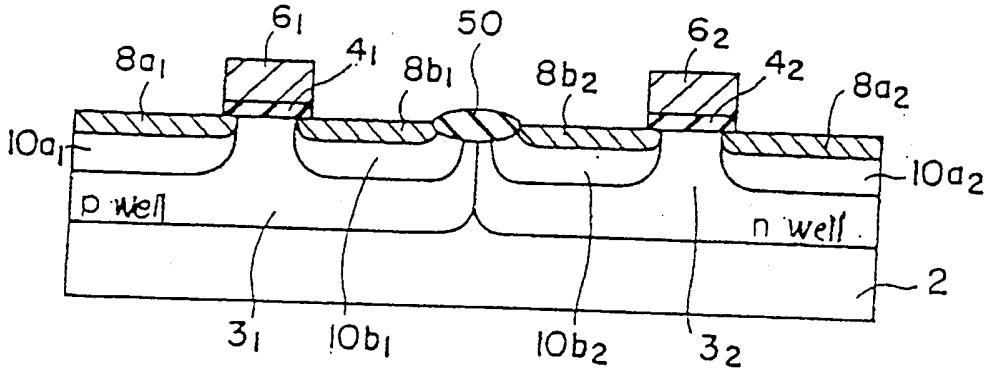


第10圖C

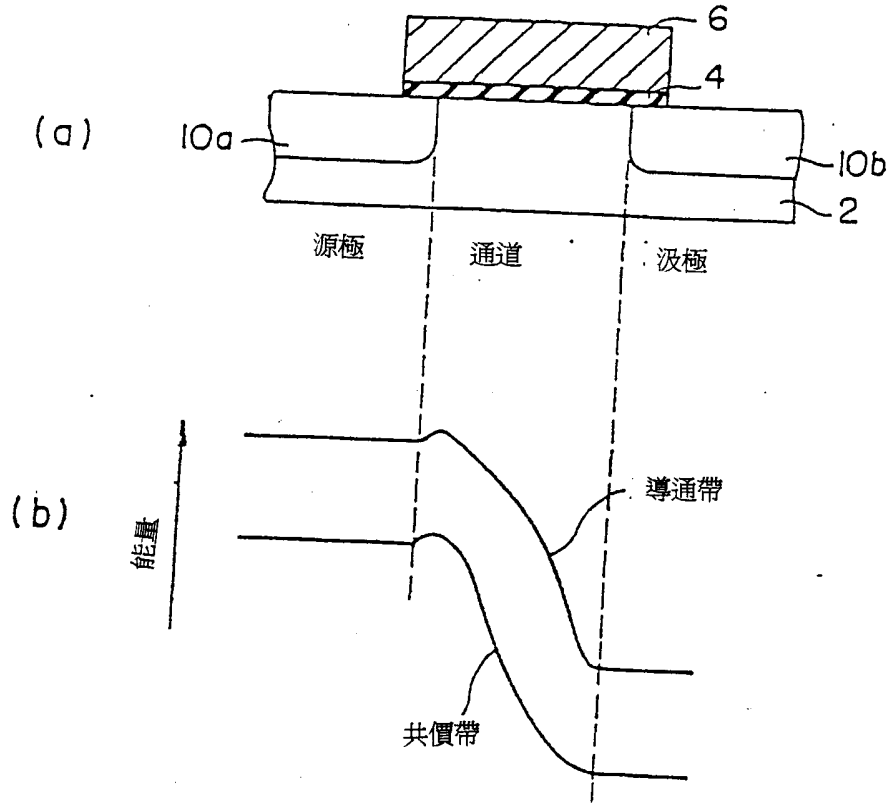



4
6
11
15a
15b
10a
8a
10a
10b
8b
10b
2
9

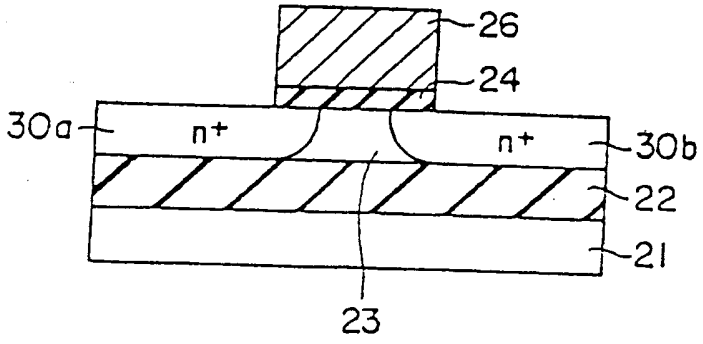
第11圖


6₁
50
6₂
8a₁
4₁
8b₁
8b₂
4₂
8a₂
10a₁
10a₂
p well
n well
2
3₁
10b₁
10b₂
3₂

第12圖



第13圖



第14圖

405225

五、發明說明（7）

在於通道區的汲極區側上，大帶隙區會延伸至通道區，此外，載子的動能會於汲極尾端減少。結果，在汲極區附近的撞擊離子化速率及能帶間的穿隧電流可以被減少，以致於汲極崩潰電壓的惡化可以被防止。

此外，在本發明的第五觀點中，由於$Si_{1-x}C_x$層可形成於源極區中，所以，會於源極與通道之間的異質接面中存有載子能量差。因此，當裝置微小化時，非穩定載子傳送會發生於源極與通道之間的高電場區中。結果，載子速度會過快並因而使半導體裝置可以以較高速度操作。

此外，在本發明的第六觀點中，由於異質接面表面可以形成於通道區的汲極區側上，大的能帶間隙區會延伸至通道區，此外，載子的動能會於汲極尾端被減少。結果，在汲極區附近的撞擊離子化速率及能帶間的穿隧電流會被減少，以致於汲極崩潰電壓的惡化可以被防止。

圖式簡述

圖1（a）係剖面視圖，顯示根據本發明的半導體裝置之第一觀點的第一實施例；

圖1（b）係顯示圖1（a）所示的相同半導體裝置之基底表面的附近處的能帶；

圖2A至2C係剖面視圖，顯示圖1（a）中所示的半導體裝置之第一觀點的第一實施例之製造步驟；

圖3係顯示矽基底的導通帶之k-空間中的特性；

圖4（a）係剖面視圖，顯示根據本發明的半導體裝置之第一觀點的第二實施例；

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)