



(10) **DE 10 2017 127 279 A1** 2019.05.23

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2017 127 279.8**

(22) Anmeldetag: **20.11.2017**

(43) Offenlegungstag: **23.05.2019**

(51) Int Cl.: **G11C 13/00 (2006.01)**

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Viering, Jentschura & Partner mbB Patent- und
Rechtsanwälte, 01099 Dresden, DE**

(72) Erfinder:
**Otterstedt, Jan, 82008 Unterhaching, DE; Peters,
Christian, 85591 Vaterstetten, DE**

(56) Ermittelter Stand der Technik:

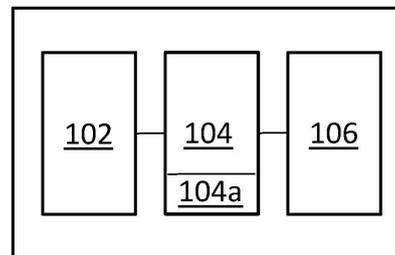
US	2014 / 0 160 830	A1
US	2016 / 0 093 672	A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

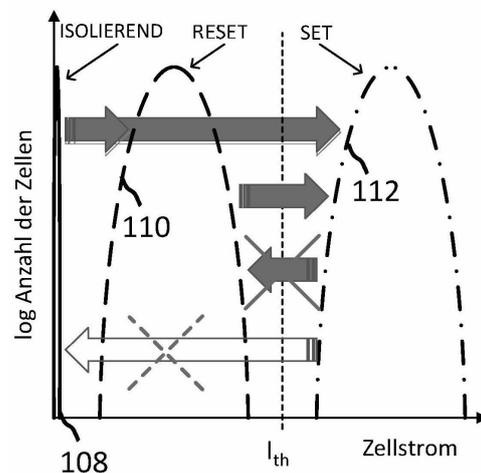
(54) Bezeichnung: **Datenspeicher, Verfahren zum Betreiben eines Datenspeichers und Mikrocontroller**

100
↙



(57) Zusammenfassung: In verschiedenen Ausführungsbeispielen wird ein Datenspeicher bereitgestellt, der mindestens eine Speicherzelle aufweist, wobei die Speicherzelle gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist, eine stromrichtungsdefinierende Schaltung, welche derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist, und eine Steuerung, welche eingerichtet ist, mittels eines Steuerns eines Stromflusses durch die Speicherzelle in der ersten Richtung die Speicherzelle in einen ersten, nicht umprogrammierbaren Speicherzustand zu programmieren. Dabei bedeutet der einer bipolar schaltenden Speicherzelle entsprechende Aufbau, dass die Speicherzelle geeignet ist für das Programmieren in den ersten Speicherzustand mittels eines Stromflusses in der ersten Richtung durch die Speicherzelle und für ein Programmieren in einen zweiten Speicherzustand mittels eines Stromflusses in einer zur ersten Richtung entgegengesetzten zweiten Richtung.

101
↙



Beschreibung

[0001] Die Erfindung betrifft einen Datenspeicher und ein Verfahren zum Betreiben eines Datenspeichers.

[0002] Bei einem hierin verwendeten Datenspeicher kann ein Widerstandswert eines Speicherelements (auch als Element, Speicherzelle oder Zelle bezeichnet) veränderbar sein, was genutzt werden kann zum Programmieren der Speicherzelle in unterschiedliche Widerstands-Zustände, welchen in Abhängigkeit vom Widerstandswert unterschiedliche logische Werte zugewiesen werden können. Ein solcher Datenspeicher kann auch als Widerstands-Datenspeicher bezeichnet werden, das entsprechende Speicherelement als Widerstands-Speicherelement.

[0003] Ein Beispiel für einen solchen Datenspeicher ist ein RRAM-Speicher (Resistive Random-Access Memory-Speicher), bzw. eine entsprechende Speicherzelle. Die RRAM-Speicherzelle weist mindestens zwei Elektroden mit einer dazwischen angeordneten dielektrischen Schicht auf, welche direkt nach einem Herstellen der RRAM-Speicherzelle (auch als Anfangszustand, Ausgangszustand, Isolierzustand oder isolierender Zustand bezeichnet) isolierend ist. In diesem Zustand kann das RRAM-Element wie ein Metall-Isolator-Metall- (MIM-)Kondensator gebildet sein. Die Schicht wird auch als Zwischenschicht oder als Isolierschicht bezeichnet.

[0004] Mittels Anlegens einer ausreichend hohen Spannung an die Elektroden kann die Isolierschicht in einen mehr oder weniger leitfähigen Zustand überführt werden (z.B. mittels Ausbildens eines leitfähigen Pfades, z.B. eines oder mehrerer leitender Filamente, in der Schicht). Das erstmalige Überführen der Speicherzelle aus dem Isolierzustand in den mehr oder weniger leitfähigen Zustand mittels Anlegens einer relativ hohen Spannung (z.B. etwa 2,5 V bis etwa 3,5 V) an die Elektroden bis die Isolationsschicht zusammenbricht und ein Strom zwischen den Elektroden fließt wird auch als „Formen“ der Speicherzelle bezeichnet.

[0005] Nachdem der leitfähige Pfad erstmals ausgebildet ist, kann das RRAM-Element zwischen einem Zustand mit einem relativ niedrigen Widerstand und einem Zustand mit einem relativ hohen Widerstand hin- und hergeschaltet werden, indem relativ niedrige Spannungen (im Vergleich zur beim Formen verwendeten Spannung, z.B. Spannungen von etwa 1,5 V bis etwa 2,0 V) mit einer richtigen Polarität angelegt werden. Üblicherweise werden die Zustände als SET-Zustand (niedrigerer Widerstand, höhere Leitfähigkeit) und als RESET-Zustand (höherer Widerstand, niedrigere Leitfähigkeit) bezeichnet. Eine Speicherzelle, welche so gestaltet ist, dass sie mittels Anlegens von Spannungen unterschiedlicher Po-

laritäten an die Elektroden zwischen dem SET- und dem RESET-Zustand umschaltbar ist, wird auch als bipolar schaltende Speicherzelle oder kurz als bipolare Speicherzelle bezeichnet. Zwei solche bipolaren Speicherzellen **102** sind in **Fig. 2A** bzw. **Fig. 2B** dargestellt. Die an den Elektroden des RRAM-Elements **102** angelegten Spannungen sind mit V_1 und V_2 bezeichnet, wobei zum Programmieren in den SET-Zustand V_1 größer ist als V_2 und zum Programmieren in den RESET-Zustand V_2 größer ist als V_1 (oder umgekehrt).

[0006] Bei bipolaren Speicherzellen werden üblicherweise für die Isolierschicht Metalloxide verwendet, beispielsweise Oxide von Übergangsmetallen. Das Übergangsmetall kann beispielsweise Hafnium, Tantal oder Titan aufweisen oder daraus bestehen. Typische Isolierschichten für bipolare RRAM-Speicherzellen können beispielsweise HfO_2 oder Ta_2O_5 aufweisen.

[0007] Zum Speichern von Daten im Datenspeicher kann beispielsweise denjenigen Zellen, die sich im SET-Zustand befinden, ein logischer Wert von 1 zugeordnet werden, und denjenigen Zellen, die sich im RESET-Zustand befinden, ein logischer Wert von 0 zugeordnet werden (oder umgekehrt).

[0008] Wegen der Möglichkeit, wiederholt umprogrammiert zu werden, sind herkömmliche bipolare Speicherzellen wie die beschriebenen RRAM-Zellen wenig geeignet, als dauerhafte Schutz- bzw. Sicherheitselemente und/oder als Speicher mit unveränderbarem Speicherinhalt genutzt zu werden.

[0009] Denn ein Schutz- bzw. Sicherheitselement, welches eingerichtet sein kann zum Schutz vor bestimmten Vorgängen, Zugriffen o.ä. (z.B. derart, dass bei einem Vorliegen in einem vorbestimmten Speicherzustand ein Lese- und/oder Schreibzugriff auf einen Speicherbereich verhindert wird (oder nur dann ermöglicht wird), kann am wirkungsvollsten eingesetzt werden, wenn der vorbestimmte Speicherzustand dauerhaft herbeigeführt werden kann und weder versehentlich noch absichtlich, beispielsweise von einem Angreifer, geändert werden kann.

[0010] In verschiedenen Ausführungsbeispielen wird ein Datenspeicher bereitgestellt, bei welchem mindestens eine bipolare Speicherzelle in Kombination mit einer Schaltung und einer Steuerung eingerichtet ist, in einen vorbestimmten Speicherzustand (der Speicherzustand kann auch als Programmierzustand bezeichnet werden) programmierbar zu sein, der unveränderlich ist. Die Unveränderlichkeit des vorbestimmten Speicherzustands kann dadurch erreicht werden, dass die Schaltung eine stromrichtungsdefinierende Schaltung aufweist, welche eingerichtet ist, einen Stromdurchfluss durch die Speicherzelle nur in einer ersten Richtung zu ermögli-

chen. Bei einem Programmieren mittels der Steuerung kann demnach zwar die Speicherzelle mittels Erzeugens eines Programmierstroms in der ersten Richtung durch die Speicherzelle in den vorbestimmten Speicherzustand überführt werden, ein Umprogrammieren, welches ein Durchfließen der Speicherzelle mit einem Programmierstrom in einer zweiten Richtung erfordern würde, ist jedoch (z.B. durch die stromrichtungsdefinierende Schaltung) unterbunden.

[0011] Anders ausgedrückt gibt es für die Speicherzelle des Datenspeichers einen endgültigen Speicherzustand, den die Speicherzelle nicht mehr verlassen kann. Obwohl es ein Zusammenwirken von Speicherzelle und Schaltung (ggf. und Steuerung) ist, welches die Programmierbarkeit der Speicherzelle in den endgültigen Zustand bedingt, wird hierfür auch der Begriff „Einweg-Speicherzelle“ verwendet.

[0012] In verschiedenen Ausführungsbeispielen kann der Datenspeicher eine einzelne Einweg-Speicherzelle aufweisen. Diese kann beispielsweise als Sicherungselement genutzt werden, indem die Steuerung derart eingerichtet ist, dass sie z.B. ein Lesen aus und/oder Schreiben in weitere (z.B. wiederholt programmierbare) Speicherbereiche und/oder ein Einstellen bestimmter Betriebsparameter o.ä. nur dann ermöglicht, wenn die Einweg-Speicherzelle im vorbestimmten (endgültigen) Speicherzustand ist, oder alternativ nur dann, wenn die Einweg-Speicherzelle gerade nicht im vorbestimmten (endgültigen) Speicherzustand ist. Bei einer beispielhaften Anwendung kann der Datenspeicher in einem Testmodus betreibbar sein, der z.B. einen Zugriff auf Test-Speicherbereiche und/oder ein Einstellen von Test-Betriebsparametern ermöglicht, solange die Einweg-Speicherzelle nicht im endgültigen Speicherzustand ist, und in einem „normalen“ Betriebsmodus betreibbar sein, der z.B. eine übliche Schreib- und/oder Lesefunktion für reguläre Speicherbereiche unter Verwendung von für diese Funktionalität normalen Betriebsparametern aufweisen kann, wenn die Einweg-Speicherzelle im endgültigen Speicherzustand ist.

[0013] Abhängig z.B. davon, wem ein Zugang zum Testmodus ermöglicht werden soll, kann die Einweg-Speicherzelle vor einem Ausliefern des Datenspeichers an einen Nutzer in den endgültigen Speicherzustand überführt werden, so dass dem Nutzer nur der normale Betriebsmodus zugänglich ist, oder der Datenspeicher kann in einem Zustand an den Nutzer ausgeliefert werden, der es dem Nutzer ermöglicht, die Einweg-Speicherzelle zu einem für ihn sinnvollen Zeitpunkt in den endgültigen Speicherzustand zu überführen (bildlich gesprochen, die „Sicherung durchzubrennen“).

[0014] In verschiedenen Ausführungsbeispielen kann die Einweg-Speicherzelle für andere Funktio-

nen als das beschriebene Umschalten zwischen Test- und Normalbetrieb als Sicherung verwendet werden.

[0015] In verschiedenen Ausführungsbeispielen kann eine Mehrzahl von Einweg-Speicherzellen als Sicherung oder Sicherungen verwendet werden, beispielsweise indem unterschiedliche Sicherungen unterschiedliche Funktionalitäten absichern (z.B. getrennte Absicherung von Schreib- und Lesezugriff) und/oder indem nur eine vorbestimmte Kombination von Speicherzuständen bei den Einweg-Speicherzellen eine abgesicherte Funktionalität ermöglicht oder verhindert.

[0016] In verschiedenen Ausführungsbeispielen kann eine Mehrzahl von Einweg-Speicherzellen genutzt werden, um Daten auf gesicherte Weise abzuspeichern, beispielsweise indem dem endgültigen Speicherzustand ein erster Logikwert zugewiesen wird, und einem anderen Speicherzustand, zu welchem in diesem Zusammenhang auch der unprogrammierte Ausgangszustand (d.h. der Isolierzustand) gezählt werden kann, ein zweiter Logikwert. Insbesondere bei einer Kombination des endgültigen Speicherzustands und des Isolierzustands zum Speichern der Daten kann ein Ändern der gespeicherten Daten verhindert werden, da während des Lese-/Schreibbetriebs in den Einweg-Speicherzellen weder ein Strom bereitgestellt werden kann, dessen Richtung geeignet wäre, die Einweg-Speicherzellen aus dem endgültigen Speicherzustand in einen anderen Speicherzustand zu überführen, noch ein Strom oder eine Spannung bereitgestellt werden können, die eine ausreichende Stromstärke bzw. Spannungshöhe aufweisen, um die Einweg-Speicherzellen im Isolierzustand in einen der leitfähigen Speicherzustände zu überführen. Beispielsweise können Konfigurationsdaten, Chip-Identifikationsdaten oder ähnliches auf diese Weise gespeichert werden.

[0017] In verschiedenen Ausführungsbeispielen kann der Isolierzustand bei einer oder mehreren Speicherzellen, welche in Kombination mit den Einweg-Speicherzellen genutzt werden können, unveränderbar erzeugt werden, beispielsweise indem eine oder mehrere Verbindungsleitungen der Speicherzelle, welche zum Formen der Speicherzelle benötigt würden, nicht ausgebildet werden. Da das Nicht-Ausbilden der Verbindungsleitungen typischerweise für alle Chips einer Herstellungslinie in gleicher Weise erfolgt, kann eine Kombination der unveränderbaren Isolier-Speicherzellen mit den Einweg-Speicherzellen im endgültigen Speicherzustand insbesondere für ein Speichern von für alle Chips gleichen Konfigurationsdaten oder ähnlichem genutzt werden.

[0018] In verschiedenen Ausführungsbeispielen kann eine Zuordnung von Logikwerten zu Speicherzuständen derart erfolgen, dass allen Speicherzu-

ständen außer dem Isolierzustand der erste Logikwert zugeordnet wird, und nur dem Isolierzustand der zweite Logikwert zugeordnet wird. Damit kann über den oben beschriebenen Schutz vor einem Verändern der gespeicherten Daten hinaus ermöglicht sein, dass selbst in einem Fall, dass ein Angreifer für seinen Angriff nicht auf den Schaltkreis des Datenspeichers zurückgreift, sondern die Elektroden direkt mit einer beliebigen Spannung versorgen kann, den Speicherzellen, die im (eigentlich) endgültigen Speicherzustand sind unabhängig von einer möglichen Manipulation der erste Logikwert zugeordnet wird. Denn selbst bei einem Umprogrammieren der Speicherzellen, die im eigentlich endgültigen Speicherzustand sind, in einen anderen Speicherzustand können diese nicht wieder in den isolierenden Zustand überführt werden.

[0019] In verschiedenen Ausführungsbeispielen kann die Einweg-Speicherzelle Teil eines Zellenfeldes von herkömmlich schreib- und/oder lesbaren Speicherzellen sein.

[0020] Beispielsweise kann bei einem herkömmlichen Speicherzellenfeld eine Speicherzelle oder eine Mehrzahl von Speicherzellen mit der stromrichtungsdefinierenden Schaltung versehen sein, so dass diese Speicherzelle(n) als Einweg-Speicherzelle(n) fungieren. Damit wird ermöglicht, mittels desselben Herstellungsverfahrens normale Speicherzellen und Einweg-Speicherzellen auszubilden, so dass zum Bereitstellen von Schutzzellen für die normalen Speicherzellen nicht auf andere herkömmliche Einweg-Speicherzellen (z.B. ROM-Speicherzellen) zurückgegriffen zu werden braucht, welche auf einer anderen Technologie basieren und somit ein anderes Herstellungsverfahren erfordern.

[0021] In verschiedenen Ausführungsbeispielen kann der Datenspeicher ein (z.B. eingebetteter) Teil eines Mikrocontroller-Chips sein.

[0022] Im Folgenden werden zusammenfassend einige Ausführungsbeispiele angegeben.

[0023] Ausführungsbeispiel 1 ist ein Datenspeicher, der mindestens eine Speicherzelle aufweist, wobei die Speicherzelle gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist, eine stromrichtungsdefinierende Schaltung, welche derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist, und eine Steuerung, welche eingerichtet ist, mittels eines Steuerns eines Stromflusses durch die Speicherzelle in der ersten Richtung die Speicherzelle in einen ersten, nicht umprogrammierbaren Speicherzustand zu programmieren.

[0024] Ausführungsbeispiel 2 ist ein Datenspeicher gemäß Ausführungsbeispiel 1, wobei der einer bipo-

lar schaltenden Speicherzelle entsprechende Aufbau bedeutet, dass die Speicherzelle geeignet ist für das Programmieren in den ersten Speicherzustand mittels eines Stromflusses in der ersten Richtung durch die Speicherzelle und für ein Programmieren in einen zweiten Speicherzustand mittels eines Stromflusses in einer zur ersten Richtung entgegengesetzten zweiten Richtung.

[0025] Ausführungsbeispiel 3 ist ein Datenspeicher gemäß Ausführungsbeispiel 2, wobei der Stromfluss durch die Speicherzelle in der ersten Richtung ein Programmieren der Speicherzelle aus einem Grundzustand in den ersten Speicherzustand, aus dem Grundzustand in den zweiten Speicherzustand und/oder aus dem zweiten Speicherzustand in den ersten Speicherzustand ermöglicht.

[0026] Ausführungsbeispiel 4 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 2 oder 3, wobei ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand unterbunden ist.

[0027] Ausführungsbeispiel 5 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 2 bis 4, der ferner eine strombegrenzende Schaltung aufweist, welche eingerichtet ist, eine Stromstärke und/oder Dauer eines Stromflusses durch die Speicherzelle auf einen Wert zu beschränken, der ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand verhindert.

[0028] Ausführungsbeispiel 6 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 5, wobei die stromrichtungsdefinierende Schaltung eine Diode aufweist.

[0029] Ausführungsbeispiel 7 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 6, wobei die mindestens eine Speicherzelle ein Schutzelement bildet, welches in einen Zustand bringbar ist, welcher eine Zustandsänderung einer Umgebungs-schaltung des Schutzelements unterbindet.

[0030] Ausführungsbeispiel 8 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 7, wobei das Schutzelement eingerichtet ist, vor einem Ausführen eines vorbestimmten Vorgangs und/oder einem Erreichen eines vorbestimmten Zustands zu schützen, wenn das Schutzelement in dem ersten Speicherzustand ist, und das Ausführen des Vorgangs und/oder das Erreichen des Zustands zu ermöglichen, wenn das Schutzelement in dem zweiten Speicherzustand ist, oder umgekehrt.

[0031] Ausführungsbeispiel 9 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 2 bis 8, wobei der Datenspeicher ferner eine Auswerteschaltung aufweist, welche eingerichtet ist, der Speicherzelle in

Abhängigkeit vom Speicherzustand einen Logikwert zuzuweisen.

[0032] Ausführungsbeispiel 9A ist ein Datenspeicher gemäß Ausführungsbeispiel 9, wobei die Auswerteschaltung eingerichtet ist, einer Kombination von Grundzustand und/oder Speicherzuständen einen ersten Logikwert zuzuweisen, und der Speicherzelle einen zweiten Logikwert zuzuweisen, wenn die Speicherzelle im Speicherzustand ist, der nicht Teil der Kombination ist.

[0033] Ausführungsbeispiel 10 ist ein Datenspeicher gemäß Ausführungsbeispiel 9 oder 9A, wobei die Auswerteschaltung eingerichtet ist, der Speicherzelle einen ersten Logikwert zuzuweisen, wenn die Speicherzelle im Grundzustand oder im zweiten Speicherzustand ist, und der Speicherzelle einen zweiten Logikwert zuzuweisen, wenn die Speicherzelle im ersten Speicherzustand ist. Die Kombination des Ausführungsbeispiels 9A besteht somit aus dem Grundzustand und dem zweiten Speicherzustand.

[0034] Ausführungsbeispiel 11 ist ein Datenspeicher gemäß Ausführungsbeispiel 9, wobei die Auswerteschaltung eingerichtet ist, der Speicherzelle einen ersten Logikwert zuzuweisen, wenn die Speicherzelle im zweiten Speicherzustand ist, und der Speicherzelle einen zweiten Logikwert zuzuweisen, wenn die Speicherzelle im ersten Speicherzustand ist.

[0035] Ausführungsbeispiel 12 ist ein Datenspeicher gemäß Ausführungsbeispiel 9, wobei die Auswerteschaltung eingerichtet ist, der Speicherzelle einen ersten Logikwert zuzuweisen, wenn die Speicherzelle im Grundzustand ist, und der Speicherzelle einen zweiten Logikwert zuzuweisen, wenn die Speicherzelle im ersten Speicherzustand ist.

[0036] Ausführungsbeispiel 13 ist ein Datenspeicher gemäß Ausführungsbeispiel 9 oder 9A, wobei die Auswerteschaltung eingerichtet ist, der Speicherzelle einen ersten Logikwert zuzuweisen, wenn die Speicherzelle im Grundzustand ist, und der Speicherzelle einen zweiten Logikwert zuzuweisen, wenn die Speicherzelle im ersten Speicherzustand oder im zweiten Speicherzustand ist. Die Kombination des Ausführungsbeispiels 9A besteht somit aus dem ersten Speicherzustand und dem zweiten Speicherzustand.

[0037] Ausführungsbeispiel 14 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 13, wobei die mindestens eine Speicherzelle eine nicht-flüchtige Speicherzelle ist.

[0038] Ausführungsbeispiel 15 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 14, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle, eine Conductive Bridging Random Access Memory-Zelle, eine Ma-

gnetoresistive Random Access Memory-Zelle oder eine Phase Change Random Access Memory-Zelle ist.

[0039] Ausführungsbeispiel 16 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 2 bis 15, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle oder eine Conductive Bridging Random Access Memory-Zelle ist und wobei der Grundzustand ein Isolierzustand der Speicherzelle nach ihrer Herstellung und vor einem Formen der Speicherzelle ist.

[0040] Ausführungsbeispiel 17 ist ein Datenspeicher gemäß Ausführungsbeispiel 16, wobei der erste Speicherzustand ein SET-Zustand ist und wobei der zweite Speicherzustand ein RESET-Zustand ist.

[0041] Ausführungsbeispiel 18 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 17, wobei die mindestens eine Speicherzelle eine erste Elektrode, eine zweite Elektrode und ein zwischen der ersten Elektrode und der zweiten Elektrode angeordnetes Isoliermaterial aufweist oder daraus besteht.

[0042] Ausführungsbeispiel 19 ist ein Datenspeicher gemäß Ausführungsbeispiel 18, wobei die Speicherzelle eine Resistive Random Access Memory-Zelle ist und das Isoliermaterial ein Metalloxid aufweist oder daraus besteht.

[0043] Ausführungsbeispiel 20 ist ein Datenspeicher gemäß Ausführungsbeispiel 19, wobei das Metalloxid ein Oxid eines Übergangsmetalls ist.

[0044] Ausführungsbeispiel 21 ist ein Datenspeicher gemäß Ausführungsbeispiel 20, wobei das Übergangsmetall Hafnium, Tantal oder Titan aufweist oder daraus besteht.

[0045] Ausführungsbeispiel 22 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 19 bis 21, wobei der Datenspeicher ferner eine Übergangsmetallschicht zwischen der ersten Elektrode und dem Isoliermaterial aufweist.

[0046] Ausführungsbeispiel 23 ist ein Datenspeicher gemäß Ausführungsbeispiel 22, wobei das Übergangsmetall der Schicht Hafnium, Tantal oder Titan aufweist oder daraus besteht.

[0047] Ausführungsbeispiel 24 ist ein Datenspeicher gemäß Ausführungsbeispiel 18, wobei die Speicherzelle eine Conductive Bridging Random Access Memory-Zelle ist und das Isoliermaterial eine Elektrolytschicht aufweist oder daraus besteht.

[0048] Ausführungsbeispiel 25 ist ein Datenspeicher gemäß Ausführungsbeispiel 24, wobei der Elektrolyt

ein Chalkogenid oder ein Oxid aufweist oder daraus besteht.

[0049] Ausführungsbeispiel 26 ist ein Datenspeicher gemäß Ausführungsbeispiel 24 oder 25, wobei der Elektrolyt GeSe, GeS₂, GdO, ZrO_x oder Al₂O₃ aufweist oder daraus besteht.

[0050] Ausführungsbeispiel 27 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 24 bis 26, wobei der Datenspeicher ferner eine Metallschicht zwischen der ersten Elektrode und dem Isoliermaterial aufweist.

[0051] Ausführungsbeispiel 28 ist ein Datenspeicher gemäß Ausführungsbeispiel 27, wobei die Metallschicht Cu, Ag oder CuTe aufweist.

[0052] Ausführungsbeispiel 29 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 28, wobei der Datenspeicher ferner eine Mehrzahl von wiederholt abwechselnd in den ersten Speicherzustand und in den zweiten Speicherzustand programmierbaren Speicherzellen aufweist.

[0053] Ausführungsbeispiel 30 ist ein Datenspeicher gemäß Ausführungsbeispiel 29, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle gemeinsam gefertigt sind.

[0054] Ausführungsbeispiel 31 ist ein Datenspeicher gemäß Ausführungsbeispiel 29 oder 30, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle Bestandteile eines gemeinsamen Zellenfeldes sind.

[0055] Ausführungsbeispiel 32 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 29 bis 31, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle sich im Wesentlichen dadurch voneinander unterscheiden, dass nur die mindestens eine Speicherzelle direkt mit der stromrichtungsdefinierenden Schaltung verbunden ist.

[0056] Ausführungsbeispiel 33 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 32, wobei die mindestens eine Speicherzelle eine Mehrzahl von Speicherzellen aufweist.

[0057] Ausführungsbeispiel 34 ist ein Datenspeicher gemäß Ausführungsbeispiel 30 in Kombination mit einem der Ausführungsbeispiele 8 bis 12, wobei die Mehrzahl von Speicherzellen eine Kombination von Speicherzellen im Grundzustand, dem ersten Speicherzustand und/oder dem zweiten Speicherzustand aufweist, wobei einem ersten Teil der Mehrzahl von Speicherzellen der erste Logikwert zugeordnet ist

und einem zweiten Teil der Mehrzahl von Speicherzellen der zweite Logikwert zugeordnet ist.

[0058] Ausführungsbeispiel 35 ist ein Datenspeicher gemäß Ausführungsbeispiel 34, wobei der erste Teil und der zweite Teil der Speicherzellen so angeordnet sind, dass zu speichernde Daten in der Mehrzahl der Speicherzellen gespeichert sind.

[0059] Ausführungsbeispiel 36 ist ein Datenspeicher gemäß Ausführungsbeispiel 35, wobei in der Mehrzahl der Speicherzellen zusätzlich zu den gespeicherten Daten Fehlererkennungs- und/oder Fehlerkorrekturdaten gespeichert sind zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten.

[0060] Ausführungsbeispiel 37 ist ein Datenspeicher gemäß Ausführungsbeispiel 29 in Kombination mit einem der Ausführungsbeispiele 35 oder 36, wobei die zu speichernden Daten Fehlererkennungs- und/oder Fehlerkorrekturdaten aufweisen zum Erkennen und/oder Korrigieren von Fehlern in Daten, welche in den wiederholt programmierbaren Zellen gespeichert sind.

[0061] Ausführungsbeispiel 38 ist ein Datenspeicher gemäß Ausführungsbeispiel 36 oder 37, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine Information darüber enthalten, wie viele der Speicherzellen den ersten Logikwert aufweisen, und/oder eine Information darüber, wie viele der Speicherzellen den zweiten Logikwert aufweisen, und/oder eine Prüfsumme aufweisen.

[0062] Ausführungsbeispiel 39 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 35 bis 38, wobei in der Mehrzahl der Speicherzellen zusätzlich zu den gespeicherten Daten Fehlererkennungs- und/oder Fehlerkorrekturdaten gespeichert sind zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten.

[0063] Ausführungsbeispiel 40 ist ein Datenspeicher gemäß einem der Ausführungsbeispiele 1 bis 39, welcher einer aus einer Gruppe von Datenspeichern ist, wobei die Gruppe eine Speicherbank, ein Solid State Drive und einen selbständigen nichtflüchtigen Datenspeicher wie einen Speicherstick aufweist.

[0064] Ausführungsbeispiel 41 ist ein Verfahren zum Betreiben eines Datenspeichers, wobei der Datenspeicher mindestens eine Speicherzelle, die gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist, eine stromrichtungsdefinierende Schaltung und eine Steuerung aufweist, wobei die stromrichtungsdefinierende Schaltung derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist, und wobei das Verfahren ein Anlegen ei-

ner Spannung an die Speicherzelle aufweist, derart, dass in der Speicherzelle ein Stromfluss in der ersten Richtung erzeugt wird zum Programmieren der Speicherzelle in einen ersten, nicht umprogrammierbaren Speicherzustand.

[0065] Ausführungsbeispiel 42 ist ein Verfahren gemäß Ausführungsbeispiel 41, wobei der einer bipolar schaltenden Speicherzelle entsprechende Aufbau bedeutet, dass die Speicherzelle geeignet ist für ein Programmieren in den ersten Speicherzustand mittels des Stromflusses in der ersten Richtung durch die Speicherzelle und für ein Programmieren in einen zweiten Speicherzustand mittels eines Stromflusses in einer zur ersten Richtung entgegengesetzten zweiten Richtung.

[0066] Ausführungsbeispiel 43 ist ein Verfahren gemäß Ausführungsbeispiel 42, wobei der Stromfluss durch die Speicherzelle in der ersten Richtung ein Programmieren der Speicherzelle aus einem Grundzustand in den ersten Speicherzustand, aus dem Grundzustand in den zweiten Speicherzustand und/oder aus dem zweiten Speicherzustand in den ersten Speicherzustand ermöglicht.

[0067] Ausführungsbeispiel 44 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 oder 43, wobei ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand unterbunden ist.

[0068] Ausführungsbeispiel 45 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 44, wobei das Verfahren ferner ein Begrenzen einer Stromstärke eines Stromflusses durch die Speicherzelle auf einen Wert, der ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand verhindert, mittels einer strombegrenzenden Schaltung aufweist.

[0069] Ausführungsbeispiel 46 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 45, wobei die stromrichtungsdefinierende Schaltung eine Diode aufweist.

[0070] Ausführungsbeispiel 47 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 46, wobei das Verfahren ferner vor einem Ausführen eines vorbestimmten Vorgangs ein Prüfen des Speicherzustands der mindestens einen Speicherzelle aufweist, und außerdem, in einem Fall, dass die mindestens eine Speicherzelle in dem ersten Speicherzustand ist, Ausführen des vorbestimmten Vorgangs, und in einem Fall, dass das Schutzelement in dem zweiten Speicherzustand ist, Verhindern des Ausführens des vorbestimmten Vorgangs, oder umgekehrt.

[0071] Ausführungsbeispiel 48 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 47, wo-

bei das Verfahren ferner ein Zuweisen eines Logikwerts zur Speicherzelle in Abhängigkeit von ihrem Speicherzustand mittels einer Auswerteschaltung aufweist.

[0072] Ausführungsbeispiel 49 ist ein Verfahren gemäß Ausführungsbeispiel 48, wobei das Zuweisen eines logischen Werts ein Zuweisen eines ersten Logikwerts aufweist, wenn die Speicherzelle im Grundzustand oder im zweiten Speicherzustand ist, und ein Zuweisen eines zweiten Logikwerts aufweist, wenn die Speicherzelle im ersten Speicherzustand ist.

[0073] Ausführungsbeispiel 50 ist ein Verfahren gemäß Ausführungsbeispiel 48, wobei das Zuweisen eines Logikwerts ein Zuweisen eines ersten Logikwerts aufweist, wenn die Speicherzelle im zweiten Speicherzustand ist, und ein Zuweisen eines zweiten Logikwerts aufweist, wenn die Speicherzelle im ersten Speicherzustand ist.

[0074] Ausführungsbeispiel 51 ist ein Verfahren gemäß Ausführungsbeispiel 48, wobei das Zuweisen eines Logikwerts ein Zuweisen eines ersten Logikwerts aufweist, wenn die Speicherzelle im Grundzustand ist, und ein Zuweisen eines zweiten Logikwerts aufweist, wenn die Speicherzelle im ersten Speicherzustand ist.

[0075] Ausführungsbeispiel 52 ist ein Verfahren gemäß Ausführungsbeispiel 48, wobei das Zuweisen eines Logikwerts ein Zuweisen eines ersten Logikwerts aufweist, wenn die Speicherzelle im Grundzustand ist, und ein Zuweisen eines zweiten Logikwerts aufweist, wenn die Speicherzelle im ersten oder zweiten Speicherzustand ist.

[0076] Ausführungsbeispiel 53 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 52, wobei die mindestens eine Speicherzelle eine nichtflüchtige Speicherzelle ist.

[0077] Ausführungsbeispiel 54 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 53, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle, eine Conductive Bridging Random Access Memory-Zelle, eine Magnetoresistive Random Access Memory-Zelle oder eine Phase Change Random Access Memory-Zelle ist.

[0078] Ausführungsbeispiel 55 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 54, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle oder eine Conductive Bridging Random Access Memory-Zelle ist und wobei der Grundzustand ein Isolierzustand der Speicherzelle nach ihrer Herstellung und vor einem Formen der Speicherzelle ist.

[0079] Ausführungsbeispiel 56 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 54, wobei der erste Speicherzustand ein SET-Zustand ist und wobei der zweite Speicherzustand ein RESET-Zustand ist.

[0080] Ausführungsbeispiel 57 ist ein Verfahren gemäß einem der Ausführungsbeispiele 42 bis 56, wobei der Datenspeicher ferner eine Mehrzahl von wiederholt abwechselnd in den ersten Speicherzustand und in den zweiten Speicherzustand programmierbaren Speicherzellen aufweist.

[0081] Ausführungsbeispiel 58 ist ein Verfahren gemäß Ausführungsbeispiel 57, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle gemeinsam gefertigt sind.

[0082] Ausführungsbeispiel 59 ist ein Verfahren gemäß Ausführungsbeispiel 57 oder 58, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle Bestandteile eines gemeinsamen Zellenfeldes sind.

[0083] Ausführungsbeispiel 60 ist ein Verfahren gemäß einem der Ausführungsbeispiele 57 bis 59, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle sich im Wesentlichen dadurch voneinander unterscheiden, dass nur die mindestens eine Speicherzelle direkt mit der stromrichtungsdefinierenden Schaltung verbunden ist.

[0084] Ausführungsbeispiel 61 ist ein Verfahren gemäß Ausführungsbeispiel 57, wobei die mindestens eine Speicherzelle eine Mehrzahl von Speicherzellen aufweist.

[0085] Ausführungsbeispiel 62 ist ein Verfahren gemäß einem der Ausführungsbeispiele 57 bis 61, wobei das Verfahren ferner ein Programmieren mindestens einer der Speicherzellen aus dem Grundzustand oder dem zweiten Speicherzustand in den ersten Speicherzustand und/oder Programmieren mindestens einer der Speicherzellen aus dem Grundzustand in den zweiten Speicherzustand und ein Zuweisen von Logikwerten zu den Speicherzuständen aufweist in Form eines Zuweisens eines ersten Logikwerts zu einer Kombination von Speicherzuständen und ein Zuweisen eines zweiten Logikwerts zu einem Speicherzustand, der nicht Teil der Kombination ist.

[0086] Ausführungsbeispiel 62A ist ein Verfahren gemäß einem der Ausführungsbeispiele 57 bis 61, wobei das Verfahren ferner ein Programmieren mindestens einer der Speicherzellen aus dem Grundzustand oder dem zweiten Speicherzustand in den ersten Speicherzustand und/oder Programmieren mindestens einer der Speicherzellen aus dem Grundzu-

stand in den zweiten Speicherzustand und ein Zuordnen jeweils eines Logikwerts zu jeder der Speicherzellen aufweist, wobei das Zuordnen gemäß einer von einer Mehrzahl von Zuordnungsvorschriften erfolgt, nämlich dass der erste Logikwert den Speicherzellen im Grundzustand und den Speicherzellen im zweiten Speicherzustand zugeordnet ist und der zweite Logikwert den Speicherzellen im ersten Speicherzustand zugeordnet ist; oder dass der erste Logikwert den Speicherzellen im Grundzustand zugeordnet ist und der zweite Logikwert den Speicherzellen im ersten Speicherzustand zugeordnet ist; oder dass der erste Logikwert ist den Speicherzellen im zweiten Speicherzustand zugeordnet ist und der zweite Logikwert den Speicherzellen im ersten Speicherzustand zugeordnet ist; oder dass der erste Logikwert den Speicherzellen im Grundzustand zugeordnet ist und der zweite Logikwert ist den Speicherzellen im zweiten Speicherzustand zugeordnet ist.

[0087] Ausführungsbeispiel 63 ist ein Verfahren gemäß Ausführungsbeispiel 62, wobei das Programmieren der Mehrzahl der Speicherzellen unter Berücksichtigung der Zuordnungsvorschrift derart erfolgt, dass ein Speichern von Daten in der Mehrzahl der Speicherzellen vorgenommen wird.

[0088] Ausführungsbeispiel 63A ist ein Verfahren gemäß Ausführungsbeispiel 62A, wobei das Programmieren der mindestens einen Speicherzellen als ein Speichern von Fehlererkennungs- und/oder Fehlerkorrekturdaten zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten erfolgt.

[0089] Ausführungsbeispiel 64 ist ein Verfahren gemäß Ausführungsbeispiel 63, wobei das Programmieren der Mehrzahl der Speicherzellen unter Berücksichtigung der Zuordnungsvorschrift ferner ein Speichern von Fehlererkennungs- und/oder Fehlerkorrekturdaten zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten aufweist.

[0090] Ausführungsbeispiel 65 ist ein Verfahren gemäß Ausführungsbeispiel 57 und Ausführungsbeispiel 63 oder 64, wobei das Programmieren der Mehrzahl der Speicherzellen unter Berücksichtigung der Zuordnungsvorschrift ferner ein Speichern von Fehlererkennungs- und/oder Fehlerkorrekturdaten zum Erkennen und/oder Korrigieren von Fehlern in Daten, welche in den wiederholt programmierbaren Zellen gespeichert sind, aufweist.

[0091] Ausführungsbeispiel 66 ist ein Verfahren gemäß Ausführungsbeispiel 64 oder 65, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine Information darüber, wie viele der Speicherzellen den ersten Logikwert aufweisen, und/oder eine Information darüber, wie viele der Speicherzellen den zweiten

Logikwert aufweisen, und/oder eine Prüfsumme aufweisen.

[0092] Ausführungsbeispiel 67 ist ein Verfahren gemäß Ausführungsbeispiel 64 oder 65, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine redundante Speicherung der gespeicherten Daten aufweist, welche geeignet ist für ein Anwenden eines Mehrheitsentscheidungsverfahrens.

[0093] Ausführungsbeispiel 68 ist ein Datenspeicher, welcher eingerichtet ist, das Verfahren gemäß einem der Ausführungsbeispiele 42 bis 67 auszuführen.

[0094] Ausführungsbeispiel 69 ist ein Mikrocontroller, welcher einen Datenspeicher gemäß einem der Ansprüche 1 bis 40 oder 68 aufweist.

[0095] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Folgenden näher erläutert.

[0096] Es zeigen

Fig. 1A eine schematische Darstellung eines Datenspeichers gemäß verschiedenen Ausführungsbeispielen;

Fig. 1B eine schematische Darstellung von Speicherzuständen und Übergängen zwischen den Speicherzuständen bei einer Speicherzelle des Datenspeichers gemäß verschiedenen Ausführungsbeispielen;

Fig. 2A und **Fig. 2B** jeweils eine schematische Darstellung einer Speicherzelle gemäß dem Stand der Technik;

Fig. 3A, Fig. 3B, Fig. 3C und **Fig. 3D** jeweils eine schematische Darstellung einer Speicherzelle gemäß verschiedenen Ausführungsbeispielen;

Fig. 4 als eine schematische Teildarstellung eines Datenspeichers gemäß verschiedenen Ausführungsbeispielen eine Speicherzelle und einen damit verbundenen Schaltkreis;

Fig. 5A, Fig. 5B, Fig. 5C, Fig. 5D und **Fig. 5E** jeweils eine schematische Darstellung von Speicherzuständen und Übergängen zwischen den Speicherzuständen bei einer Speicherzelle gemäß verschiedenen Ausführungsbeispielen; und

Fig. 6 ein Ablaufdiagramm für ein Verfahren zum Betreiben eines Datenspeichers gemäß verschiedenen Ausführungsbeispielen.

[0097] In der folgenden ausführlichen Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die Teil dieser bilden und in denen zur Veranschaulichung spezifische Ausführungsformen ge-

zeigt sind, in denen die Erfindung ausgeübt werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „oben“, „unten“, „vorne“, „hinten“, „vorderes“, „hinteres“, usw. mit Bezug auf die Orientierung der beschriebenen Figur(en) verwendet. Da Komponenten von Ausführungsformen in einer Anzahl verschiedener Orientierungen positioniert werden können, dient die Richtungsterminologie zur Veranschaulichung und ist auf keinerlei Weise einschränkend. Es versteht sich, dass andere Ausführungsformen benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzzumfang der vorliegenden Erfindung abzuweichen. Es versteht sich, dass die Merkmale der hierin beschriebenen verschiedenen beispielhaften Ausführungsformen miteinander kombiniert werden können, sofern nicht spezifisch anders angegeben. Die folgende ausführliche Beschreibung ist deshalb nicht in einschränkendem Sinne aufzufassen, und der Schutzzumfang der vorliegenden Erfindung wird durch die angefügten Ansprüche definiert.

[0098] Im Rahmen dieser Beschreibung werden die Begriffe „verbunden“, „angeschlossen“ sowie „gekoppelt“ verwendet zum Beschreiben sowohl einer direkten als auch einer indirekten Verbindung, eines direkten oder indirekten Anschlusses sowie einer direkten oder indirekten Kopplung. In den Figuren werden identische oder ähnliche Elemente mit identischen Bezugszeichen versehen, soweit dies zweckmäßig ist.

[0099] Im Rahmen dieser Beschreibung werden die Begriffe „Schaltung“ und „Schaltkreis“ synonym verwendet.

Allgemeine Beschreibung von Ausführungsbeispielen

[0100] **Fig. 1A** ist eine schematische Darstellung eines Datenspeichers **100** gemäß verschiedenen Ausführungsbeispielen, und **Fig. 1B** ist eine schematische Darstellung **101** von Speicherzuständen und Übergängen zwischen Speicherzuständen bei einer Speicherzelle **102** des Datenspeichers **100** gemäß verschiedenen Ausführungsbeispielen.

[0101] Der Datenspeicher **100** kann die Speicherzelle **102**, Schaltung **104** und einen Prozessor **106** aufweisen. Der Prozessor **106** kann eingerichtet sein, mittels der Schaltung **104** die Speicherzelle **102** in einen ersten Speicherzustand **112** zu überführen, beispielsweise mittels Anlegens einer Spannung mit einer ersten Polarität (eines ersten Potenzialunterschieds) an Elektroden der Speicherzelle **102**, was dazu führt, dass die Speicherzelle **102** von einem Strom in einer ersten Richtung durchflossen wird.

[0102] Die Speicherzelle **102** kann, wie oben beschrieben, eine Widerstands-Speicherzelle **102**, sein,

der Datenspeicher **100** dementsprechend ein Widerstands-Datenspeicher. Dabei kann die Widerstands-Speicherzelle **102** als bipolare Speicherzelle **102** aufgebaut sein, so dass zu einem Programmieren der Speicherzelle **102** in einen zweiten Speicherzustand **110** ein Anlegen einer Spannung an die Elektroden mit einer zweiten Polarität (einem zweiten Potenzialunterschied), die der ersten Polarität entgegengesetzt ist, nötig wäre. Die bipolare Widerstands-Speicherzelle **102** kann beispielsweise als eine Resistive Random Access Memory-Zelle (RRAM-Zelle), eine Conductive Bridging Random Access Memory-Zelle (CBRAM-Zelle), eine Magnetoresistive Random Access Memory-Zelle (MRAM-Zelle) oder als eine Phase Change Random Access Memory-Zelle (PCRAM-Zelle) aufgebaut sein. Auch wenn zur Veranschaulichung eine Speicherzelle **102** beschrieben ist, welche (zusätzlich zum Isolierzustand) zwei Speicherzustände **110**, **112** aufweist, gilt Entsprechendes für bipolare Speicherzellen **102** mit mehr als zwei Speicherzuständen, d.h. für so genannte Multilevel-Speicherzellen.

[0103] Die bipolare Speicherzelle **102** kann zwei Elektroden und ein dazwischen angeordnetes Isoliermaterial aufweisen. Das Isoliermaterial kann als Isolierschicht gestaltet sein.

[0104] Bei bipolaren RRAM-Speicherzellen kann für das Isoliermaterial beispielsweise ein Metalloxid verwendet werden, beispielsweise ein Oxid eines Übergangsmetalls, z.B. ein Oxid von Hafnium, Tantal oder Titan.

[0105] Zwischen einer der Elektroden und der Isolierschicht der bipolaren RRAM-Speicherzelle kann eine Übergangsmetallschicht angeordnet sein. Die Übergangsmetallschicht kann Hafnium, Tantal oder Titan aufweisen oder daraus bestehen. In verschiedenen Ausführungsbeispielen kann das Metall der Übergangsmetallschicht dasselbe sein wie das Übergangsmetall des Metalloxids. In verschiedenen Ausführungsbeispielen können das Metall der Übergangsmetallschicht und das Übergangsmetall des Metalloxids unterschiedlich sein.

[0106] Bei bipolaren CBRAM-Speicherzellen kann für das Isoliermaterial beispielsweise ein Elektrolyt verwendet werden, z.B. ein Chalkogenid oder ein Oxid, z.B. GeSe, GeS₂, GdO, ZrO_x oder Al₂O₃.

[0107] Zwischen einer der Elektroden und der Elektrolytschicht der bipolaren CBRAM-Speicherzelle kann eine Metallschicht angeordnet sein. Die Metallschicht kann beispielsweise Cu, Ag oder CuTe aufweisen oder daraus bestehen.

[0108] Der Datenspeicher **100** kann in verschiedenen Ausführungsbeispielen so aufgebaut sein, dass ein Durchfließen der Speicherzelle **102** mit einem

Strom, der durch die Spannung mit der umgekehrten Polarität in der Speicherzelle **102** erzeugt würde, unterbunden ist. Dafür kann die Schaltung **104** eine stromrichtungsdefinierende Schaltung **104a** aufweisen.

[0109] Anders ausgedrückt kann die stromrichtungsdefinierende Schaltung **104a** derart mit der Speicherzelle **102** gekoppelt sein, dass ein Stromfluss durch die Speicherzelle **102** nur in der ersten Richtung möglich ist, und die Steuerung **106** kann eingerichtet sein, mittels eines Steuerns des Stromflusses durch die Speicherzelle **102** in der ersten Richtung die Speicherzelle **102** in den ersten Speicherzustand **112** zu programmieren. Daraufhin verharrt die Speicherzelle **102** dauerhaft im ersten Speicherzustand, weil ein zum Umprogrammieren der Speicherzelle **102** in den zweiten Speicherzustand **110** nötige Stromfluss in der zweiten, zur ersten Richtung entgegengesetzten, Stromrichtung unterbunden ist. Das heißt, dass die Speicherzelle **102** eine Einweg-Speicherzelle **102** bildet. Anders ausgedrückt ermöglicht der Datenspeicher **100** nur ein Anlegen von entweder ausschließlich einer positiven Potenzialdifferenz oder einer ausschließlich negativen Potenzialdifferenz, im Gegensatz zu einem herkömmlichen Datenspeicher, welcher ein (abwechselndes, wiederholtes) Anlegen von sowohl einer positiven als auch einer negativen Potenzialdifferenz an die Speicherzelle **102** vorsieht zum wiederholten Programmieren der Speicherzelle in verschiedene Speicherzustände.

[0110] Somit ist der Datenspeicher **100** eingerichtet, bei seiner Speicherzelle **102** das in **Fig. 1B** dargestellte Speicherverhalten zu verwirklichen. In **Fig. 1B** ist für eine Mehrzahl von Speicherzellen eine statistische Verteilung der Zellströme dargestellt, welche bei den Speicherzellen im ersten Speicherzustand **112**, im zweiten Speicherzustand **110** bzw. im Ausgangszustand **108** angetroffen werden. Dort verwendete Begriffe für die unterschiedlichen Zustände sind üblich für eine beispielhaft beschriebene Resistive Random Access Memory (RRAM-) Speicherzelle.

[0111] Ein Programmieren aus dem isolierenden Zustand **108** (dem Ausgangszustand) in den ersten Speicherzustand **112** (SET-Zustand) oder in den zweiten Speicherzustand **110** (RESET-Zustand) kann ermöglicht sein, wie anhand der nicht durchgestrichenen Pfeile ersichtlich ist. Dafür kann eine Spannung mit der ersten Polarität und einer passenden Wert für eine erforderliche Dauer angelegt werden, entsprechend dem, was dem Fachmann aus dem Stand der Technik bekannt ist. Dabei kann eine Stromstärke des Stroms durch die Speicherzelle **102** überwacht und/oder geregelt (z.B. begrenzt) werden, z.B. mittels Anpassens der Stärke der angelegten Spannung, um sicherzustellen, dass der beabsichtigte Speicherzustand (d.h. der erste Speicherzu-

stand **112** oder der zweite Speicherzustand **110**) erreicht wird, und nicht ein anderer Speicherzustand.

[0112] Auf vergleichbare Weise kann ferner ein Programmieren aus dem zweiten Speicherzustand **110** (RESET-Zustand) in den ersten Speicherzustand **112** (SET-Zustand) ermöglicht sein, wie ebenfalls anhand eines nicht durchgestrichenen Pfeils ersichtlich ist.

[0113] Ein Umprogrammieren einer Speicherzelle **102**, die sich im ersten Speicherzustand **112** (dem SET-Zustand) befindet, in den zweiten Speicherzustand **110** (RESET-Zustand) ist hingegen nicht möglich, wie anhand des durchgestrichenen Pfeils vom ersten Speicherzustand **112** zum zweiten Speicherzustand **110** ersichtlich ist. Dieser Übergang kann mittels der stromrichtungsdefinierenden Schaltung **104a** unterbunden sein.

[0114] Das heißt, dass der Datenspeicher **100** so gestaltet sein kann, dass die Speicherzelle **102** aus dem Isolierzustand in den ersten Speicherzustand **112** oder den zweiten Speicherzustand **110** programmiert (geformt) werden kann, und aus dem zweiten Speicherzustand **110** in den ersten Speicherzustand **112** programmiert werden kann, eine Programmierung aus dem ersten Speicherzustand **112** in den zweiten Speicherzustand **110** jedoch unmöglich ist. Für eine RRAM-Zelle wären also sowohl ein Formen in den SET oder den RESET-Zustand möglich, ebenso ein Programmieren aus dem RESET-Zustand in den SET-Zustand, jedoch kein Programmieren aus dem SET-Zustand in den RESET-Zustand oder in den Isolierzustand.

[0115] Die stromrichtungsdefinierende Schaltung **104a** kann in verschiedenen Ausführungsbeispielen auf eine dem Fachmann im Prinzip bekannte Weise ausgeführt sein, beispielsweise mittels einer Diode. Die stromrichtungsdefinierende Schaltung **104a** kann derart mit der Speicherzelle **102** gekoppelt sein, beispielsweise elektrisch leitend mit der Speicherzelle **102** verbunden sein, dass eine Durchlassrichtung der stromrichtungsdefinierenden Schaltung **104a** in der Speicherzelle **102** nur diejenige erste Stromrichtung ermöglicht, die zum Programmieren der Speicherzelle **102** aus dem Isolierzustand **108** oder dem zweiten Speicherzustand **110** in den ersten Speicherzustand **112** erforderlich ist.

[0116] Die Schaltung **104** kann in verschiedenen Ausführungsbeispielen so gestaltet sein, dass bei jedem Programmieren und beim Formen der Speicherzelle **102** die stromrichtungsdefinierende Schaltung **104a** genutzt wird. Anders ausgedrückt kann die Schaltung **104** so gestaltet sein, dass sie keine zur stromrichtungsdefinierenden Schaltung **104a** alternative (z.B. parallele) Schaltung aufweist, die ein Erzeugen eines Programmierstroms mit der zweiten, zur

ersten Stromrichtung entgegengesetzten Stromrichtung in der Speicherzelle **102** ermöglicht.

[0117] Die Schaltung **104** kann beispielsweise so gestaltet sein, dass kein Schaltungspfad existiert, der ein Umpolen der den Elektroden zugeführten Spannungen ermöglichen würde, oder so, dass ein bestehender Pfad (bzw. alle bestehenden Pfade) für ein Erzeugen des Stroms in der zweiten Stromrichtung in der Speicherzelle blockiert ist (bzw. sind), beispielsweise wie oben beschrieben mittels einer Diode.

[0118] Ein Umprogrammieren der Speicherzelle **102** aus dem ersten Zustand **112** in den isolierenden Zustand **108** ist, wie in **Fig. 1B** anhand des durchgestrichenen Pfeils angedeutet ist, nicht möglich. Es ist eine für zumindest RRAM-Zellen typische Eigenschaft, dass sie nach dem Formen nicht wieder in den isolierenden Zustand überführbar sind, sondern immer zumindest eine gewisse Mindestleitfähigkeit, die höher ist als die Leitfähigkeit des Ausgangszustands, behalten.

[0119] In einem Fall, dass ein Umprogrammieren der Speicherzelle **102** aus dem ersten Zustand **112** in den Isolierzustand **108** prinzipiell möglich wäre, kann dies mittels der stromrichtungsdefinierenden Schaltung **104a** ebenso unterbunden sein wie für den Übergang vom ersten Speicherzustand **112** zum zweiten Speicherzustand **110**.

[0120] **Fig. 3A, Fig. 3B, Fig. 3C** und **Fig. 3D** zeigen jeweils eine schematische Darstellung einer Speicherzelle **102** gemäß verschiedenen Ausführungsbeispielen und veranschaulichen anhand der Speicherzelle **102** und den an ihren Elektrodenkontakten angelegten Spannungen V_1 und V_2 eine mögliche Wirkung der stromrichtungsdefinierenden Schaltung **104a**, nämlich dass für die Einweg-Speicherzelle **102** entweder immer $V_1 \geq V_2$ ist, oder immer $V_1 \leq V_2$ ist. In einem häufigen Fall, dass einer der Elektrodenkontakte (z.B. V_2) geerdet ist, d.h. eine Spannung von 0 V aufweist, kann an den anderen Elektrodenkontakt immer eine höhere oder gleiche Spannung angelegt werden, d.h. $V_1 \geq 0$ V. Der Fall, dass $V_1 = V_2$ kann insbesondere dann vorliegen, wenn kein Programmieren der Speicherzelle **102** stattfindet.

[0121] Unabhängig davon, welche der beiden Spannungen V_1 , V_2 die höhere ist und welche Polarität dementsprechend bereitgestellt wird, ist diese in verschiedenen Ausführungsbeispielen so gewählt, dass sie zu derjenigen Stromrichtung in der bipolaren Speicherzelle **102** führt, die ein Programmieren in den am weitesten vom Ausgangszustand entfernten Speicherzustand, welcher den ersten Speicherzustand **112** bildet, ermöglicht. Bei einer bipolaren RRAM-Speicherzelle **102** mit zwei Speicherzuständen **110**, **112** ist das die Stromrichtung, die das Programmieren in den SET-Zustand **112** ermöglicht, wie oben im

Zusammenhang mit **Fig. 1B** beschrieben. Entsprechend ist auch bei einer Multilevel-Speicherzelle der erste Programmierzustand **112** der am weitesten vom Ausgangszustand entfernte Speicherzustand.

[0122] In verschiedenen Ausführungsbeispielen kann die Speicherzelle so ausgeführt sein, dass prinzipiell ein Umprogrammieren vom ersten Speicherzustand **112** in den zweiten Speicherzustand **110** möglich ist mittels Anlegens einer Spannung mit der ersten Polarität. Ein solcher Vorgang wird auch als „Over-setting“ bezeichnet. Dabei ist die Spannung im Vergleich zum Programmiervorgang vom zweiten Speicherzustand **110** in den ersten Speicherzustand **112** relativ hoch und/oder wird für eine vergleichsweise lange Dauer beibehalten. Ein solcher, bei bipolaren Speicherzellen **102** unerwünschter Vorgang wird herkömmlich mittels einer strombegrenzenden Schaltung **224** unterbunden, wie dies in **Fig. 2B** beispielhaft dargestellt ist.

[0123] Eine solche strombegrenzende Schaltung **224** kann, wie in **Fig. 3B**, **Fig. 3C** und **Fig. 3D** dargestellt, mit der Speicherzelle **102** gekoppelt sein, z.B. elektrisch leitend mit ihr verbunden sein, z.B. Teil der Schaltung **104** sein. Die strombegrenzende Schaltung **224** kann eingerichtet sein, eine Stromstärke und/oder Dauer eines Stromflusses durch die Speicherzelle **102** zu überwachen und auf einen Wert zu beschränken, der ein Programmieren der Speicherzelle **102** aus dem ersten Speicherzustand **112** in den zweiten Speicherzustand **110** verhindert.

[0124] Die strombegrenzende Schaltung **224** kann ferner dazu genutzt werden, zu verhindern, dass (z.B. beim Formen) von dem Ausgangszustand **108** in den ersten Zustand **112** geschaltet wird statt in den zweiten Zustand **110**.

[0125] **Fig. 4** zeigt als eine schematische Teildarstellung eines Datenspeichers **100** gemäß verschiedenen Ausführungsbeispielen eine Speicherzelle **102** und eine damit verbundene Schaltung.

[0126] Die unterschiedlichen Speicherzustände **110**, **112** (und ggf. der Ausgangszustand **108**) können in verschiedenen Ausführungsbeispielen zum Speichern von Informationen bzw. Daten genutzt werden, indem den unterschiedlichen Speicherzuständen unterschiedliche Logikwerte zugeordnet werden, beispielsweise Bitwerte **0** und **1**. Zum Zuordnen der Logikwerte zu den Speicherzuständen (**108**), **110**, **112** kann eine Auswerteschaltung **446** bereitgestellt sein, beispielsweise als Teil der Schaltung **104**.

[0127] Die Auswerteschaltung **446** kann im Wesentlichen wie aus dem Stand der Technik bekannt ausgeführt sein. **Fig. 4** zeigt eine beispielhafte Ausführungsform der Auswerteschaltung **446**, welche als eine Latch-Schaltung gestaltet sein kann, die zwei

parallel geschaltete Rückkopplungsinvertierer **446a**, **446b** aufweisen kann, und gegebenenfalls noch einen nachgeschalteten Invertierer **446c**. Der erste Rückkopplungsinvertierer **446a** kann beispielsweise einen NMOS- und einen PMOS-Transistor aufweisen, wobei beide schwach sein können, also eine geringe Treiberfähigkeit aufweisen können. Der zweite Rückkopplungsinvertierer **446b** kann beispielsweise einen starken NMOS-Transistor und einen schwachen PMOS-Transistor aufweisen. Dabei kann der starke NMOS-Transistor richtunggebend wirken, d.h. entscheidend dafür, welchen der beiden Zustände die Latch-Schaltung in Abhängigkeit von einem ihr bereitgestellten Zellstrom im Vergleich zu einem Zellstrom-Schwellenwert I_{th} (z.B. einem Vergleichsstrom) einnimmt.

[0128] In verschiedenen Ausführungsbeispielen kann die Speicherzelle **102** zwischen der Auswerteschaltung **446** und der stromrichtungsdefinierenden Schaltung **104a** mit der Schaltung **104** verbunden sein. Der andere Anschluss der Speicherzelle **102** kann mit dem Massepotenzial GND oder einer Spannungsversorgung verbunden sein, beispielsweise wie in **Fig. 3A** bis **Fig. 3D** dargestellt. Die Speicherzelle **102** kann beispielsweise eine RRAM-Speicherzelle **102** sein.

[0129] Zwischen der Speicherzelle **102** und der Auswerteschaltung **446** kann die Schaltung **104** in verschiedenen Ausführungsbeispielen einen Spannungsbegrenzer **442** aufweisen, welcher eingerichtet sein kann, die Auswerteschaltung **446** vor hohen Spannungen beim Formen/Programmieren der Speicherzelle **102** zu schützen. Hohe Spannungen könnten sonst die Auswerteschaltung **446** schädigen, beispielsweise zu einem Zerstören der Latch-Transistoren **446a** und/oder **446b** führen. Der Spannungsbegrenzer **442** kann beispielsweise als Durchgangstransistor **442** gebildet sein, dessen Gate eine Spannung, z.B. eine positive Versorgungsspannung V_{DD} , zugeführt werden kann.

[0130] Die stromrichtungsdefinierende Schaltung **104a** kann in verschiedenen Ausführungsbeispielen als ein weiterer Durchgangstransistor gebildet sein, der als Diode angeschlossen sein kann. Im Ausführungsbeispiel der **Fig. 4** kann die Diode **104a** so gestaltet sein, dass ein Anlegen einer negativen Spannung am „Formen / SET“-Anschluss der Schaltung **104** nicht zu einem Stromdurchfluss durch die Speicherzelle **102** führt.

[0131] In verschiedenen Ausführungsbeispielen können die Transistoren der Inverter **446a**, **446b** so ausgelegt und aufeinander abgestimmt sein, dass bei einem z.B. erstmaligen Einschalten des Datenspeichers **100** die Latch-Schaltung **446** in eine erste Richtung kippt bzw. eine erste Stellung einnimmt. Einem dadurch erzeugten ersten Ausgabewert kann

ein erster Logikwert zugeordnet sein bzw. werden, beispielsweise der Logikwert „1“.

[0132] Mittels eines Anlegens einer vergleichsweise hohen positiven Spannung am „Formen / SET“-Eingang kann ein Formen der Speicherzelle **102**, z.B. des RRAM-Elements **102**, vorgenommen werden. Durch das Formen kann die Speicherzelle **102** in den ersten Speicherzustand **112** (den SET-Zustand) oder alternativ in den zweiten Speicherzustand **110** (den RESET-Zustand) überführt werden.

[0133] Zumindest in dem Fall, dass die Speicherzelle **102** in den ersten Speicherzustand **112** (den SET-Zustand) gebracht wurde, kann die Latch-Schaltung **446** beim Einschalten in die andere Richtung kippen, da die (RRAM-)Speicherzelle **102** den mit ihr verbundenen Eingang der Latch-Schaltung **446** hinunterzieht. Dementsprechend kann einem dadurch erzeugten zweiten Ausgabewert ein zweiter Logikwert zugeordnet sein bzw. werden, beispielsweise der Logikwert „0“.

[0134] In verschiedenen Ausführungsbeispielen kann der Zellstrom-Schwellenwert I_{th} so gewählt sein, dass nur dem Ausgangszustand **108** der erste Logikwert zugeordnet ist, und sowohl dem ersten Speicherzustand **110** als auch dem zweiten Speicherzustand **112** der zweite Logikwert zugeordnet ist. Siehe dazu die Ausführungsbeispiele aus den **Fig. 5A** bis **Fig. 5C**.

[0135] In verschiedenen Ausführungsbeispielen kann der Zellstrom-Schwellenwert I_{th} so gewählt sein, dass sowohl dem Ausgangszustand **108** als auch dem zweiten Speicherzustand **110** der erste Logikwert zugeordnet ist, und nur dem ersten Speicherzustand **112** der zweite Logikwert zugeordnet ist. Siehe dazu das Ausführungsbeispiel aus **Fig. 5D**.

[0136] Wie oben beschrieben kann der Datenspeicher **100**, z.B. als Teil der Schaltung **104**, den Stromüberwacher/-begrenzer **224** aufweisen, um die dort beschriebenen Funktionen zu erfüllen. Der Stromüberwacher/-begrenzer **224** kann beispielsweise dem Formen / SET - Eingang vorgeschaltet sein.

[0137] Wie weiterhin oben beschrieben ist, kann der Datenspeicher **100** ferner zusätzlich zu der mindestens einen Einweg-Speicherzelle **102** „normal“ nutzbare Speicherzellen aufweisen (nicht dargestellt). Diese können eingerichtet sein zum wiederholten Programmieren bzw. Umprogrammieren.

[0138] In verschiedenen Ausführungsbeispielen kann eine Nutzung der normalen Speicherzellen gekoppelt sein an den Zustand der Einweg-Speicherzelle **102**, beispielsweise indem der Prozessor **106** und/oder die Schaltung **104** so eingerichtet ist, dass die normalen Speicherzellen nur dann gelesen und/

oder programmiert werden können, wenn die Einweg-Speicherzelle **102** in einem vorbestimmten Zustand ist, also beispielsweise nur dann, wenn sie noch nicht im endgültigen Zustand ist, oder gerade nur dann, wenn sie im endgültigen Zustand ist, und/oder in einer Mehrzahl der Einweg-Speicherzellen **102** kann eine Identifikationsnummer des normalen Speichers hinterlegt sein, oder ähnliches.

[0139] Anhand der **Fig. 5A**, **Fig. 5B**, **Fig. 5C** und **Fig. 5D**, welche jeweils eine schematische Darstellung von Speicherzuständen und Übergängen zwischen den Speicherzuständen bei einer Speicherzelle gemäß verschiedenen Ausführungsbeispielen zeigen, werden im Folgenden beispielhafte Anwendungen beschrieben.

Die Einweg-Speicherzelle als Sicherungselement

[0140] Im Ausführungsbeispiel gemäß der **Fig. 5A** kann der Datenspeicher **100** einem Nutzer mit der Einweg-Speicherzelle **102** (oder einer Mehrzahl von Einweg-Speicherzellen **102**, z.B. RRAM-Speicherzellen) im ersten Speicherzustand **112** (z.B. dem SET-Zustand) ausgeliefert werden.

[0141] Dafür kann während einer vorbestimmten Phase während des Herstellungsprozesses des Datenspeichers **100** die mindestens eine Speicherzelle **102** geformt werden. Die Speicherzelle **102** kann während des Formen-Vorgangs direkt in den ersten Speicherzustand **112** gebracht werden, oder die Speicherzelle **102** wird zunächst in den zweiten Speicherzustand **110** gebracht und dann mittels eines Programmiervorgangs vom zweiten Speicherzustand (z.B. dem RESET-Zustand) in den ersten Speicherzustand gebracht. Dem ersten Speicherzustand (SET) kann beispielsweise der Logikwert „1“ zugeordnet sein bzw. werden.

[0142] Die Speicherzelle **102** kann aus dem ersten Speicherzustand **112** nicht in den zweiten Speicherzustand **110** oder in den (isolierenden) Ausgangszustand **108** gebracht werden. Zumindest stellt der Datenspeicher **100** keinen Prozess bereit, der für eine solche Umprogrammierung geeignet wäre. Das bedeutet, dass der Nutzer den Zustand der Einweg-Speicherzelle/n **102** nicht ändern kann.

[0143] Eine solche Ausführungsform ermöglicht es, den Datenspeicher **100** beispielsweise während seiner Herstellung und/oder danach in einem Testmodus zu betreiben, welcher z.B. dann ausgeführt oder ermöglicht wird, wenn der Ausgabewert „0“ ermittelt wird, weil die mindestens eine Einweg-Speicherzelle **102** noch im Ausgangszustand (dem Isolierzustand) ist, welchem der Ausgabewert „0“ zugeordnet ist.

[0144] Wenn der Testmodus nicht mehr benötigt wird, kann die mindestens eine Einweg-Speicherzelle

102 in den ersten Zustand **112** programmiert werden. Dafür kann eine Spannungsdifferenz derart an die Elektroden der mindestens einen Einweg-Speicherzelle **102** angelegt werden, dass die Einweg-Speicherzelle **102** von dem Strom in der ersten Richtung durchflossen wird und dadurch geformt und entweder direkt in den ersten Speicherzustand **112** gebracht wird oder zunächst in den zweiten Speicherzustand **110** und dann in den ersten Speicherzustand **112** gebracht wird. Aus dem ersten Speicherzustand **112** kann die Speicherzelle **102** nicht mehr in den zweiten Speicherzustand **110** oder den Ausgangszustand **108** gebracht werden.

[0145] Das Auslesen der mindestens einen Einweg-Speicherzelle **102** kann im ersten Speicherzustand **112** den Ausgabewert „1“ ergeben, welcher nur noch ein Betreiben des Datenspeichers **100** im Nutzermodus ermöglicht.

[0146] Die Einweg-Speicherzelle **102** bildet somit ein Sicherungselement (kurz: eine Sicherung), welches zwar „durchgebrannt“ werden kann, aber nicht in den Ursprungszustand zurückversetzt werden kann.

[0147] In einem ähnlichen Ausführungsbeispiel wird der Datenspeicher **100** dem Nutzer vor dem Formen ausgeliefert, also in einem Testmodus, in welchem die mindestens eine Einweg-Speicherzelle **102** noch im Ausgangszustand (Isolierzustand) **108** ist. Der Nutzer kann dann zu einem Zeitpunkt seiner Wahl das Formen bzw. Programmieren der Speicherzelle **102** in den ersten Speicherzustand ausführen.

[0148] Aus dem ersten Speicherzustand **112** kann die Speicherzelle **102** nicht mehr in den zweiten Speicherzustand **110** oder den Ausgangszustand **108** gebracht werden.

[0149] Damit wird es dem Nutzer zum Beispiel ermöglicht, den Datenspeicher **100** selbst noch in einem Testmodus zu betreiben, bevor er ihn in einen regulären Betriebsmodus schaltet. Auch hier bildet die Einweg-Speicherzelle **102** somit eine Sicherung, die zwar „durchgebrannt“ werden kann, aber nicht in den Ursprungszustand zurückversetzt werden kann, wobei es hier der Nutzer ist, der die Sicherung „durchbrennen“ lässt.

[0150] Das Ausführungsbeispiel aus **Fig. 5B** ist dem zweiten Beispiel zur **Fig. 5A** ähnlich, abgesehen davon, dass der Datenspeicher **100** einem Nutzer mit der mindestens einen Einweg-Speicherzelle **102** im zweiten Speicherzustand **110** (z.B. dem RESET-Zustand) ausgeliefert wird.

[0151] Dafür wird während der Herstellung des Datenspeichers beim bzw. nach dem Formen der mindestens einen Einweg-Speicherzelle **102** die Strom-

stärke in der Speicherzelle **102** überwacht und, z.B. mittels der stromstärkebegrenzenden Schaltung **442**, begrenzt auf eine Stärke und/oder eine Dauer, welche ein Programmieren der Speicherzelle **102** in den zweiten Speicherzustand **110** ermöglicht, aber ein Programmieren in den ersten Speicherzustand **112** nicht zulässt.

[0152] Der Nutzer kann dann, ähnlich dem obigen Beispiel, zu einem für ihn sinnvollen Zeitpunkt die mindestens eine Einweg-Speicherzelle **102** vom zweiten Speicherzustand **110** (RESET-Zustand) in den ersten Speicherzustand **112** (SET-Zustand) programmieren.

[0153] Auch hier kann die Speicherzelle **102** nicht mehr aus dem ersten Speicherzustand **112** (SET), dem z.B. der Logikwert „1“ zugeordnet sein kann, herausgebracht werden in den zweiten Speicherzustand **110** (RESET) oder den Ausgangszustand (Isolierzustand) **108**, welchen der Logikwert „0“ zugeordnet sein kann.

[0154] Damit wird es dem Nutzer, ähnlich dem obigen Beispiel, ermöglicht, den Datenspeicher **100** selbst noch in einem Testmodus zu betreiben, bevor er ihn in einen regulären Betriebsmodus schaltet. Auch hier bildet die Einweg-Speicherzelle **102** somit eine Sicherung, die zwar „durchgebrannt“ werden kann, aber nicht in den Ursprungszustand zurückversetzt werden kann, wobei es hier der Nutzer ist, der die Sicherung „durchbrennen“ lässt.

[0155] Allerdings ist es bei diesem Ausführungsbeispiel nicht nötig, dass dem Nutzer die hohe Spannung zur Verfügung steht, welche üblicherweise für das Formen der Speicherzellen **102** anzulegen ist und welche häufig nur während der Herstellungs- bzw. Testphase des Datenspeichers zur Verfügung steht, sondern nur die normale Programmierspannung, was eine Handhabung für den Nutzer vereinfachen kann.

Einweg-Speicherzellen als konfigurierbares Read-Only-Memory (ROM)

[0156] Werden mehrere Einweg-Speicherzellen **102** verwendet, können diese genutzt werden, um Daten, die mehrere Bits aufweisen, zu speichern, beispielsweise Konfigurationsdaten, Chip- bzw. Speicheridentifikationsinformationen, Startkonfigurationen oder ähnliches. Befinden sich die Einweg-Speicherzellen **102** nach der Herstellung in einem Zustand, der ein Programmieren zumindest eines Teils der Einweg-Speicherzellen **102** ermöglicht, können die Einweg-Speicherzellen **102** ein konfigurierbares ROM bilden.

[0157] Zur Veranschaulichung eines ersten Anwendungsbeispiels des konfigurierbaren ROM kann **Fig. 5A** herangezogen werden. Dabei können die

Einweg-Speicherzellen **102** (z.B. RRAM-Zellen) dem Nutzer als eine Kombination von Speicherzellen im Ausgangszustand **108** und im ersten Speicherzustand **112** (SET) bereitgestellt werden. Das heißt, dass manche der Speicherzellen **102** während der Herstellung vom Ausgangszustand (Isolierzustand) **108** in den ersten Zustand **112** gebracht werden. Damit kann, entsprechend der Zuordnung von Logikzuständen zu den Speicherzuständen **110**, **112**, ein Muster aus z.B. Nullen und Einsen bereitgestellt sein.

[0158] In einem Normalfall wäre es vorgesehen, dass der Nutzer den Zustand der Speicherzellen **102** nicht ändert. Sollte er es dennoch versuchen, könnte er höchstens (vorausgesetzt, dass eine Spannung, die hoch genug für das Formen ist, bereitgestellt werden kann) die Nullen in Einsen umprogrammieren, aber nicht anders herum, weil die Speicherzelle **102** aus dem ersten Speicherzustand **112** nicht mehr in einen anderen Speicherzustand überführbar ist.

[0159] Denn die Speicherzellen **102**, die sich im ersten Speicherzustand **112** befinden, können nicht mehr aus dem ersten Speicherzustand **112** (SET), dem z.B. der Logikwert „1“ zugeordnet sein kann, herausgebracht werden in den zweiten Speicherzustand **110** (RESET) oder den Ausgangszustand (Isolierzustand) **108**, welchen der Logikwert „0“ zugeordnet sein kann.

[0160] Durch die Möglichkeit, die Speicherzellen **102**, die sich im zweiten Speicherzustand **110** befinden, in den ersten Speicherzustand **112** zu überführen, ist eine gewisse Programmierbarkeit der Einweg-Speicherzellen **102** gegeben, so dass diese ähnlich eines „konfigurierbaren ROM“ genutzt werden können. Das ermöglicht es, chipindividuelle Daten in den Speicherzellen **102** zu speichern.

[0161] In verschiedenen Ausführungsbeispielen können die Einweg-Speicherzellen Teil eines „normalen“ Speicherzellenfeldes sein, z.B. eines RRAM-Zellenfeldes.

[0162] Das in **Fig. 5C** dargestellte Ausführungsbeispiel ist dem ROM-Beispiel zur **Fig. 5A** ähnlich, abgesehen davon, dass der Teil der Speicherzellen **102**, der sich nicht im ersten Speicherzustand **112** (SET) befindet, nicht im Ausgangszustand **108** vorliegt, sondern im zweiten Speicherzustand **110** (RESET).

[0163] Anders ausgedrückt wurden/werden bei der Herstellung zwar sämtliche Einweg-Speicherzellen **102** geformt, aber nur ausgewählte Speicherzellen **102** davon in den ersten Speicherzustand **112** (SET) programmiert. Die Einweg-Speicherzellen können somit, wie oben beschrieben, als ein Muster aus Nullen und Einsen Daten darstellen.

[0164] Auch hier wäre es bei einem Normalbetrieb vorgesehen, dass der Nutzer den Zustand der Speicherzellen **102** nicht ändert. Sollte er es dennoch versuchen, was in diesem Fall leichter zu verwirklichen sein könnte als beim obigen Beispiel, weil dafür nur die Programmierspannung nötig ist, könnte er höchstens die Nullen in Einsen umprogrammieren, aber nicht anders herum, weil die Speicherzelle **102** aus dem ersten Speicherzustand **112** nicht mehr in einen anderen Speicherzustand überführbar ist.

[0165] Ähnlich dem obigen Beispiel können die Einweg-Speicherzellen **102** wie ein „konfigurierbares ROM“ genutzt werden, z.B. zum Speichern von chipindividuellen Daten in den Speicherzellen **102**.

[0166] Außerdem ist dem Hersteller und/oder dem Nutzer die Möglichkeit bereitgestellt, ausgewählten ROM-Inhalt unbrauchbar zu machen, z.B. um Dateninhalte, die nach dem Ausliefern des Datenspeichers **100** (z.B. als Teil eines Chips) nicht mehr verfügbar sein sollen, zu zerstören. Dafür kann es ausreichend sein, diejenigen Einweg-Speicherzellen **102**, die sich im zweiten Speicherzustand **110** befinden (welchen beispielsweise der Logikwert „0“ zugeordnet sein kann) in den (endgültigen) ersten Speicherzustand **112** (z.B. mit zugeordnetem Logikwert „1“) zu programmieren, so dass sich alle Speicherzellen, die die zu zerstörenden Daten enthielten, den Logikwert „1“ haben und somit keine Daten entnehmbar sind.

Einweg-Speicherzellen als nicht konfigurierbares Read-Only-Memory (ROM)

[0167] Befinden sich die mehreren Einweg-Speicherzellen **102** nach der Herstellung in einem Zustand, der kein Programmieren der Einweg-Speicherzellen **102** ermöglicht, können die Einweg-Speicherzellen **102** ein nicht konfigurierbares ROM bilden.

[0168] Zur Veranschaulichung eines Anwendungsbeispiels des nicht konfigurierbaren ROM kann **Fig. 5D** herangezogen werden, welches in vielen Aspekten dem Anwendungsbeispiel aus **Fig. 5A** für das ROM entspricht.

[0169] Allerdings können die Speicherzellen **102**, die bei dem Datenspeicher **100**, der wie in **Fig. 5D** veranschaulicht genutzt wird, die Speicherzellen **102**, die im Ausgangszustand **108** vorliegen, so gebildet sein, dass sie nicht formbar sind, also nicht aus dem Isolierzustand **108** herausgebracht werden können. Dies kann in verschiedenen Ausführungsbeispielen, z.B. bei RRAM-Zellen **102**, z.B. dadurch erreicht werden, dass bei diesen Speicherzellen **102** ausgewählte Bitleitungs- oder Auswahlleitungsvias oder -kontakte entfernt oder nicht gebildet werden/wurden und es somit überhaupt nicht möglich ist, diese Speicherzellen **102** von einem Strom durchfließen zu lassen. Diese Speicherzellen liegen somit dauerhaft im

Isolierzustand **108** vor. Derartige Speicherzellen **102** werden auch als markierte oder markierende Speicherzellen bezeichnet.

[0170] Die Speicherzellen **102**, die im ersten Speicherzustand **112** vorliegen, sind, wie oben beschrieben, ebenfalls in einem endgültigen Zustand.

[0171] Während der Herstellung des Datenspeichers **100** kann versucht werden, alle Speicherzellen **102** zu formen und in den ersten Speicherzustand (SET) **112** zu überführen. Bei den markierenden Speicherzellen **102** gelingt dies jedoch nicht, so dass sie im Isolierzustand **108** verbleiben. Somit wird eine Kombination von Speicherzellen im isolierenden Zustand **108** und im ersten Speicherzustand **112** (SET) erzeugt. Die Kombination kann einer Kombination aus zugeordneten Nullen (Isolierzustand) und Einsen (SET) entsprechen. Da der Programmierzustand von keiner der Speicherzellen **102** nachträglich geändert werden kann, bilden die Einweg-Speicherzellen **102** ein nicht konfigurierbares ROM.

[0172] Da ein Teil der Dateninformation beim Fertigen der Speicherzellen **102** angelegt wird (mittels Nichtausbildens oder Zerstörens von Vias oder Datenleitungsabschnitten bei den markierenden Speicherzellen **102**) kann der Dateninhalt nicht chipindividuell angepasst werden.

[0173] Vorteilhaft ist insbesondere die Implementierung des konfigurierbaren Read-Only-Memory (ROM) als Teil eines größeren, ansonsten normal programmierbaren Speichers im selben Zellenfeld, da hier die Ansteuerlogik für ROM und normalen Speicher gemeinsam genutzt werden kann.

Schutz bei direktem Zugriff
auf Speicherzellanschlüsse

[0174] In einem weiteren Ausführungsbeispiel, welches in **Fig. 5E** veranschaulicht ist, kann das Programmieren der mindestens einen Speicherzelle **102** im Wesentlichen wie in einem der oben beschriebenen Ausführungsbeispiele erfolgen bzw. erfolgt sein.

[0175] Allerdings kann der Schwellenwert I_{th} , welcher zum Zuordnen des jeweiligen Logikwerts zum jeweiligen Programmierzustand genutzt werden kann, derart festgelegt werden, dass er zwischen dem zweiten Programmierzustand **110** und dem Isolierzustand **108** liegt. Das bedeutet, dass allen Speicherzellen **102** mit einem höheren Zellstrom als der Schwellenwert I_{th} ein erster Logikwert, z.B. „1“, zugeordnet wird, wohingegen nur den Speicherzellen im Ausgangszustand **108** der zweite Logikwert, z.B. „0“, zugeordnet wird.

[0176] Damit kann ermöglicht werden, dass selbst dann, wenn anzunehmen ist, dass ein Angreifer di-

rekten physischen Zugriff auf die Einweg-Speicherzellen (z.B. RRAM-Speicherzellen) **102** hat, z.B. die Möglichkeit hat, interne Schaltungsknoten mittels Kontaktnadeln zu kontaktieren, der Dateninhalt auswertbar bleiben kann. Denn obwohl es dem Angreifer dadurch möglich sein kann, an die Speicherzelle **102** eine Potenzialdifferenz anzulegen, welche mittels der Schaltung **104** nicht anlegbar ist, und es dem Angreifer somit möglich sein kann, eine oder mehrere Speicherzellen **102** aus dem ersten Speicherzustand **112** in den zweiten Speicherzustand **110** zu überführen, ist es ihm unmöglich, den Formen-Vorgang rückgängig zu machen.

[0177] Folglich kann bei einem passend gewählten Zellstrom-Schwellenwert I_{th} , der geeignet ist, zwischen dem nichtleitenden Ausgangszustand **108** und jedem der leitenden Zustände **110**, **112** zu unterscheiden, also auch „geringen Strom“ von „keinem Strom“ zu unterscheiden, der vorgesehene Dateninhalt lesbar sein.

Kombination mit Fehlererkennungs-/
Fehlerkorrekturcodes

[0178] In verschiedenen Ausführungsbeispielen können die in der Mehrzahl von Einweg-Speicherzellen **102** gespeicherten Daten Informationen enthalten, die eine Fehlererkennung und/oder Korrektur in Daten, die in den Einweg-Speicherzellen **102** und/oder in den zusätzlichen normalen Speicherzellen gespeichert sind, ermöglichen.

[0179] Die Fehlererkennungs- und/oder Fehlerkorrekturdaten können in verschiedenen Ausführungsbeispielen eine Information darüber, wie viele der Speicherzellen den ersten Logikwert aufweisen (beispielsweise in Form einer ersten Anzahl), und/oder eine Information darüber, wie viele der Speicherzellen den zweiten Logikwert aufweisen (beispielsweise in Form einer zweiten Anzahl). Die erste Anzahl und die zweite Anzahl können komplementäre Informationen sein. Alternativ oder zusätzlich können die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine Prüfsumme aufweisen. Diese Art der Fehlererkennung kann geeignet sein, Änderungen von Speicherzuständen (und damit ggf. Logikwerten, z.B. Bits) in die bei den Speicherzellen **102** gemäß verschiedenen Ausführungsbeispielen einzige mögliche Richtung zu erkennen, nämlich aus dem Ausgangszustand **108** in den ersten Speicherzustand **112** oder in den zweiten Speicherzustand **110**, und/oder aus dem zweiten Speicherzustand **110** in den ersten Speicherzustand **112**.

[0180] Die Fehlererkennungs- und/oder Fehlerkorrekturdaten können in verschiedenen Ausführungsbeispielen eine redundante Speicherung der gespeicherten Daten aufweist, welche geeignet sein kann

für ein Anwenden eines Mehrheitsentscheidungsverfahrens.

[0181] Die Fehlererkennungs- und/oder Fehlerkorrekturcodes können geeignet sein, Einfach- und/oder Multibitfehler zu erkennen und/oder zu korrigieren.

Vorrichtungen, welche den Datenspeicher nutzen

[0182] Der Datenspeicher **100** kann in verschiedenen Ausführungsbeispielen Teil einer Halbleitervorrichtung bzw. einer elektronischen Vorrichtung sein, beispielsweise Teil eines Chips, eines Mikrocontrollers, einer Festplatte, einer eigenständigen nichtflüchtigen Speichervorrichtung wie einem Speicherstick (z.B. einem USB-Stick), einer Solid-State-Disk (SSD) oder ähnlichem.

Verfahren zum Betreiben des Datenspeichers

[0183] Fig. 6 zeigt ein Ablaufdiagramm **600** für ein Verfahren zum Betreiben eines Datenspeichers gemäß verschiedenen Ausführungsbeispielen.

[0184] Das Verfahren kann ein Bereitstellen eines Datenspeichers aufweisen.

[0185] Der Datenspeicher kann mindestens eine Speicherzelle aufweisen, die gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist, eine stromrichtungsdefinierende Schaltung und eine Steuerung aufweist, wobei die stromrichtungsdefinierende Schaltung derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist. Das Verfahren kann in verschiedenen Ausführungsbeispielen ein Anlegen einer Spannung an die Speicherzelle aufweisen, derart, dass in der Speicherzelle ein Stromfluss in der ersten Richtung erzeugt wird zum Programmieren der Speicherzelle in einen ersten, nicht umprogrammierbaren Speicherzustand (in **610**).

[0186] Weitere vorteilhafte Ausgestaltungen des Verfahrens ergeben sich aus der Beschreibung der Vorrichtung und umgekehrt.

Patentansprüche

1. Datenspeicher, aufweisend:
mindestens eine Speicherzelle, wobei die Speicherzelle gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist;
eine stromrichtungsdefinierende Schaltung, welche derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist; und
eine Steuerung, welche eingerichtet ist, mittels eines Steuerns eines Stromflusses durch die Speicherzelle in der ersten Richtung die Speicherzelle in einen ers-

ten, nicht umprogrammierbaren Speicherzustand zu programmieren,

wobei der einer bipolar schaltenden Speicherzelle entsprechende Aufbau bedeutet, dass die Speicherzelle geeignet ist für das Programmieren in den ersten Speicherzustand mittels eines Stromflusses in der ersten Richtung durch die Speicherzelle und für ein Programmieren in einen zweiten Speicherzustand mittels eines Stromflusses in einer zur ersten Richtung entgegengesetzten zweiten Richtung.

2. Datenspeicher gemäß Anspruch 1, wobei der Stromfluss durch die Speicherzelle in der ersten Richtung ein Programmieren der Speicherzelle aus einem Grundzustand in den ersten Speicherzustand, aus dem Grundzustand in den zweiten Speicherzustand und/oder aus dem zweiten Speicherzustand in den ersten Speicherzustand ermöglicht.

3. Datenspeicher gemäß einem der Ansprüche 1 oder 2, wobei ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand unterbunden ist.

4. Datenspeicher gemäß einem der Ansprüche 1 bis 3, ferner aufweisend:
eine strombegrenzende Schaltung, welche eingerichtet ist, eine Stromstärke eines Stromflusses durch die Speicherzelle auf einen Wert zu beschränken, der ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand verhindert.

5. Datenspeicher gemäß Anspruch 1, wobei die Speicherzelle als Schutzelement eingerichtet ist, vor einem Ausführen eines vorbestimmten Vorgangs und/oder einem Erreichen eines vorbestimmten Zustands zu schützen, wenn das Schutzelement in dem ersten Speicherzustand ist, und das Ausführen des Vorgangs und/oder das Erreichen des Zustands zu ermöglichen, wenn das Schutzelement in dem zweiten Speicherzustand ist, oder umgekehrt.

6. Datenspeicher gemäß einem der Ansprüche 1 bis 5, ferner aufweisend:
eine Auswerteschaltung, welche eingerichtet ist, der Speicherzelle in Abhängigkeit vom Speicherzustand einen Logikwert zuzuweisen.

7. Datenspeicher gemäß einem der Ansprüche 1 bis 6, wobei die mindestens eine Speicherzelle eine nichtflüchtige Speicherzelle ist.

8. Datenspeicher gemäß einem der Ansprüche 1 bis 7, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle, eine Conductive Bridging Random Access Memory-Zelle, eine Magnetoresistive Random Access Memory-Zelle oder eine Phase Change Random Access Memory-Zelle ist.

9. Datenspeicher gemäß einem der Ansprüche 1 bis 8, wobei die mindestens eine Speicherzelle eine Resistive Random Access Memory-Zelle oder eine Conductive Bridging Random Access Memory-Zelle ist und wobei der Grundzustand ein Isolierzustand der Speicherzelle nach ihrer Herstellung und vor einem Formen der Speicherzelle ist.

10. Datenspeicher gemäß Anspruch 9, wobei der erste Speicherzustand ein SET-Zustand ist und wobei der zweite Speicherzustand ein RESET-Zustand ist.

11. Datenspeicher gemäß einem der Ansprüche 1 bis 10, wobei die mindestens eine Speicherzelle eine erste Elektrode, eine zweite Elektrode und ein zwischen der ersten Elektrode und der zweiten Elektrode angeordnetes Isoliermaterial aufweist oder daraus besteht.

12. Datenspeicher gemäß Anspruch 11, wobei die Speicherzelle eine Resistive Random Access Memory-Zelle ist und das Isoliermaterial ein Metalloxid aufweist oder daraus besteht.

13. Datenspeicher gemäß Anspruch 12, wobei das Metalloxid ein Oxid eines Übergangsmetalls ist.

14. Datenspeicher gemäß Anspruch 13, wobei das Übergangsmetall Hafnium, Tantal oder Titan aufweist oder daraus besteht.

15. Datenspeicher gemäß einem der Ansprüche 12 bis 14, ferner aufweisend: eine Übergangsmetallschicht zwischen der ersten Elektrode und dem Isoliermaterial.

16. Datenspeicher gemäß Anspruch 15, wobei das Übergangsmetall der Schicht Hafnium, Tantal oder Titan aufweist oder daraus besteht.

17. Datenspeicher gemäß Anspruch 11, wobei die Speicherzelle eine Conductive Bridging Random Access Memory-Zelle ist und das Isoliermaterial eine Elektrolytschicht aufweist oder daraus besteht.

18. Datenspeicher gemäß Anspruch 17, wobei der Elektrolyt ein Chalkogenid oder ein Oxid aufweist oder daraus besteht.

19. Datenspeicher gemäß Anspruch 17 oder 18, wobei der Elektrolyt GeSe, GeS₂, GdO, ZrO_x oder Al₂O₃ aufweist oder daraus besteht.

20. Datenspeicher gemäß einem der Ansprüche 17 bis 19, ferner aufweisend: eine Metallschicht zwischen der ersten Elektrode und dem Isoliermaterial.

21. Datenspeicher gemäß Anspruch 20, wobei die Metallschicht Cu, Ag oder CuTe aufweist.

22. Datenspeicher gemäß einem der Ansprüche 1 bis 21, ferner aufweisend: eine Mehrzahl von wiederholt abwechselnd in den ersten Speicherzustand und in den zweiten Speicherzustand programmierbaren Speicherzellen.

23. Datenspeicher gemäß Anspruch 22, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle gemeinsam gefertigt sind.

24. Datenspeicher gemäß Anspruch 22 oder 23, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle Bestandteile eines gemeinsamen Zellenfeldes sind.

25. Datenspeicher gemäß einem der Ansprüche 22 bis 24, wobei die Mehrzahl von wiederholt programmierbaren Speicherzellen und die mindestens eine Speicherzelle sich im Wesentlichen dadurch voneinander unterscheiden, dass nur die mindestens eine Speicherzelle direkt mit der stromrichtungsdefinierenden Schaltung verbunden ist.

26. Datenspeicher gemäß Anspruch 25, wobei in der Mehrzahl der Speicherzellen zusätzlich zu den gespeicherten Daten Fehlererkennungs- und/oder Fehlerkorrekturdaten gespeichert sind zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten.

27. Datenspeicher gemäß Anspruch 26, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine Information darüber enthalten, wie viele Speicherzellen den ersten Logikwert aufweisen, und/oder wie viele Speicherzellen den zweiten Logikwert aufweisen, und/oder eine Prüfsumme aufweisen.

28. Verfahren zum Betreiben eines Datenspeichers, wobei der Datenspeicher mindestens eine Speicherzelle, die gemäß einer bipolar schaltenden Speicherzelle aufgebaut ist, eine stromrichtungsdefinierende Schaltung und eine Steuerung aufweist, wobei die stromrichtungsdefinierende Schaltung derart mit der mindestens einen Speicherzelle gekoppelt ist, dass ein Stromfluss durch die Speicherzelle nur in einer ersten Richtung möglich ist, das Verfahren aufweisend:

Anlegen einer Spannung an die Speicherzelle, derart, dass in der Speicherzelle ein Stromfluss in der ersten Richtung erzeugt wird zum Programmieren der Speicherzelle in einen ersten, nicht umprogrammierbaren Speicherzustand, wobei der einer bipolar schaltenden Speicherzelle entsprechende Aufbau bedeutet, dass die Speicherzelle geeignet ist für ein Programmieren in den ersten

Speicherzustand mittels des Stromflusses in der ersten Richtung durch die Speicherzelle und für ein Programmieren in einen zweiten Speicherzustand mittels eines Stromflusses in einer zur ersten Richtung entgegengesetzten zweiten Richtung.

29. Verfahren gemäß Anspruch 28, wobei der Stromfluss durch die Speicherzelle in der ersten Richtung ein Programmieren der Speicherzelle aus einem Grundzustand in den ersten Speicherzustand, aus dem Grundzustand in den zweiten Speicherzustand und/oder aus dem zweiten Speicherzustand in den ersten Speicherzustand ermöglicht.

30. Verfahren gemäß einem der Ansprüche 28 oder 29, wobei ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand unterbunden ist.

31. Verfahren gemäß einem der Ansprüche 28 bis 30, ferner aufweisend:

Begrenzen einer Stromstärke eines Stromflusses durch die Speicherzelle auf einen Wert, der ein Programmieren der Speicherzelle aus dem ersten Speicherzustand in den zweiten Speicherzustand verhindert, mittels einer strombegrenzenden Schaltung.

32. Verfahren gemäß einem der Ansprüche 28 bis 31, ferner aufweisend:

vor einem Ausführen eines vorbestimmten Vorgangs ein Prüfen des Speicherzustands der mindestens einen Speicherzelle;
in einem Fall, dass die mindestens eine Speicherzelle in dem ersten Speicherzustand ist, Ausführen des vorbestimmten Vorgangs; und
in einem Fall, dass das Schutzelement in dem zweiten Speicherzustand ist, Verhindern des Ausführens des vorbestimmten Vorgangs,
oder umgekehrt.

33. Verfahren gemäß einem der Ansprüche 28 bis 32, ferner aufweisend:

Zuweisen eines Logikwerts zur Speicherzelle in Abhängigkeit von ihrem Speicherzustand mittels einer Auswerteschaltung.

34. Verfahren gemäß einem der Ansprüche 28 bis 33, aufweisend:

Programmieren mindestens einer der Speicherzellen aus dem Grundzustand oder dem zweiten Speicherzustand in den ersten Speicherzustand und/oder Programmieren mindestens einer der Speicherzellen aus dem Grundzustand in den zweiten Speicherzustand;
Zuweisen eines ersten Logikwerts zu einer Kombination von Speicherzuständen; und
- Zuweisen eines zweiten Logikwerts zu einem Speicherzustand, der nicht Teil der Kombination ist.

35. Verfahren gemäß Anspruch 34, wobei das Programmieren der mindestens einen Speicherzelle als ein Speichern von Fehlererkennungs- und/oder Fehlerkorrekturdaten zum Erkennen von Datenfehlern und/oder Korrigieren der gespeicherten Daten erfolgt.

36. Verfahren gemäß Anspruch 35, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine Information darüber enthalten, wie viele Speicherzellen den ersten Logikwert aufweisen, und/oder Information darüber enthalten, wie viele Speicherzellen den zweiten Logikwert aufweisen, und/oder eine Prüfsumme aufweisen.

37. Verfahren gemäß Anspruch 35 oder 36, wobei die Fehlererkennungs- und/oder Fehlerkorrekturdaten eine redundante Speicherung der gespeicherten Daten aufweist, welche geeignet ist für ein Anwenden eines Mehrheitsentscheidungsverfahrens.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

100

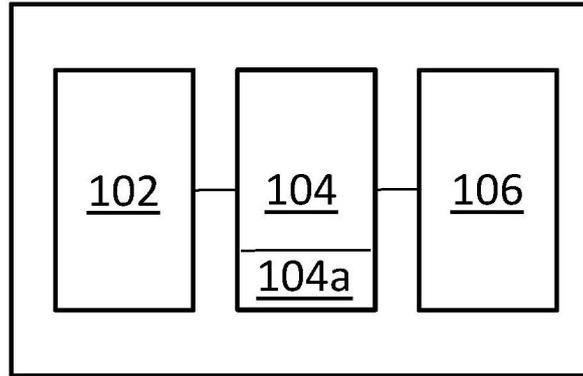


FIG. 1B

101

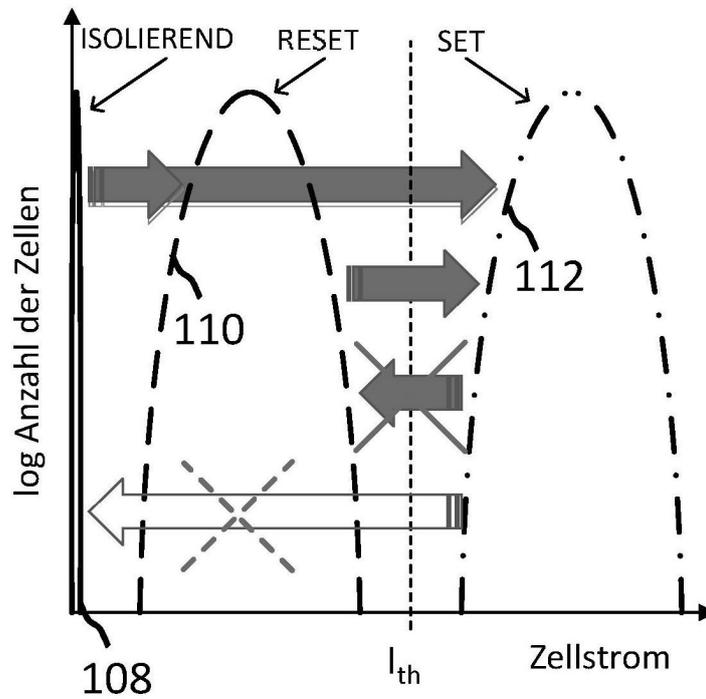


FIG. 2A

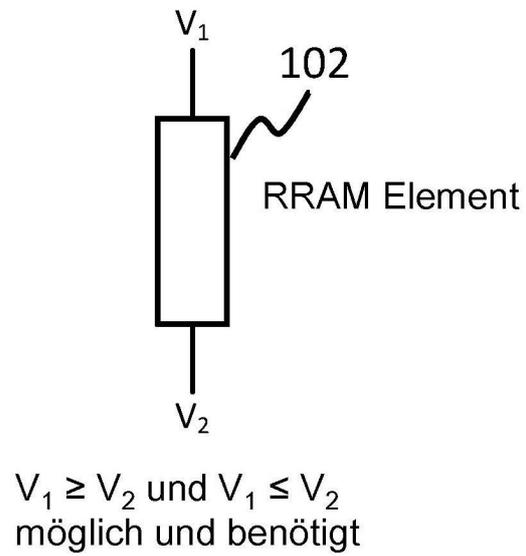


FIG. 2B

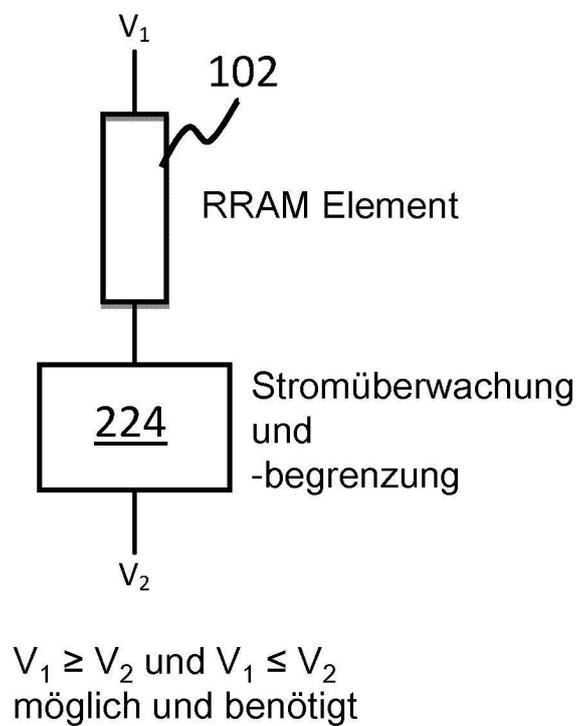
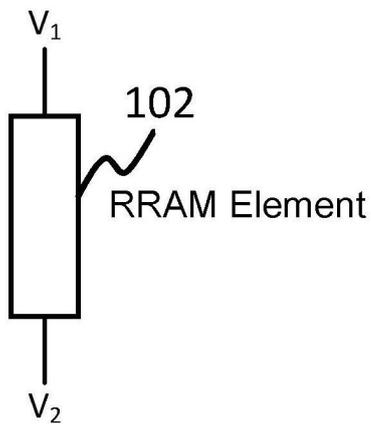
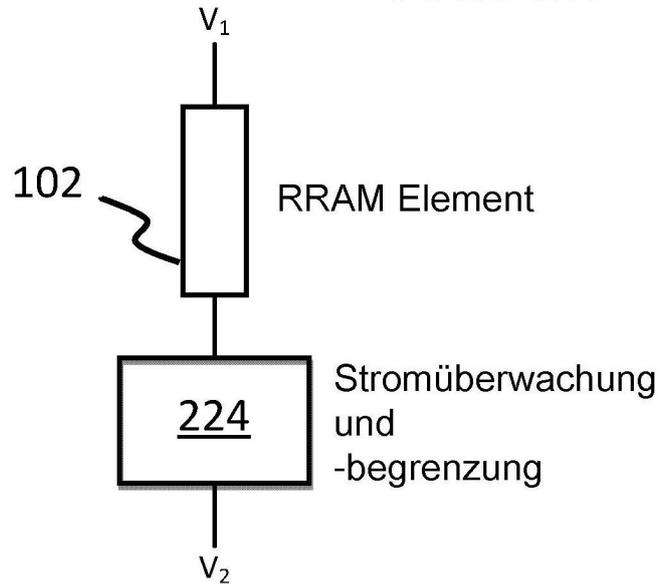


FIG. 3A



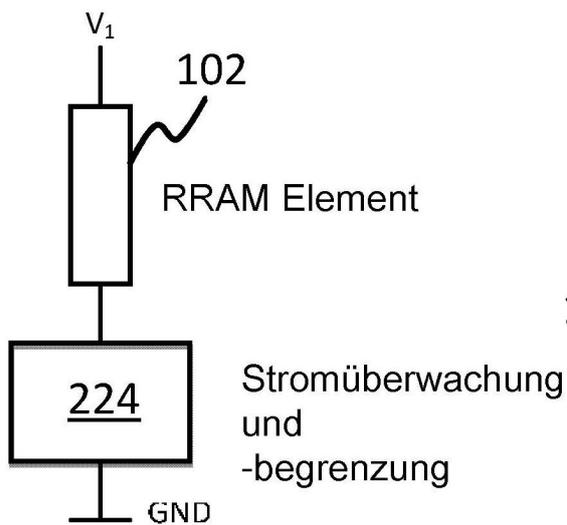
entweder immer $V_1 \geq V_2$
oder immer $V_1 \leq V_2$

FIG. 3B



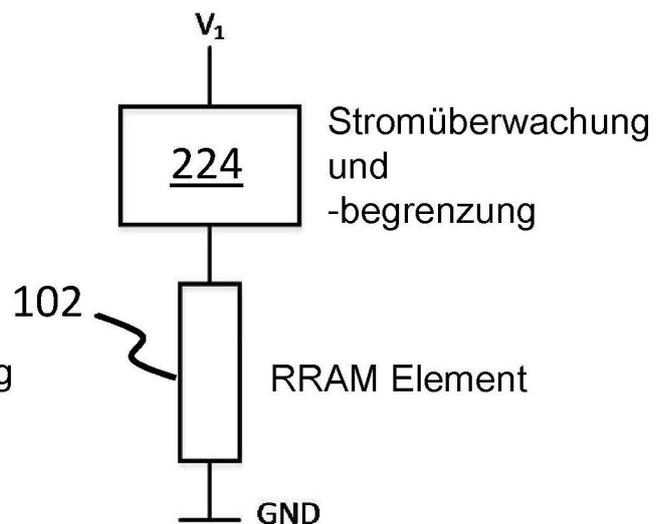
entweder immer $V_1 \geq V_2$
oder immer $V_1 \leq V_2$

FIG. 3C



immer $V_1 \geq 0V$

FIG. 3D



immer $V_1 \geq 0V$

FIG. 4

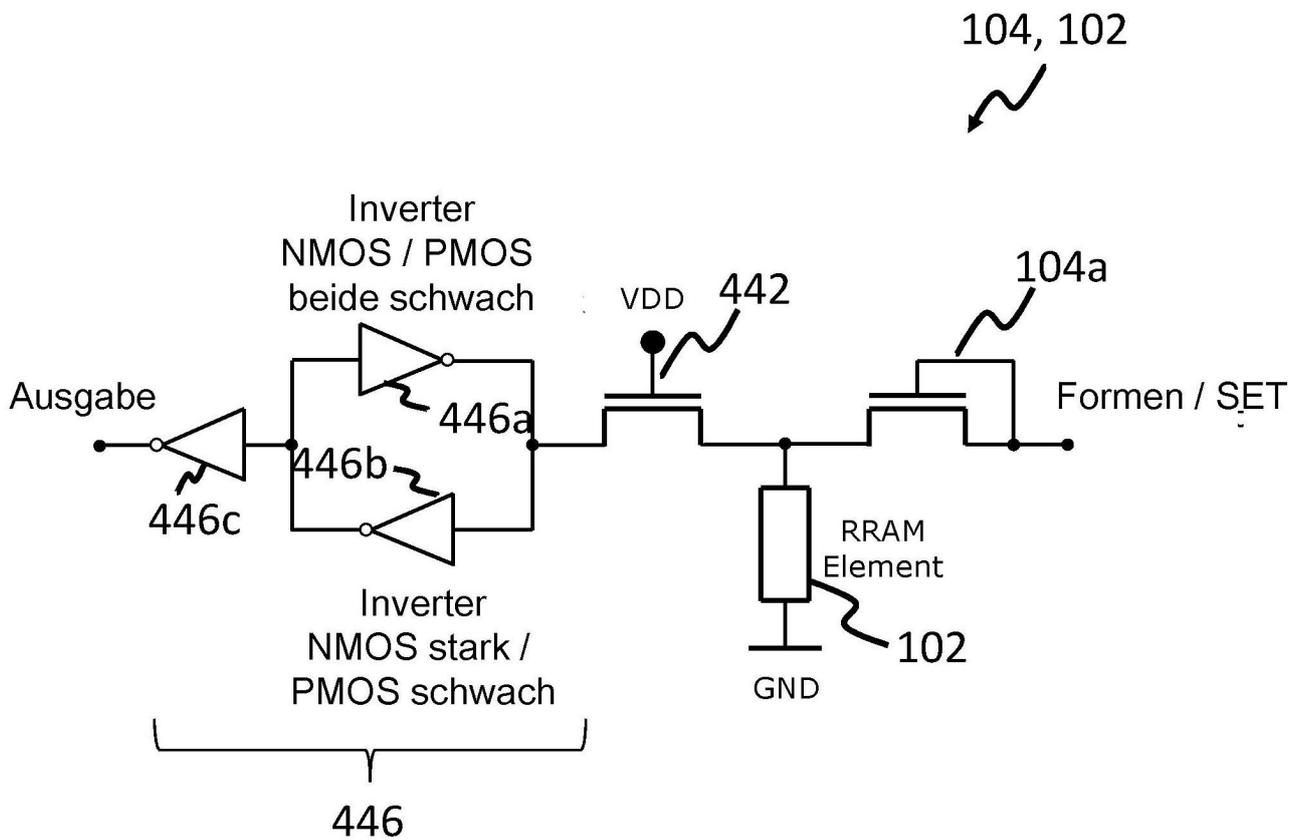


FIG. 5A

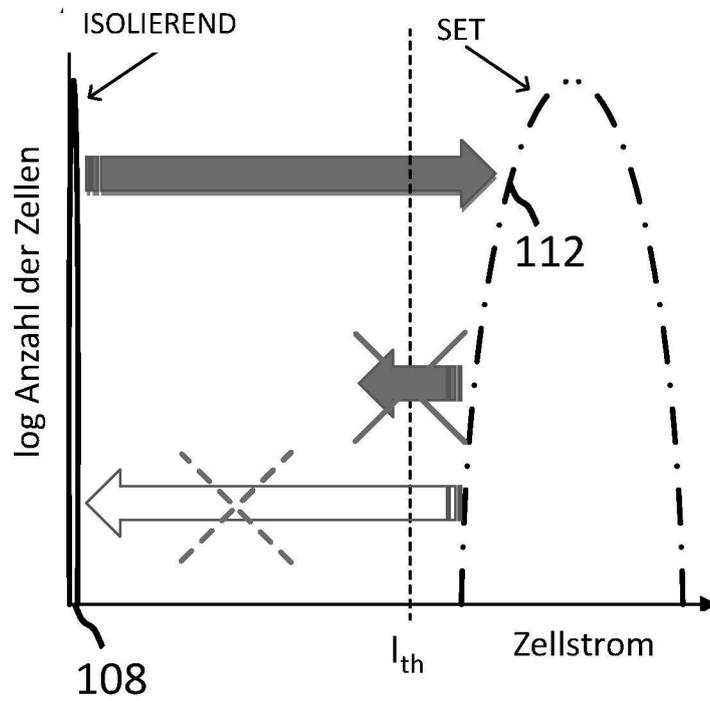


FIG. 5B

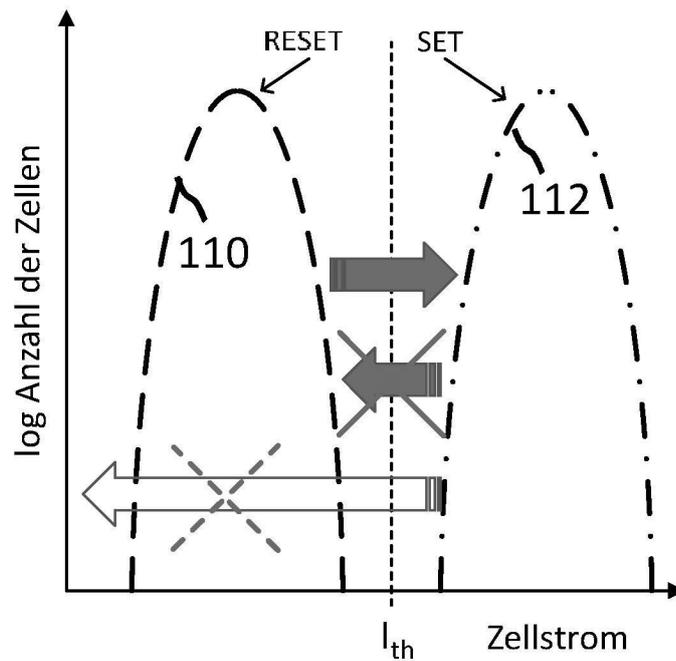


FIG. 5C

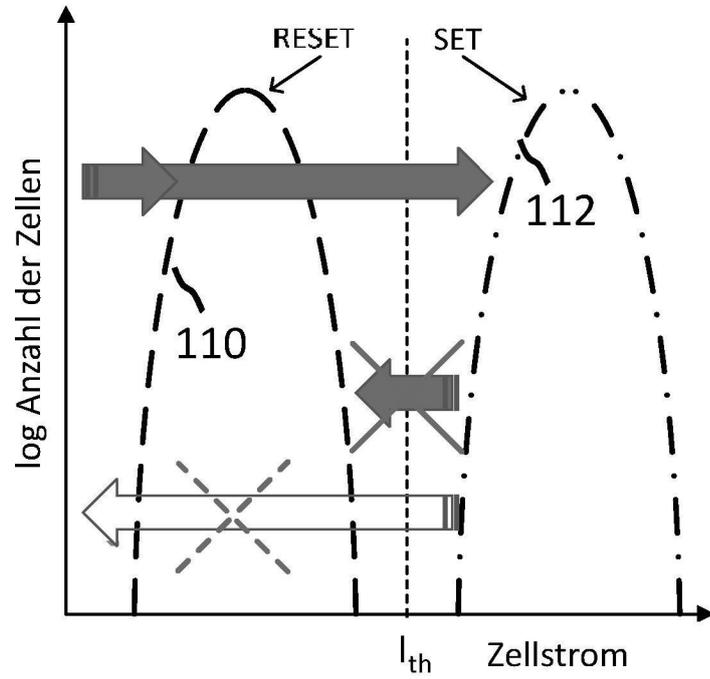


FIG. 5D

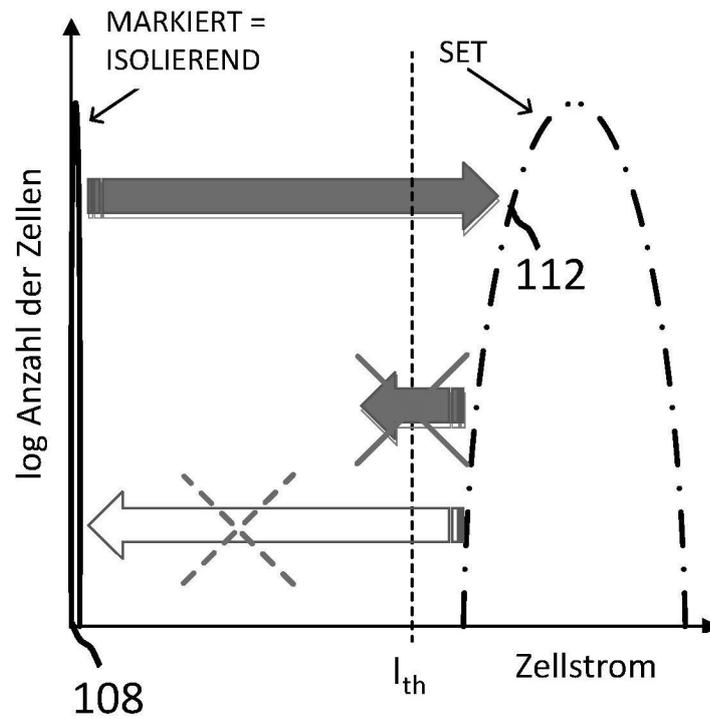


FIG. 5E

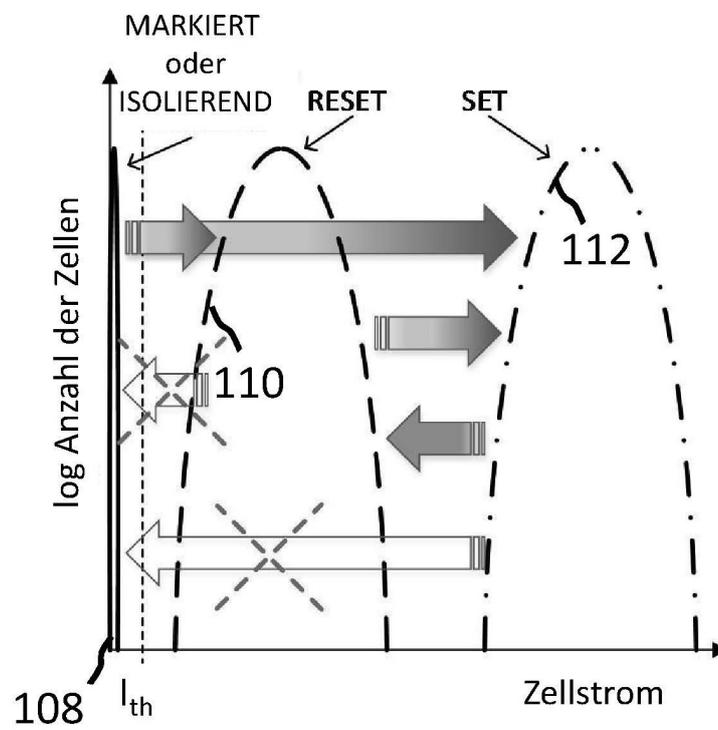


FIG. 6

