

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 6 日 (06.12.2012)



(10) 国际公布号
WO 2012/162934 A1

- (51) 国际专利分类号:
H01L 21/36 (2006.01) H01L 21/265 (2006.01)
H01L 21/306 (2006.01) H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2011/077634
- (22) 国际申请日: 2011 年 7 月 26 日 (26.07.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110144978.1 2011 年 5 月 31 日 (31.05.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 骆志炯 (LUO, Zhijiong) [US/US];

美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,

[见续页]

(54) Title: METHOD FOR FORMING WELL REGION AND SEMICONDUCTOR SUBSTRATUM

(54) 发明名称: 阱区的形成方法和半导体基底

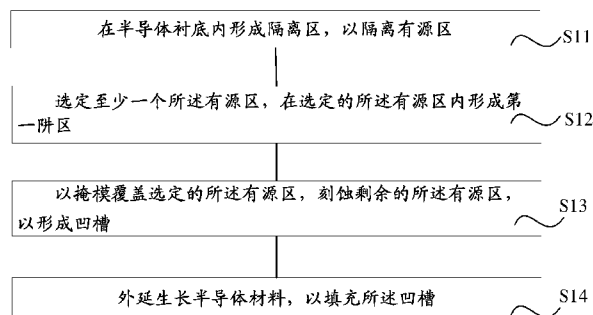


图 7 / Fig. 7

S11 FORMING AN ISOLATION AREA IN A SEMICONDUCTOR SUBSTRATE TO ISOLATE AN ACTIVE AREA
S12 SELECTING AT LEAST ONE ACTIVE AREA, AND FORMING A FIRST WELL REGION IN THE SELECTED ACTIVE AREA
S13 COVERING THE SELECTED ACTIVE AREA BY A MASK, AND ETCHING THE REST ACTIVE AREAS TO FORM A GROOVE
S14 EPITAXIALLY GROWING SEMICONDUCTOR MATERIALS TO FILL THE GROOVE

(57) Abstract: A method for forming a well region and a semiconductor substratum in the technical field of semiconductors. The method comprises: forming an isolation area on a semiconductor substrate to isolate active areas; selecting at least one active area, and forming a first well region in the selected active area; covering the selected active area by a mask, and etching the rest active areas to form a groove; and epitaxially growing semiconductor materials to fill the groove. Another method comprises: forming an isolation area in a semiconductor substrate to isolate active areas; forming a well region in the active area; etching the active area to form a groove, the depth of the groove is less than or equal to the depth of the well region; epitaxially growing semiconductor materials to fill the groove. The semiconductor substratum comprises a semiconductor substrate and a rectification semiconductor area made of different materials. The present invention removes the doped ions traversing an isolation structure for lateral scattering, and ensures that the threshold voltage of a semiconductor device is stable.

(57) 摘要:

[见续页]



WO 2012/162934 A1



SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, **本国际公布:**

GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

— 包括国际检索报告(条约第 21 条(3))。

一种半导体技术领域的阱区的形成方法和半导体基底，一种所述方法包括：在半导体衬底上形成隔离区，以隔离有源区；选定至少一个所述有源区，在选定的所述有源区内形成第一阱区；以掩模覆盖选定的所述有源区，刻蚀剩余的所述有源区，以形成凹槽；外延生长半导体材料，以填充所述凹槽。另一种所述方法包括：在半导体衬底内形成隔离区，以隔离有源区；在所述有源区内形成阱区；刻蚀所述有源区，以形成凹槽，所述凹槽的深度小于或等于所述阱区的深度；外延生长半导体材料，以填充所述凹槽。所述半导体基底，包括：材料不同的半导体衬底和修正半导体区。本发明去除了穿过隔离结构进行横向扩散的掺杂离子，保证了半导体器件的阈值电压稳定。

阱区的形成方法和半导体基底

本申请要求于 2011 年 5 月 31 日提交中国专利局、申请号为 201110144978.1、发明名称为“阱区的形成方法和半导体基底”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5

技术领域

本发明涉及半导体技术领域，特别涉及一种阱区的形成方法和半导体基底。

10 背景技术

在半导体制造技术中，形成阱区是必不可少的工艺。

下面结合附图说明现有技术中阱区的形成方法，所述方法具体包括：

参见图1所示，提供半导体衬底100，所述半导体衬底100包括：第一隔离结构111、第二隔离结构112、第三隔离结构113、第四隔离结构114和第五隔离结构115，所述隔离结构用于隔离有源区。

参见图2所示，在所述第二隔离结构112和所述第三隔离结构113之间的有源区之外的半导体衬底100上形成光刻胶120。

参见图3所示，进行掺杂离子140注入。

参见图4所示，在所述第二隔离结构112和所述第三隔离结构113之间的有源区内形成第一阱区151，第一阱区151的深度一般大于所述隔离结构的深度。

然而随着半导体器件尺寸的不断减小，隔离结构的尺寸也随之不断减小。因此在形成第一阱区151的过程中，由于隔离结构的尺寸很小，部分掺杂离子会发生横向扩散（lateral scattering），即部分掺杂离子会穿过第二隔离结构112和第三隔离结构113，从而在第二隔离结构112朝向第一隔离结构111的一侧的

-2-

中上部产生第一多余掺杂区域161, 在第三隔离结构113朝向第四隔离结构114的一侧的中上部也产生第二多余掺杂区域162, 且第一多余掺杂区域161和第二多余掺杂区域162的掺杂类型与第一阱区151的掺杂类型相同。

参见图5所示, 去除所述光刻胶120, 得到包括第一阱区151、第一多余掺杂区域161和第二多余掺杂区域162的半导体器件。

参见图6所示, 采用同样方法可在第一隔离结构111和第二隔离结构112之间的有源区内、第三隔离结构113和第四隔离结构114之间的有源区内、第四隔离结构114和第五隔离结构115之间的有源区内同时形成第二阱区152。

类似地, 在形成第二阱区152的过程中, 同样会在第二隔离结构112朝向第三隔离结构113的一侧的中上部产生第三多余掺杂区域163、在第三隔离结构113朝向第二隔离结构112的一侧的中上部产生第四多余掺杂区域164、在第四隔离结构114朝向第三隔离结构113的一侧的中上部产生第五多余掺杂区域165、在第四隔离结构114朝向第五隔离结构115的一侧的中上部产生第六多余掺杂区域166, 且第三多余掺杂区域163、第四多余掺杂区域164、第五多余掺杂区域165和第六多余掺杂区域166的掺杂类型与第二阱区152的掺杂类型相同。

所述第一阱区151和所述第二阱区152的掺杂类型不同。如: 第一阱区151为N型离子掺杂, 第二阱区152为P型离子掺杂, 则: 第一多余掺杂区域161和第二多余掺杂区域162为N型离子掺杂, 第三多余掺杂区域163、第四多余掺杂区域164、第五多余掺杂区域165和第六多余掺杂区域166为P型离子掺杂。

由于第五多余掺杂区域165、第六多余掺杂区域166和第二阱区152的掺杂

—3—

类型相同，因此第五多余掺杂区域165基本不会对第三隔离结构113和第四隔离结构114之间的半导体器件的阈值电压产生影响，第六多余掺杂区域166也基本不会对第四隔离结构114和第五隔离结构115之间的半导体器件的阈值电压产生影响。

5 但是由于第一多余掺杂区域161与第二阱区152的掺杂类型不同，因此第一隔离结构111和第二隔离结构112之间的半导体器件的阈值电压会发生变化。同样，由于第三多余掺杂区域163与第一阱区151的掺杂类型不同，且第四多余掺杂区域164与第一阱区151的掺杂类型不同，因此第二隔离结构112和第三隔离结构113之间的半导体器件的阈值电压也会发生变化；由于第二多余掺杂区域
10 162与第二阱区152的掺杂类型不同，因此第三隔离结构113和第四隔离结构114之间的半导体器件的阈值电压也会发生变化。阈值电压的变化势必影响半导体器件的性能。

因此，如何在形成阱区的过程中，减小掺杂离子的横向扩散引起的半导体器件阈值电压变化就成为亟待解决的问题。

15

发明内容

本发明解决的问题是提供一种阱区的形成方法和半导体基底，去除穿过隔离结构进行横向扩散的掺杂离子，保证了半导体器件的阈值电压稳定。

为解决上述问题，本发明提供了一种阱区的形成方法，包括：

20

在半导体衬底上形成隔离区，以隔离有源区；

选定至少一个所述有源区，在选定的所述有源区内形成第一阱区；

—4—

以掩模覆盖选定的所述有源区，刻蚀剩余的所述有源区，以形成凹槽；
外延生长半导体材料，以填充所述凹槽。

可选地，所述阱区的形成方法还包括：在所述半导体材料中形成第二阱区，所述第二阱区和所述第一阱区掺杂类型不同。

5 可选地，所述半导体衬底材料与所述半导体材料相同或不同。

可选地，所述半导体衬底材料与所述半导体材料均为 Si、SiGe、SiC 或 Ge。

可选地，在以隔离结构界定所述隔离区时，所述凹槽的深度小于或等于所述隔离结构的深度。

10 为解决上述问题，本发明还提供了一种阱区的形成方法，包括：

在半导体衬底上形成隔离区，以隔离有源区；

在所述有源区内形成阱区；

刻蚀所述有源区，以形成凹槽，所述凹槽的深度小于或等于所述阱区的深度；

15 外延生长半导体材料，以填充所述凹槽。

可选地，所述刻蚀所述有源区包括：在部分数目的所述有源区上形成掩模，刻蚀剩余的所述有源区。

可选地，所述半导体衬底材料与所述半导体材料相同或不同。

可选地，所述在所述有源区内形成的阱区包括第一阱区和第二阱区，所述

—5—

第一阱区和第二阱区的掺杂类型不同。

可选地，所述半导体衬底材料和所述半导体材料均为 Si、SiGe、SiC 或 Ge。

可选地，在以隔离结构界定所述隔离区时，所述凹槽的深度小于或等于所

5 述隔离结构的深度。

为解决上述问题，本发明还提供了一种半导体基底，包括：

半导体衬底，所述半导体衬底包括隔离结构，以隔离至少两个有源区；

修正半导体区，所述修正半导体区嵌于至少部分数目的所述有源区中，所

10 述修正半导体区材料与所述半导体衬底材料不同，且所述修正半导体区的上表

面至少与所述有源区的上表面齐平。

可选地，所述修正半导体区的下表面高于所述隔离结构的下表面。

可选地，所述半导体衬底材料为 Si、SiGe、SiC 或 Ge。

可选地，所述修正半导体区材料为 Si、SiGe、SiC 或 Ge。

与现有技术相比，本发明具有以下优点：

15 1) 本发明一个实施例在有源区内形成阱区后，采用掩模覆盖所述有源区，将包括多余的掺杂区域半导体衬底去除，进而重新生长不含多余掺杂区域的半导体衬底，从而避免了多余的掺杂区域引起的半导体器件阈值电压发生变化的现象，保证了半导体器件的阈值电压稳定。

2) 本发明另一个实施例在有源区内形成阱区后，在不破坏所述阱区的前
20 提下，将包括多余的掺杂区域的半导体衬底去除，进而重新生长不包含多余掺

杂区域的半导体衬底,从而避免了多余的掺杂区域引起的半导体器件阈值电压发生变化的现象,保证了半导体器件的阈值电压稳定。

- 3) 本发明还提供了一种半导体基底,其包括掺杂类型不同的半导体衬底和修正半导体区,该半导体基底中由于减少或去除了多余掺杂区域的数目,因此也能保证后续制备的半导体器件阈值电压的稳定。

附图说明

通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

图 1 至图 6 是现有技术制作半导体器件的结构示意图;

图 7 是本发明实施例一提供的阱区的形成方法的流程示意图;

图 8 至图 16 是本发明实施例一提供的阱区的形成方法的中间结构的剖面图;

图 17 是本发明实施例二提供的阱区的形成方法的流程示意图;

图 18 至图 22 是本发明实施例二提供的阱区的形成方法的中间结构的剖面图;

图 23 是本发明实施例三提供的半导体基底的结构示意图。

具体实施方式

为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明

—7—

还可以采用其他不同于在此描述的其它方式来实现,因此本发明不受下面公开的具体实施例的限制。

正如背景技术部分所述,现有技术中随着半导体器件尺寸的不断减小,包括隔离结构的半导体器件在形成掺杂区的过程中,部分掺杂离子会穿过隔离结
5 构发生横向扩散,最终影响了半导体器件的阈值电压。

针对上述缺陷,本发明提供了两种阱区的形成方法,一个是在有源区内形成阱区后,采用掩模覆盖所述有源区,将所述有源区之外包括多余的掺杂区域
10 半导体衬底去除,进而重新生长不含多余掺杂区域的半导体衬底;另一个是在有源区内形成阱区后,在不破坏所述阱区的前提下,将全部或部分阱区上包括
15 多余的掺杂区域的半导体衬底去除,进而重新生长不包含多余掺杂区域的半导体衬底。上述两种方法都避免了多余的掺杂区域引起的半导体器件阈值电压发生变化的现象,保证了半导体器件的阈值电压稳定。根据上述两种方法,本发明还得到了一种半导体基底,其包括掺杂类型不同的半导体衬底和修正半导体区,该半导体基底中由于减少或去除了多余掺杂区域的数目,因此也能保证后
续制备的半导体器件阈值电压的稳定。

下面结合附图进行详细说明。

实施例一

图7示出了本实施例提供的阱区的形成方法的流程示意图,所述阱区的形成方法包括:

20 S11, 在半导体衬底内形成隔离区,以隔离有源区;

S12, 选定至少一个所述有源区,在选定的所述有源区内形成第一阱区;

—8—

S13, 以掩模覆盖选定的所述有源区, 刻蚀剩余的所述有源区, 以形成凹槽;

S14, 外延生长半导体材料, 以填充所述凹槽形成修正半导体区。

图 8 至图 16 示出了本实施例阱区的形成方法的中间结构的剖面图, 下面

5 结合图 7 和图 8 至图 16 对本实施例进行详细描述。

结合图 7 和图 8, 执行步骤 S11, 在半导体衬底 200 上形成隔离区, 以隔离有源区。

具体的, 所述半导体衬底 200 的材料可以是硅衬底(Si)、锗硅衬底(SiGe)、碳化硅衬底(SiC)或锗衬底(Ge)等。

10 具体地, 所述隔离区由隔离结构界定, 所述隔离结构可以为浅沟槽隔离结构或者局部氧化硅隔离结构。所述隔离结构的数目可以为大于或等于 2 的任意整数。所述隔离结构的具体制备方法对于本领域的技术人员是熟知的, 在此不再赘述。

为简单起见, 本实施例中所述隔离结构包括 5 个浅沟槽隔离结构, 分别为:

15 第一浅沟槽隔离结构 211、第二浅沟槽隔离结构 212、第三浅沟槽隔离结构 213、第四浅沟槽隔离结构 214 和第五浅沟槽隔离结构 215。其中, 第一浅沟槽隔离结构 211 和第二浅沟槽隔离结构用于隔离第一有源区, 第二浅沟槽隔离结构 212 和第三浅沟槽隔离结构 213 用于隔离第二有源区, 第三浅沟槽隔离结构 213 和第四浅沟槽隔离结构 214 用于隔离第三有源区, 第四浅沟槽隔离结构 214
20 和第五浅沟槽隔离结构 215 用于隔离第四有源区。

接着执行步骤 S12, 选定至少一个所述有源区, 在选定的所述有源区内形成第一阱区。

本实施例中选定第一有源区、第三有源区和第四有源区。需要说明的是, 在本发明的其他实施例中, 还可以有其他不同的选择, 如: 选择一个有源区、
5 两个有源区或所有的有源区等。

首先, 在未选定的第二有源区上形成光刻胶 220, 参见图 9 所示。其中, 所述光刻胶 220 可以覆盖第二有源区、全部或部分的第二浅沟槽隔离结构 212 和/或全部或部分的第三浅沟槽隔离结构 213, 所述光刻胶 220 也可以仅仅覆盖第二有源区, 只要所述光刻胶 220 不覆盖选定的有源区即可。

10 然后, 进行掺杂离子 240 注入, 参见图 10 所示。其中, 当第一阱区的掺杂类型为P型时, 所述掺杂离子 240 可以为In离子、IB离子或BF₂离子; 当所述第一阱区的掺杂类型为N型时, 所述掺杂离子 240 可以为As离子、P离子或Sb离子。

在进行掺杂离子注入后, 去除所述光刻胶 220, 此时在选定的第一有源区、
15 第三有源区内和第四有源区内分别形成了第一阱区 251, 参见图 11 所示。基于与背景技术所描述相同的原因, 本实施例在形成第一阱区 251 的同时, 也会在第二隔离结构 212 朝向第三隔离结构 213 一侧的中上部形成第一多余掺杂区域 261、在第三隔离结构 213 朝向第二隔离结构 212 一侧的中上部形成第二多余掺杂区域 262, 具体参见图 11。当然, 在第三隔离结构 213、第四隔离结构
20 214 和第二隔离结构 212 的各侧壁上也会出现多余掺杂区域, 图 11 中未示出。

接着执行步骤 S13, 以掩模覆盖选定的第一有源区、第三有源区和第四有

源区，刻蚀剩余的第三有源区，以形成凹槽。

参见图 12 所示，首先在所述第一有源区、第三有源区和第四有源区上形成掩模 270。其中，所述掩模 270 可以利用任何常规真空镀膜技术获得。例如原子层沉积 (ALD)、物理气相沉积 (PVD)、化学气相沉积 (CVD)、等离子体增强型化学气相沉积 (PECVD) 工艺。本实施例中利用低压化学气相沉积 (LPCVD) 工艺，在高温 (约 750 摄氏度) 条件下，经由氨气和二氯硅烷反应生成氮化硅 (Si_3N_4)。

需要说明的是，所述掩模 270 在完全覆盖选定的三个有源区的同时，还可以覆盖部分或全部第一浅沟槽隔离结构 211、部分或全部第二浅沟槽隔离结构 212、部分或全部第三浅沟槽隔离结构 213、部分或全部浅沟槽隔离结构 214、部分或全部隔离结构 215，但所述掩模 270 不能覆盖未选定的有源区。

参见图 13 所示，选择性刻蚀未覆盖所述掩模 270 的第三有源区，以形成凹槽 280。

本实施例中所述选择性刻蚀具体可采用选择性等离子刻蚀方法，该方法对本领域的技术人员是熟知的，故在此不再赘述。为了在形成凹槽 280 的过程中，将所述第一多余掺杂区域 261 和所述第二多余掺杂区域 262 去除，所述凹槽 280 的深度应该大于或等于所述第一多余掺杂区域 261 或第二多余掺杂区域 262 的深度。

此外，为了不破坏所述浅沟槽隔离结构，所述凹槽 280 的深度还应该小于或等于所述浅沟槽隔离结构的深度，具体参见图 13 所示。由于阱区的上表面一般高于隔离结构的下表面，所述多余掺杂区域的下表面低于所述阱区的上表

-11-

面,因此在保证凹槽 280 的深度小于或等于隔离结构深度且大于或等于所述第一多余掺杂区域 261 或第二多余掺杂区域 262 深度的情况下,所述凹槽 280 的下表面可能高于所述第一阱区 251 的上表面,也可能等于所述第一阱区 251 的上表面,还可能低于所述第一阱区 251 的上表面。

5 接着执行步骤 S14,参见图 14 所示,外延生长半导体材料 290,以填充所述凹槽 280 形成修正半导体区。

其中,外延生长的所述半导体材料 290 可以为 Si、SiGe、SiC 或 Ge。所述半导体材料 290 既可以与所述半导体衬底 200 的材料相同,也可以与所述半导体衬底 200 的材料不相同。

10 所述外延生长方法为选择性外延生长方法,即只在凹槽 280 内生长半导体材料 290,该技术对于本领域的技术人员是熟知的,在此不再赘述。

参见图 15 所示,之后,本实施例还需要采用干法或湿法刻蚀以去除所述掩模,且还可以对所述半导体材料 290 进行平坦化处理(如采用化学机械研磨方法),使所述凹槽 280 内的半导体材料 290 的上表面与所述浅沟槽隔离结构
15 的上表面齐平,从而,在凹槽 208 内形成了填满半导体材料 290 的修正半导体区。所述的齐平既可以是严格意义上的完全位于同一水平面,也可以存在工艺参数允许范围内的误差。

进一步地,参见图 16 所示,本实施例还可以在所述半导体材料 290 中形成第二阱区 252,即在剩余的第三有源区内形成第二阱区 252。所述第二阱区
20 252 和所述第一阱区 251 掺杂类型不同,即当第一阱区 251 为 N 型时,所述第二阱区 252 为 P 型;当第一阱区 251 为 P 型时,所述第二阱区 252 为 N 型。

—12—

第二阱区的制备方法具体参考步骤 S12，在此不再赘述。

至此完成第一阱区 251 和第二阱区 252 的制备。

本实施例在形成第一阱区 251 的过程中，将与第二阱区 252 掺杂类型不同的第一多余掺杂区域 261 和第二多余掺杂区域 262 去除，从而在第二阱区 252 上形成的半导体器件的阈值电压不会受到掺杂离子横向扩散的影响，保证了其性能的稳定性。

实施例二

图17示出了本实施例提供的阱区的形成方法的流程示意图，所述阱区的形成方法包括：

10 S21，在半导体衬底上形成隔离区，以隔离有源区；

S22，在所述有源区内形成阱区；

S23，刻蚀所述有源区，以形成凹槽，所述凹槽的深度小于或等于所述阱区的深度；

S24，外延生长半导体材料，以填充所述凹槽形成修正半导体区。

15 本实施例中步骤 S21 与实施例一中步骤 S11 相同，步骤 S24 与实施例一中步骤 S14 相同，本实施例与实施例一的区别仅在于步骤 S22 和步骤 S23，下面主要对步骤 S22 和步骤 S23 进行详细说明。

首先执行步骤 S21，参见图 18 所示，本实施例在半导体衬底 310 上形成五个浅沟槽隔离结构，以隔离四个有源区。

20 本实施例中步骤 S21 与实施例一中步骤 S11 相同，最终形成第一浅沟槽隔

离结构 311、第二浅沟槽隔离结构 312、第三浅沟槽隔离结构 313、第四浅沟槽隔离结构 314 和第五浅沟槽隔离结构 315。其中，第一浅沟槽隔离结构 311 和第二浅沟槽隔离结构 312 用于隔离第一有源区，第二浅沟槽隔离结构 312 和第三浅沟槽隔离结构 313 用于隔离第二有源区，第三浅沟槽隔离结构 313 和第四浅沟槽隔离结构 314 用于隔离第三有源区，第四浅沟槽隔离结构 314 和第五浅沟槽隔离结构用于隔离第四有源区。

接着执行步骤 S22，参见图 19 所示，在第一有源区和第三有源区内形成第一阱区 351，且在第二有源区和第四有源区内形成第二阱区 352，第一阱区 351 和第二阱区 352 的掺杂类型不同。此处仅为举例，在此不应限制本发明的保护范围，在本发明的其他实施例中，可以在所有有源区内都形成第一阱区 351 或第二阱区 352；也可以只在一个有源区内形成第一阱区 351，在剩余有源区内形成第二阱区 352，具体情况根据后续形成半导体器件的要求而定。

其中，所述第一阱区 351 和第二阱区 352 的具体形成方法同实施例一，在此不再赘述。第一阱区的深度和第二阱区的深度可以相等，也可以不相等。所述阱区的深度是指阱区的上表面与所述浅沟槽隔离结构上表面之间的垂直距离。

再次参见图 19，基于与背景技术所描述相同的原因，本实施例在形成第一阱区 351 和第二阱区 352 的过程中，也会在第二浅沟槽隔离结构 312 朝向第一浅沟槽隔离结构 311 一侧的中上部形成第一多余掺杂区域 361，在第二浅沟槽隔离结构 312 朝向第三浅沟槽隔离结构 313 一侧的中上部形成第二多余掺杂区域 362，在第三浅沟槽隔离结构 313 朝向第二浅沟槽隔离结构 312 一侧的中

-14-

上部形成第三多余掺杂区域 363, 在第三浅沟槽隔离结构 313 朝向第四浅沟槽隔离结构 314 一侧的中上部形成第四多余掺杂区域 364, 在第四浅沟槽隔离结构 314 朝向第三浅沟槽隔离结构 313 一侧的中上部形成第五多余掺杂区域 365, 在第四浅沟槽隔离结构 314 朝向第五浅沟槽隔离结构 315 一侧的中上部形成第六多余掺杂区域 366, 且第一多余掺杂区域 361、第四多余掺杂区域 364 和第五多余掺杂区域 365 的掺杂类型与第二阱区 352 的掺杂类型相同, 第二多余掺杂区域 362、第三多余掺杂区域 363 和第六多余掺杂区域 366 的掺杂类型与第一阱区 351 的掺杂类型相同。

执行步骤 S23, 参见图 20 所示, 刻蚀每个所述有源区, 以形成第一凹槽 371、第二凹槽 372、第三凹槽 373 和第四凹槽 374, 每个所述凹槽的深度小于或等于其对应的阱区的深度。所述凹槽的深度是指凹槽的上表面与所述浅沟槽隔离结构上表面之间的垂直距离。

本实施例中为了不破坏第一阱区 351 和第二阱区 352 的结构, 所以保证每个凹槽的深度小于或等于其对应的阱区的深度。每个凹槽的具体刻蚀方法同实施例一, 在此不再赘述。

此外, 为了不破坏所述浅沟槽隔离结构, 所述凹槽的深度还小于或等于所述浅沟槽隔离结构的深度, 具体参见图 20 所示。

最后执行步骤 S24, 参见图 21 所示, 外延生长半导体材料 390, 以填充每个所述凹槽形成修正半导体区。

参见图 22 所示, 本实施例也可以对所述半导体材料 390 进一步进行平坦化处理。

-15-

其中，外延生长的所述半导体材料 390 可以为 Si、SiGe、SiC 或 Ge。所述半导体材料 390 既可以与所述半导体衬底 300 的材料相同，也可以与所述半导体衬底 300 的材料不相同。

本实施例中对凹槽内的半导体材料 390 进行平坦化处理的步骤与实施例 5 一相同，在此不再赘述。

本实施例在形成第一阱区 351 和第二阱区 352 后，无需掩模的作用，统一对所有包括多余掺杂区域的半导体衬底进行刻蚀，且所述刻蚀不损坏已形成的阱区结构，然后对刻蚀区域进行外延生长，得到包括阱区但不包括多余掺杂区域的半导体衬底。在后续形成半导体器件后，所有的半导体器件都不会受到掺杂离子横向扩散作用的影响。因此本实施方法更简单、成本更低、且能保证所有半导体器件阈值电压的稳定性。

在本发明的另一个实施例中，在所述有源区内形成阱区之后，可以在部分数目的阱区上形成掩模，从而对剩余的阱区进行选择刻蚀以形成凹槽，且保证凹槽的深度小于对应阱区的深度；然后外延生长半导体材料，以填充每个所述凹槽；最后去除所述掩模。此种实现方式可以实现对部分数目的阱区对应的多余掺杂区域进行去除，消除该部分多余掺杂区域的横向扩散造成的对应半导体器件的阈值电压影响。

实施例三

参见图 23 所示，本实施例提供了一种半导体基底，包括：

20 半导体衬底 400，所述半导体衬底 400 包括隔离结构，以隔离有源区；

由上述实施例的方法中形成的修正半导体区 420，所述修正半导体区 420 嵌于至少部分数目的所述有源区中，所述修正半导体区 420 材料与所述半导体衬底 400 材料不同，且所述修正半导体区 420 的上表面至少与所述有源区的上表面齐平。

5 本实施例中所述半导体衬底 400 的材料可以为 Si、SiGe、SiC 或 Ge。

为了便于说明和理解，在其中一个实施例中，如图 23 所示，所述半导体衬底包括第一隔离结构 411、第二隔离结构 412、第三隔离结构 413 和第四隔离结构 414，以隔离第一有源区 431、第二有源区 432 和第三有源区 433，且每个所述隔离结构为浅沟槽隔离结构。需要说明的是，在本发明的其他实施例中，所述隔离结构的数目可以为 2 以上的任意整数，所述隔离结构也可以为其
10 他隔离结构，如局部氧化硅隔离结构等。

其中，部分数目的所述有源区内还可以包括第一阱区（图中未示出），剩余的所述有源区内还可以包括第二阱区（图中未示出），所述第一阱区和所述第二阱区的掺杂类型不同，且所述第一阱区和所述第二阱区的上表面低于或齐
15 平于所述修正半导体区 420 的下表面。

本实施例中所述修正半导体区 420 的材料也可以为 Si、SiGe、SiC 或 Ge，但所述修正半导体区 420 的材料与所述半导体衬底 400 的材料不相同，如：当半导体衬底 400 为的材料为 Si 时，所述修正半导体区 420 的材料可以为 SiGe、SiC 或 Ge，但所述修正半导体区 420 的材料不能是 Si。

20 本发明的实施例中，修正半导体区 420 的下表面高于各个所述隔离结构下表面，这样可以避免将隔离结构之间已经形成的阱区破坏。

本实施例中所述修正半导体区 420 嵌于所有的所述有源区中。在本发明的其他实施例中，所述修正半导体区 420 可以仅嵌于部分数目的所述有源区中，剩余数目的所述有源区中仍是与修正半导体区 420 材料不同的半导体衬底 400。

- 5 本实施例中所述修正半导体区 420 的上表面与所述有源区的上表面齐平。在本发明的其他实施例中，所述 420 修正半导体区的上表面还可以高于所述有源区的上表面。

- 10 上述的半导体基底具体可采用实施例一或实施例二的方法制备得到，从而半导体基底中去除了部分或全部的多余掺杂区域，保证了对应半导体器件阈值电压的稳定性。

虽然本发明已以较佳实施例披露如上，但本发明并非限定于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

权 利 要 求

1. 一种阱区的形成方法，包括：

在半导体衬底内形成隔离区，以隔离有源区；

选定至少一个所述有源区，在选定的所述有源区内形成第一阱区；

5 其特征在于，所述阱区的形成方法还包括：

以掩模覆盖选定的所述有源区，刻蚀剩余的所述有源区，以形成凹槽；

外延生长半导体材料，以填充所述凹槽。

2. 根据权利要求 1 所述的阱区的形成方法，其特征在于，还包括：在所述半导体材料中形成第二阱区，所述第二阱区和所述第一阱区掺杂类型不同。

10 3. 根据权利要求 1 所述的阱区的形成方法，其特征在于，所述半导体衬底材料与所述半导体材料相同或不同。

4. 根据权利要求 3 所述的阱区的形成方法，其特征在于，所述半导体衬底材料与所述半导体材料均为 Si、SiGe、SiC 或 Ge。

5. 根据权利要求 1 所述的阱区的形成方法，其特征在于，在以隔离结构
15 界定所述隔离区时，所述凹槽的深度小于或等于所述隔离结构的深度。

6. 一种阱区的形成方法，包括：

在半导体衬底内形成隔离区，以隔离有源区；

在所述有源区内形成阱区；

其特征在于，还包括：

刻蚀所述有源区，以形成凹槽，所述凹槽的深度小于或等于所述阱区的深度；

外延生长半导体材料，以填充所述凹槽。

7. 根据权利要求 6 所述的阱区的形成方法，其特征在于，所述刻蚀所述有源区包括：在部分数目的所述有源区上形成掩模，刻蚀剩余的所述有源区。

8. 根据权利要求 6 所述的阱区的形成方法，其特征在于，所述半导体衬底材料与所述半导体材料相同或不同。

9. 根据权利要求 6 所述的阱区的形成方法，其特征在于，所述在所述有源区内形成的阱区包括第一阱区和第二阱区，所述第一阱区和第二阱区的掺杂类型不同。

10. 根据权利要求 6 所述的阱区的形成方法，其特征在于，所述半导体衬底材料和所述半导体材料均为 Si、SiGe、SiC 或 Ge。

11. 根据权利要求 6 所述的阱区的形成方法，其特征在于，在以隔离结构界定所述隔离区时，所述凹槽的深度小于或等于所述隔离结构的深度。

12. 一种半导体基底，包括：半导体衬底，所述半导体衬底包括隔离结构，以隔离至少两个有源区；其特征在于，所述半导体基底还包括：修正半导体区，所述修正半导体区嵌于至少部分数目的所述有源区中，所述修正半导体区材料与所述半导体衬底材料不同，且所述修正半导体区的上表面至少与所述有源区的上表面齐平。

13. 根据权利要求 12 所述的半导体基底，其特征在于，所述修正半导体

区的下表面高于所述隔离结构的下表面。

14. 根据权利要求 12 所述的半导体基底，其特征在于，所述半导体衬底材料为 Si、SiGe、SiC 或 Ge。

15. 根据权利要求 12 所述的半导体基底，其特征在于，所述修正半导体
5 区材料为 Si、SiGe、SiC 或 Ge。

— 1/9 —

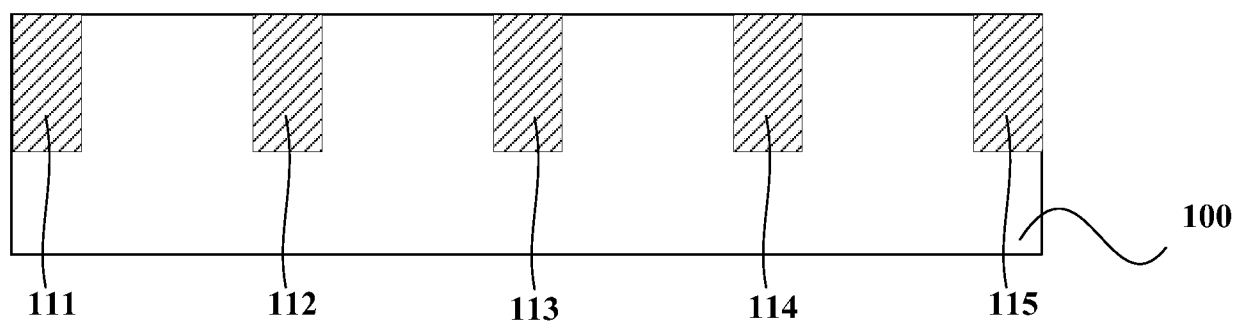


图 1

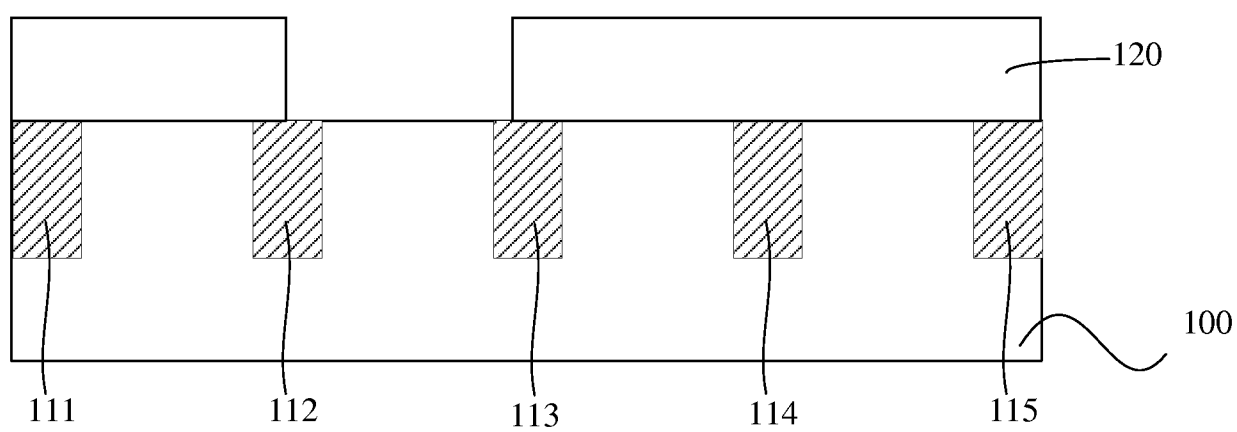


图 2

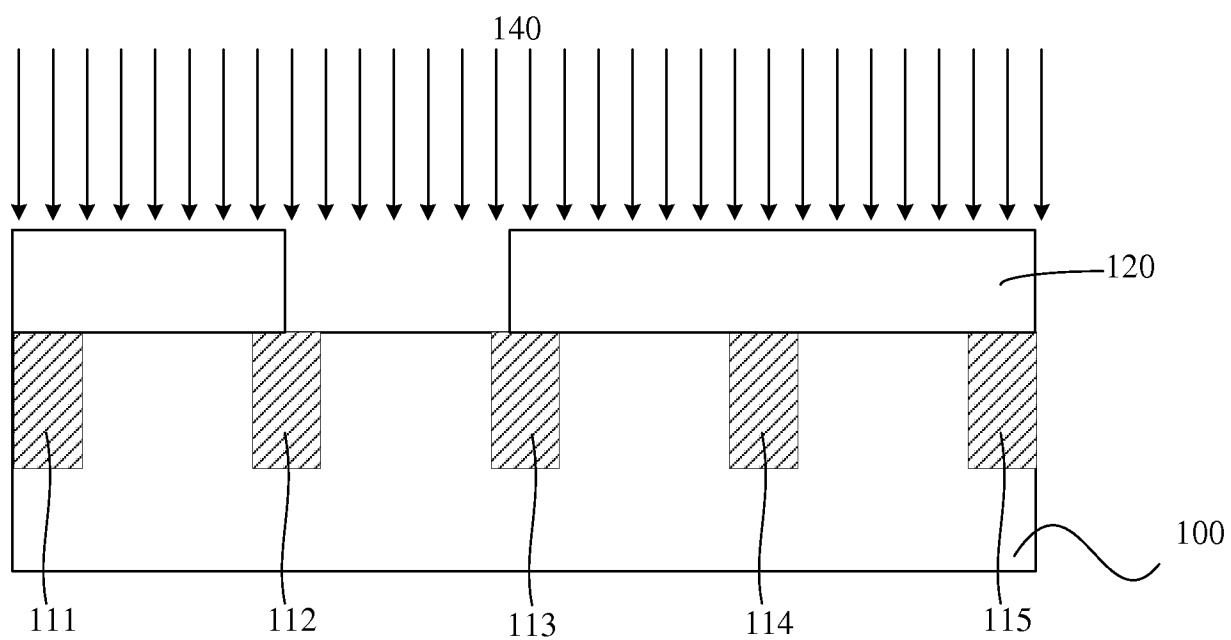


图 3

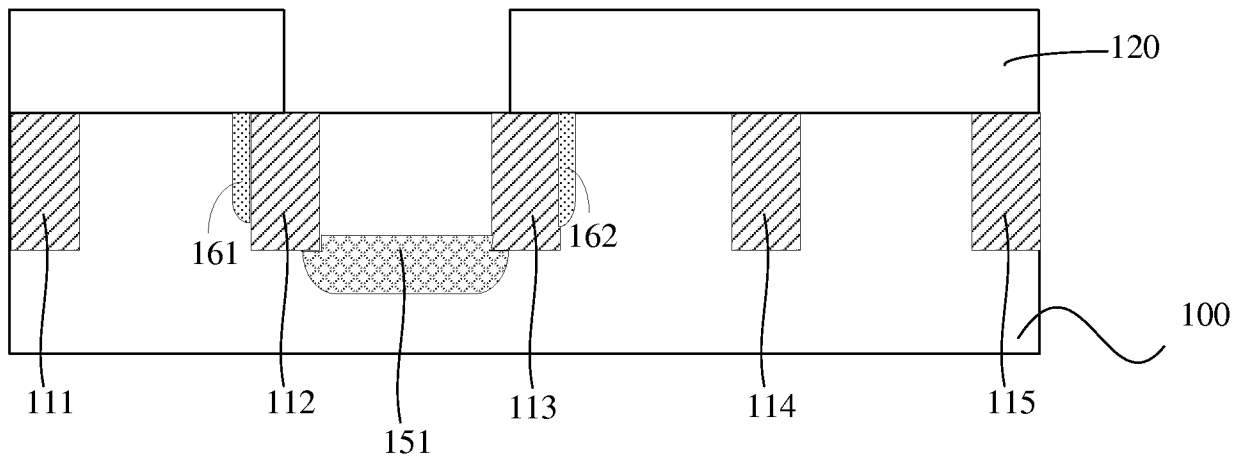


图 4

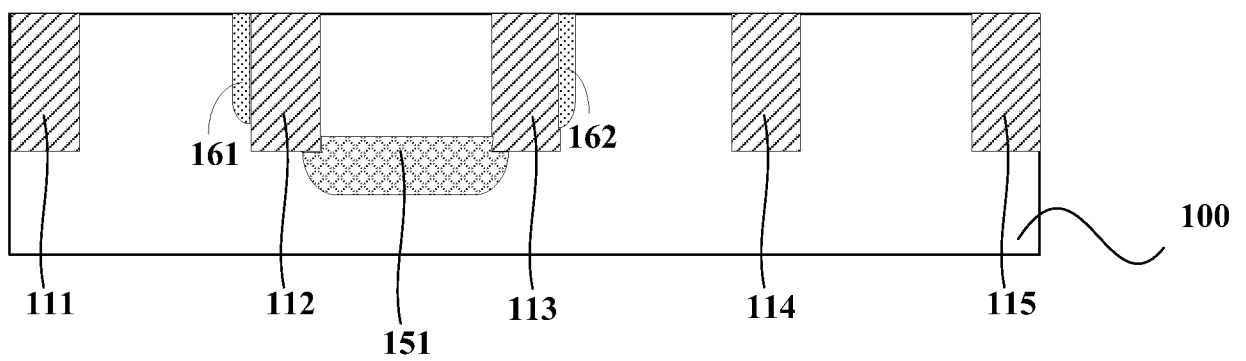


图 5

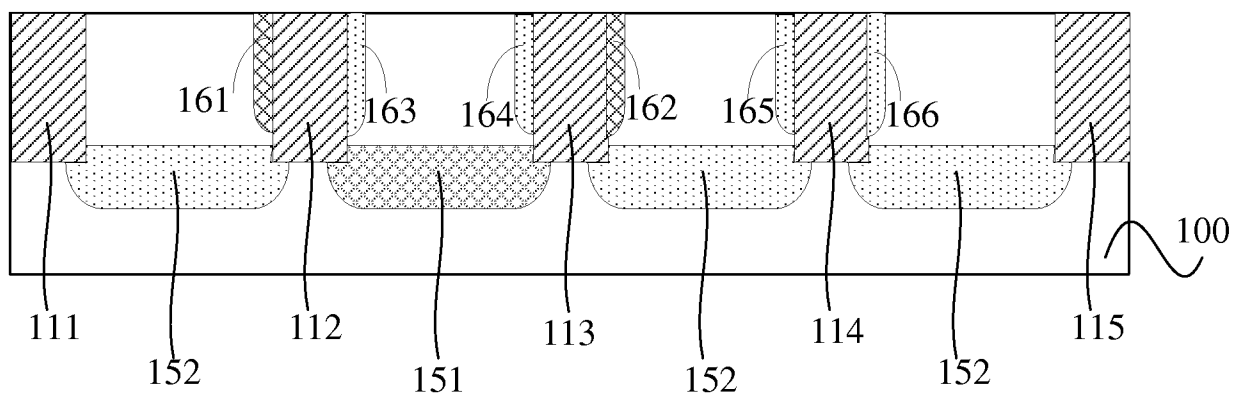


图 6

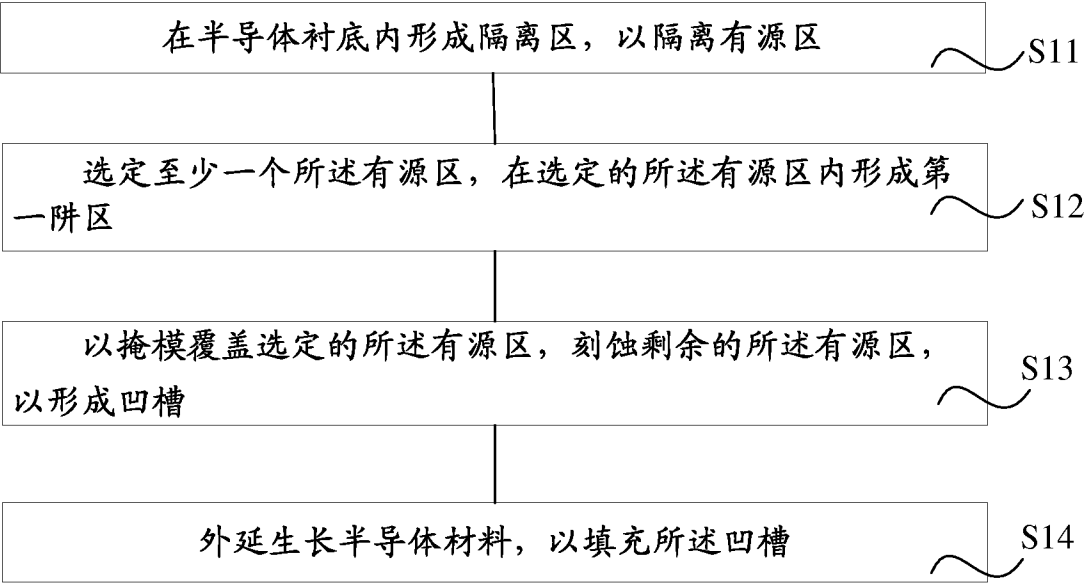


图 7

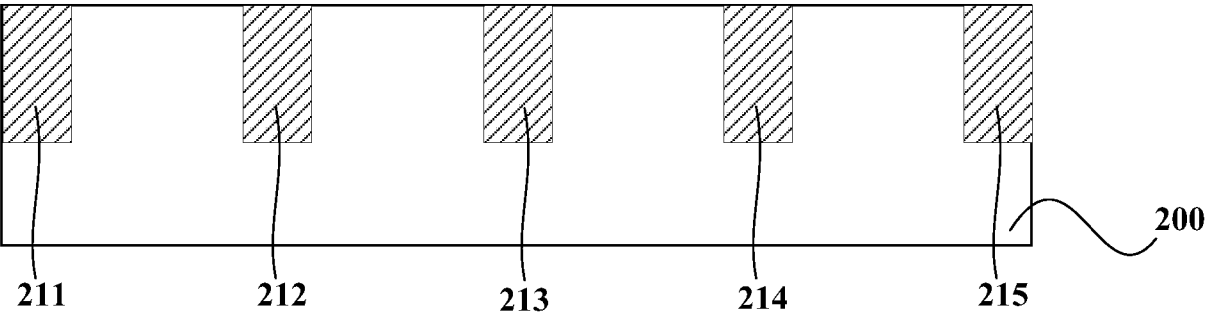


图 8

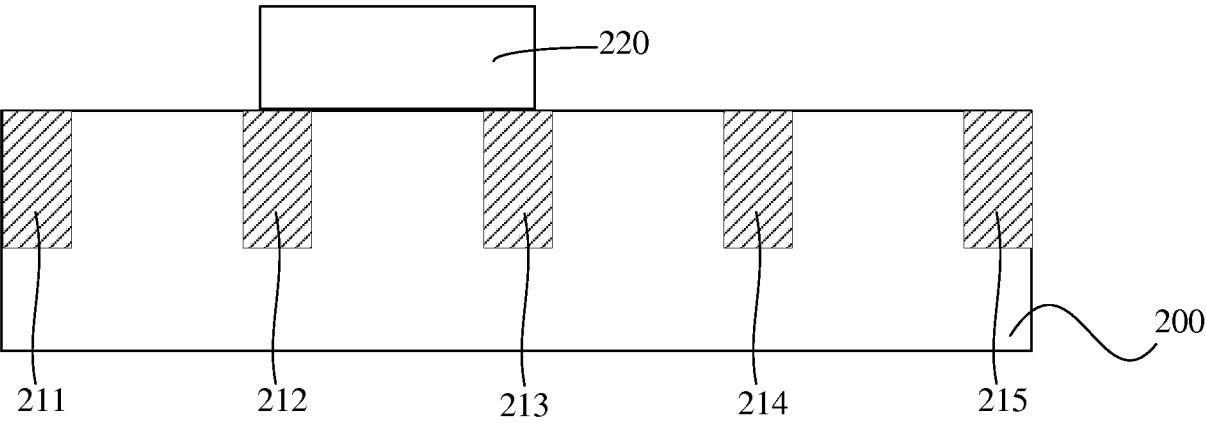


图 9

—4/9—

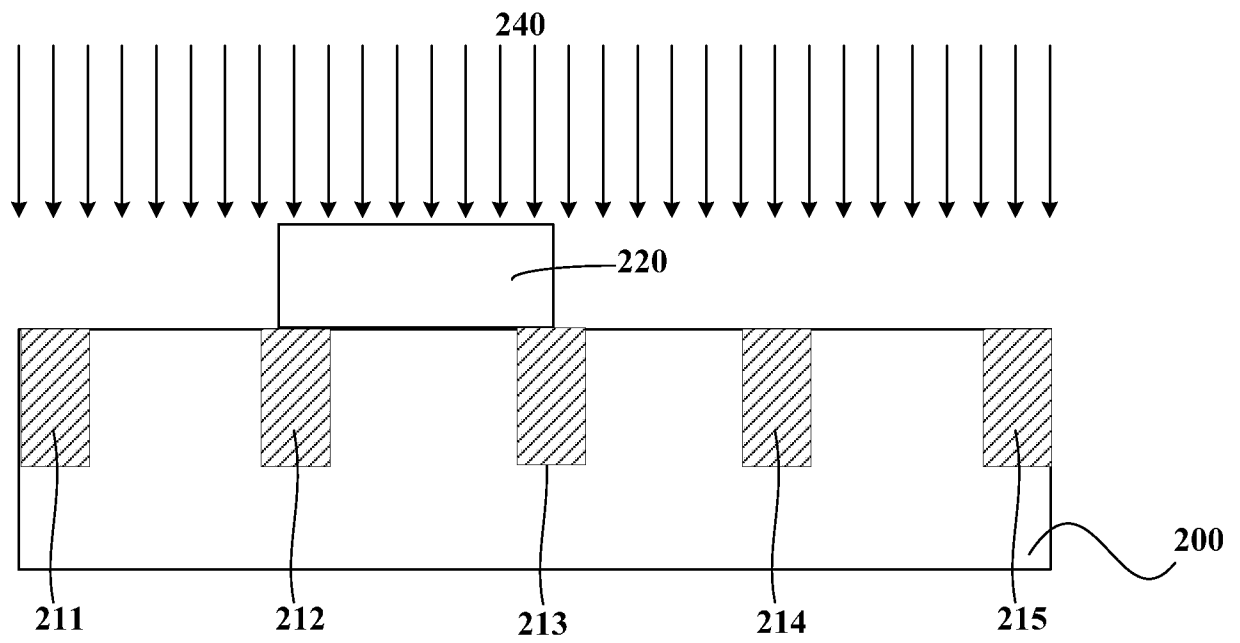


图 10

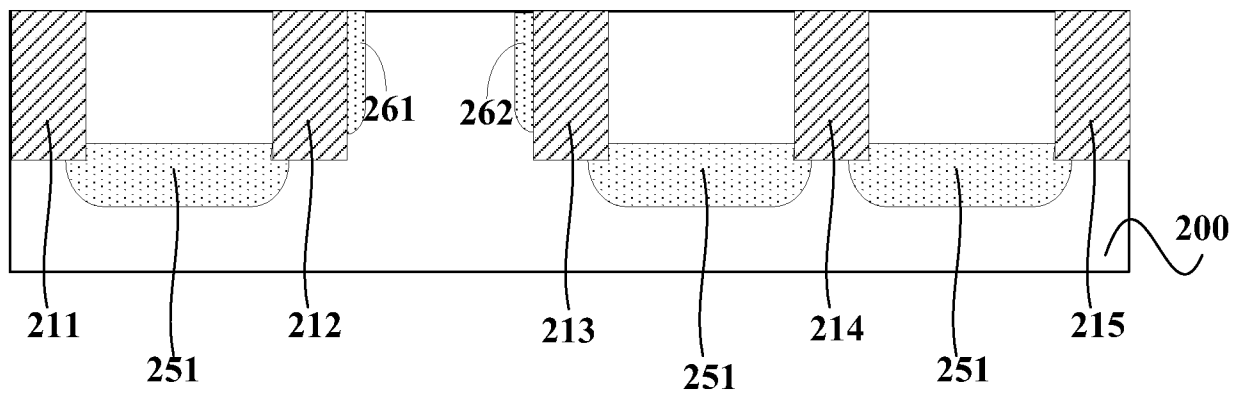


图 11

—5/9—

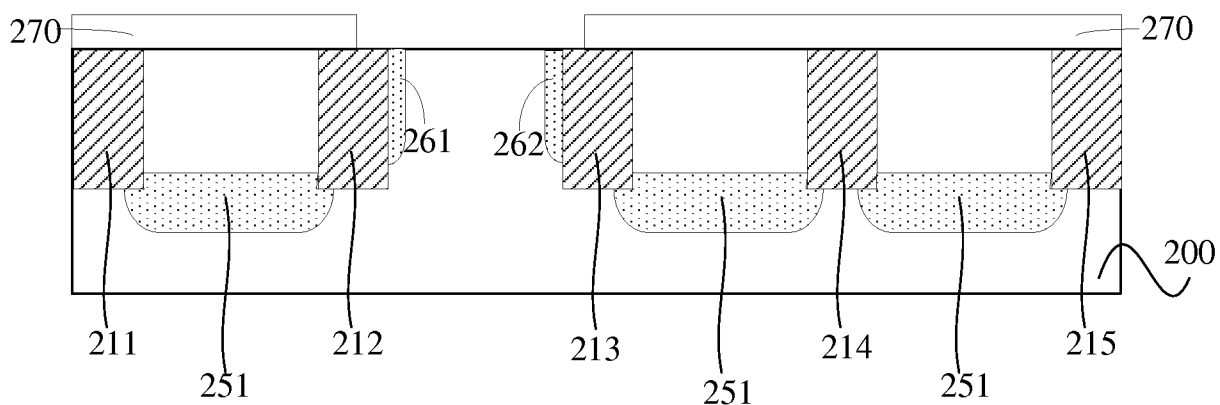


图 12

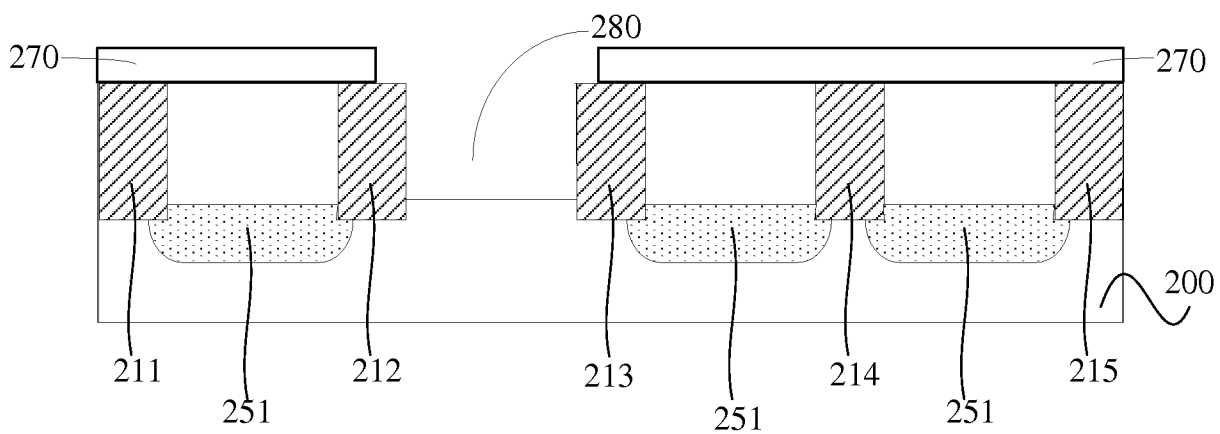


图 13

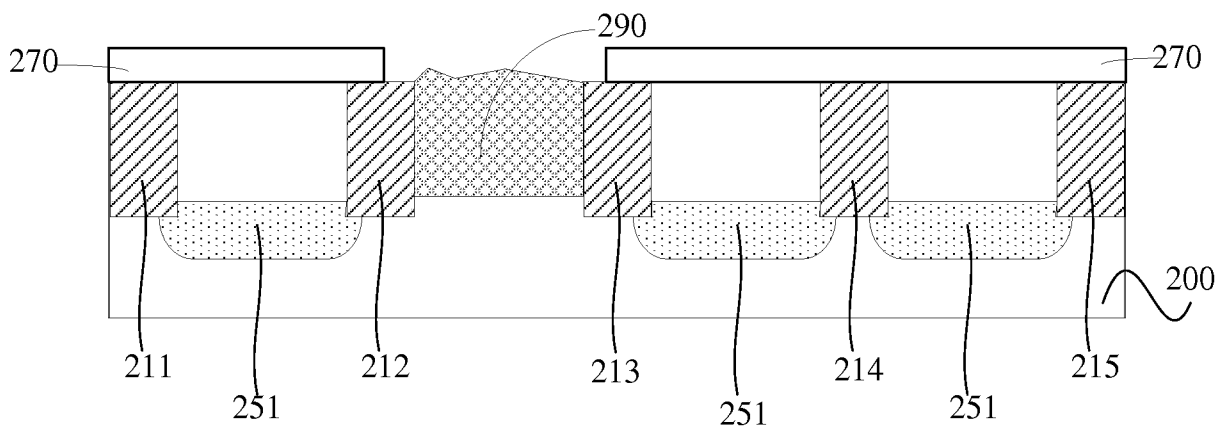


图 14

— 6/9 —

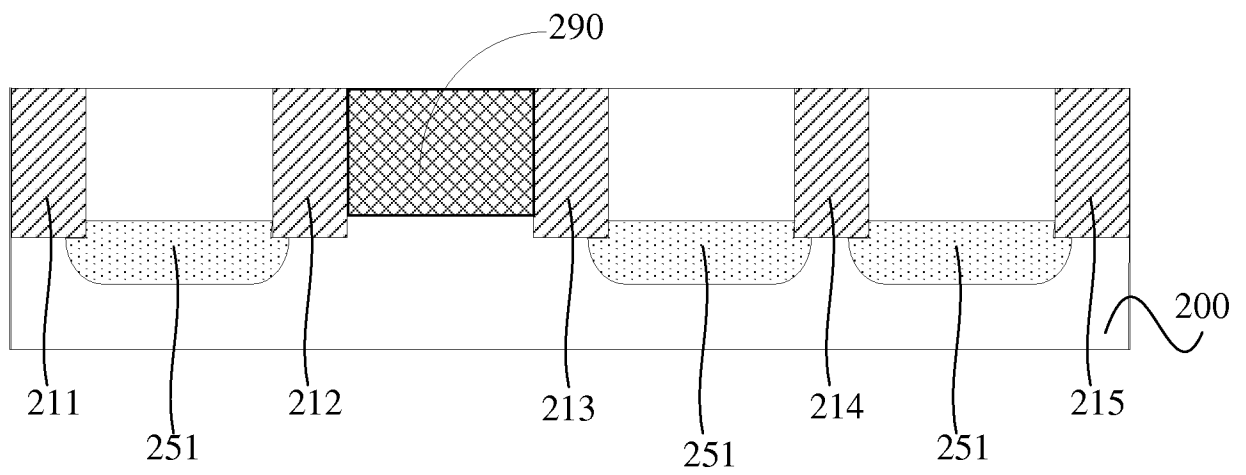


图 15

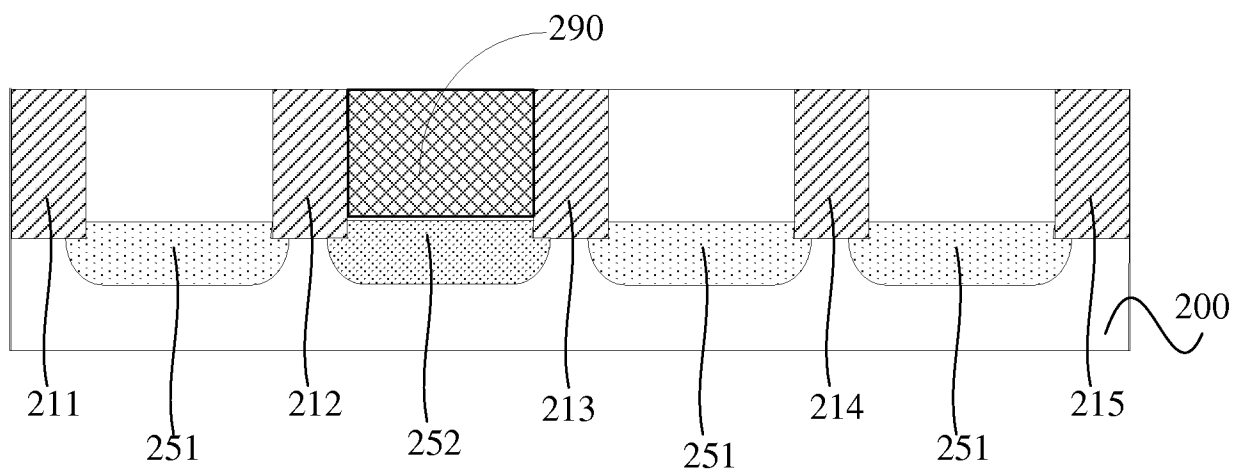


图 16

—7/9—

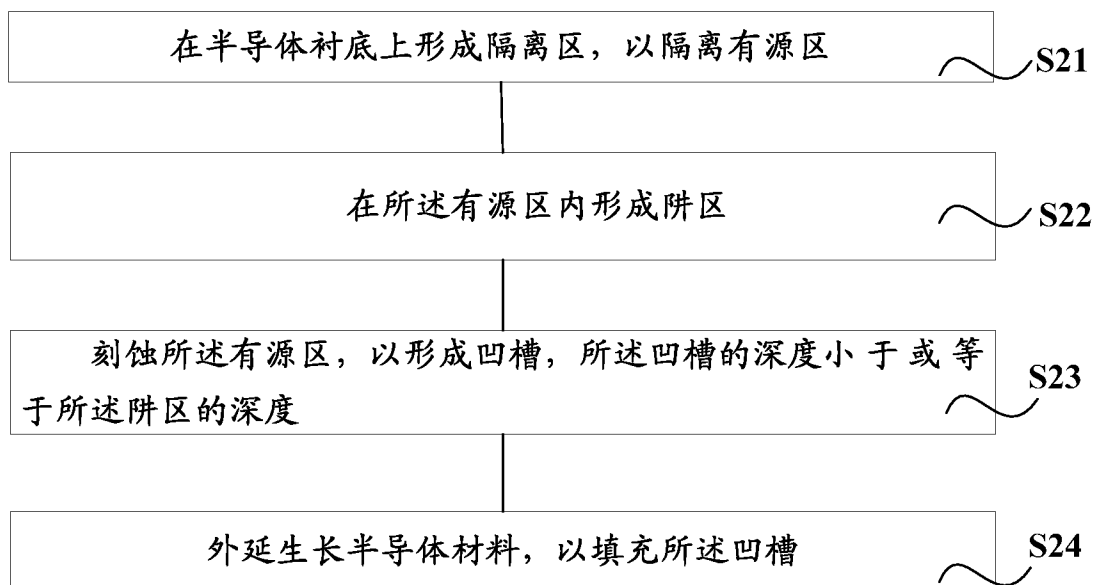


图 17

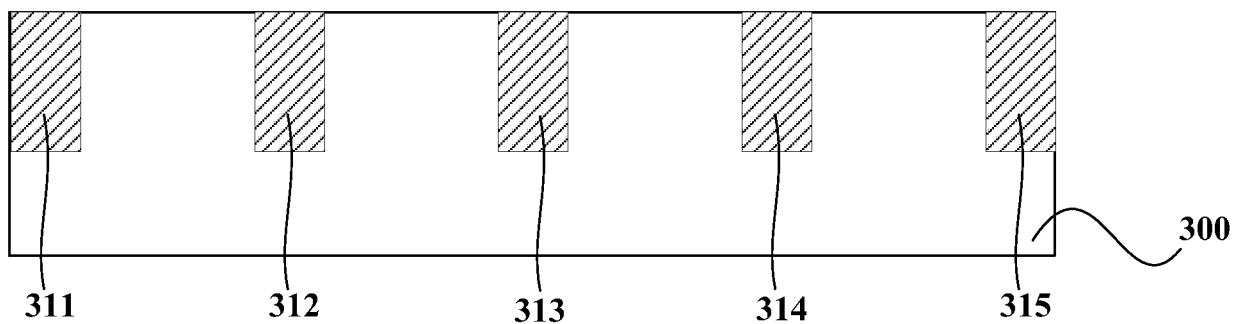


图 18

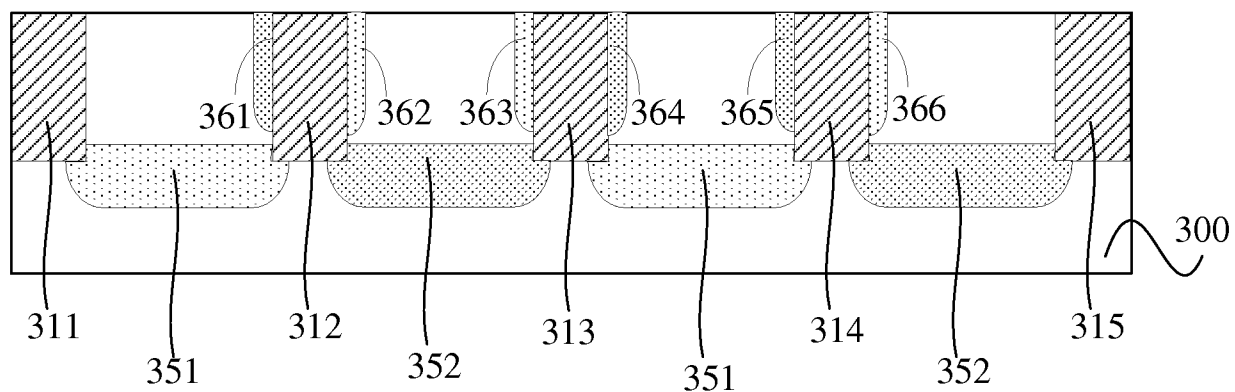


图 19

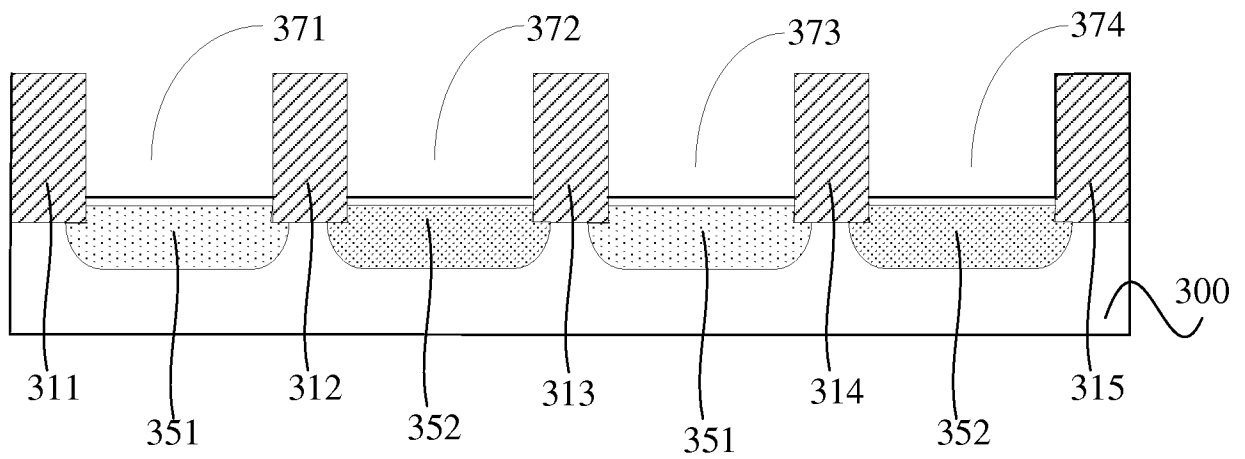


图 20

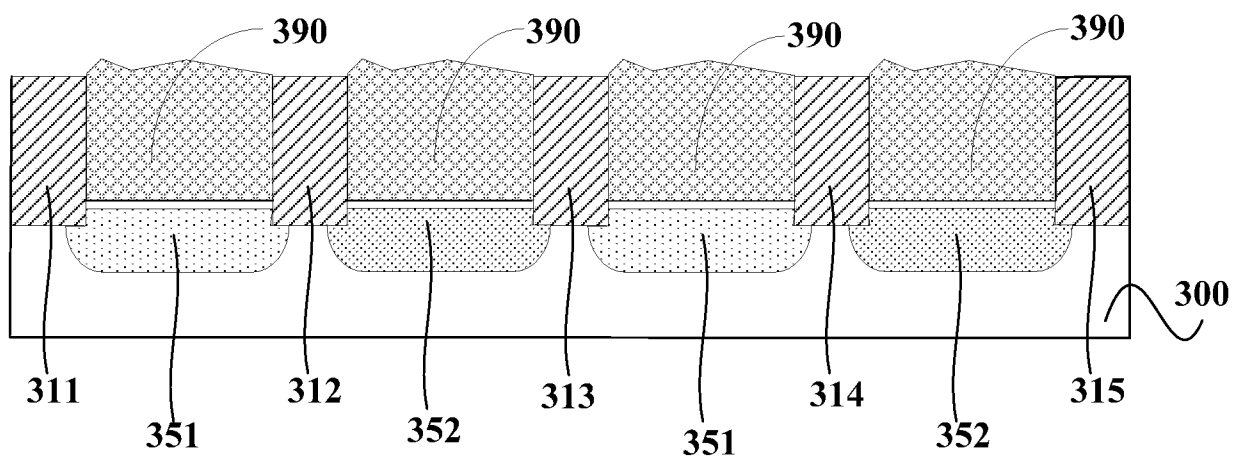


图 21

—9/9—

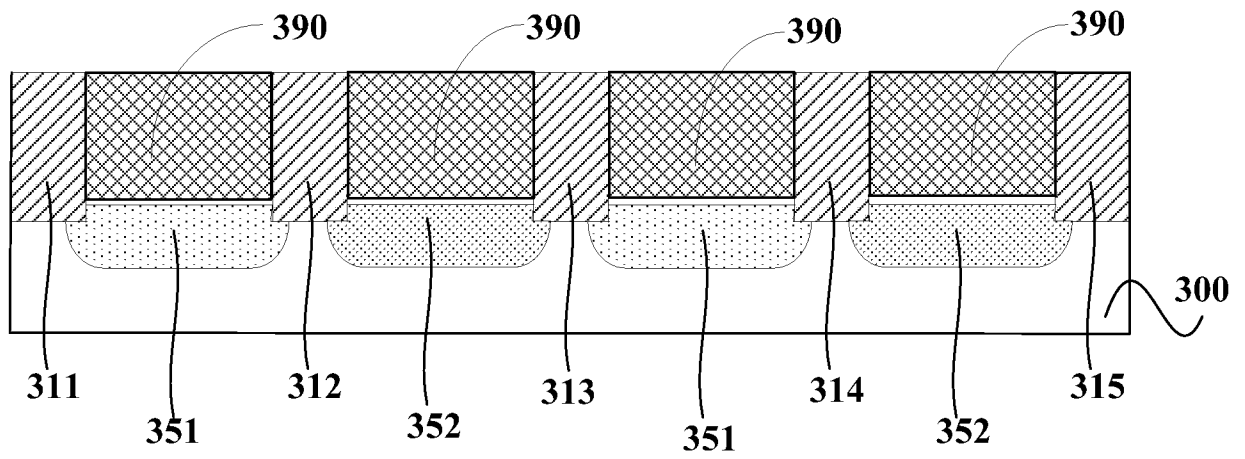


图 22

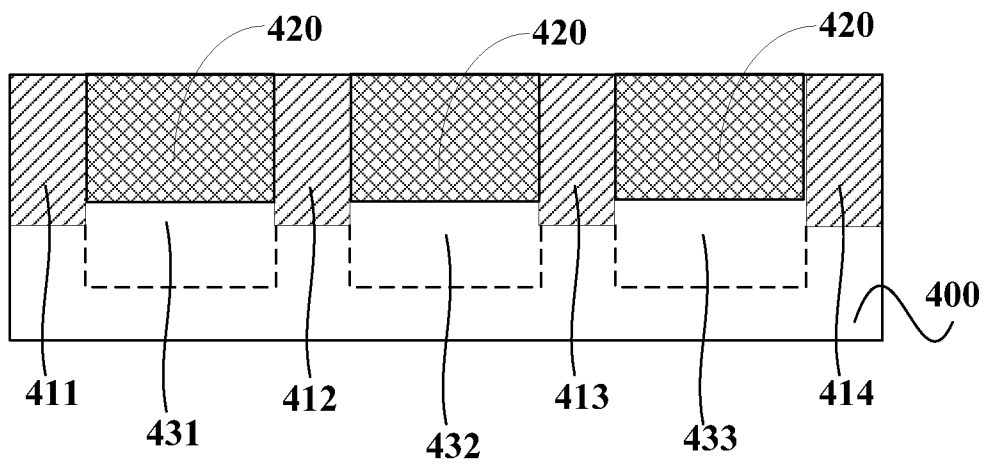


图 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077634**A. CLASSIFICATION OF SUBJECT MATTER**

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CPRS, CNKI: trap, spread, sacrifice, transition, active; WELL+, SACRIFICIAL, SEMIPERMANENT, INTERMEDIATE, TEMPORA+, ISOLAT+, INSULAT+, ETCH+, REMOV+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1667816 A (INTERNATIONAL BUSINESS MACHINES CORPORATION), 14 September 2005 (14.09.2005), see the whole document	1-15
A	US 6569742 B1 (HITACHI LTD.), 27 May 2003 (27.05.2003), see the whole document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 February 2012 (28.02.2012)	Date of mailing of the international search report 22 March 2012 (22.03.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Yan Telephone No.: (86-10) 62411537

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/CN2011/077634

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1667816 A	14.09.2005	US 2005106800 A1	19.05.2005
		JP 2005150731 A	09.06.2005
		KR 20050046634 A	18.05.2005
		US 7132323 B2	07.11.2006
		CN 1302538 C	28.02.2007
		KR 100745518 B1	03.08.2007
		TW 200525735 A	01.08.2005
		JP 4667830 B2	13.04.2011
US 6569742 B1	27.05.2003	JP 2000196037 A	14.07.2000
		KR 20000048212 A	25.07.2000
		TW 437090 A	28.05.2001
		US 2003022434 A1	30.01.2003
		US 2003022445 A1	30.01.2003
		US 6576512 B2	10.06.2003
		US 2003151109 A1	14.08.2003
		US 6908837 B2	21.06.2005
		US 2006138568 A1	29.06.2006
		US 7166893 B2	23.01.2007
		KR 100633783 B1	13.10.2006
		JP 4068746 B2	26.03.2008

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077634

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/74 (2006.01) i

H01L 21/36 (2006.01) i

H01L 21/306 (2006.01) i

H01L 21/265 (2006.01) i

H01L 29/06 (2006.01) n

A. 主题的分类

参加附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CPRS, CNKI: 阱、扩散、牺牲、临时、过渡、隔离、蚀刻、刻蚀、去除、有源; WELL+, SACRIFICIAL, SEMIPERMANENT, INTERMEDIATE, TEMPORA+, ISOLAT+, INSULAT+, ETCH+, REMOV+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN1667816A (国际商业机器公司) 14.9 月 2005(14.09.2005) 参见全文	1-15
A	US6569742B1 (HITACHI LTD) 27.5 月 2003(27.05.2003) 参见全文	1-15

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

28.2 月 2012(28.02.2012)

国际检索报告邮寄日期

22.3 月 2012 (22.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王燕

电话号码: (86-10) **62411537**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/077634

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1667816A	14.09.2005	US2005106800A1	19.05.2005
		JP2005150731A	09.06.2005
		KR20050046634A	18.05.2005
		US7132323B2	07.11.2006
		CN1302538C	28.02.2007
		KR100745518B1	03.08.2007
		TW200525735A	01.08.2005
		JP4667830B2	13.04.2011
US6569742B1	27.05.2003	JP2000196037A	14.07.2000
		KR20000048212A	25.07.2000
		TW437090A	28.05.2001
		US2003022434A1	30.01.2003
		US2003022445A1	30.01.2003
		US6576512B2	10.06.2003
		US2003151109A1	14.08.2003
		US6908837B2	21.06.2005
		US2006138568A1	29.06.2006
		US7166893B2	23.01.2007
		KR100633783B1	13.10.2006
		JP4068746B2	26.03.2008

A. 主题的分类

H01L21/74 (2006.01) i

H01L21/36 (2006.01) i

H01L21/306 (2006.01) i

H01L21/265 (2006.01) i

H01L29/06 (2006.01) n