



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I695314 B

(45)公告日：中華民國 109 (2020) 年 06 月 01 日

(21)申請案號：107132459

(22)申請日：中華民國 102 (2013) 年 04 月 19 日

(51)Int. Cl. : **G06F5/06 (2006.01)****G06F12/02 (2006.01)**

(30)優先權：2012/04/20 美國

13/451,951

(71)申請人：美商記憶體科技公司 (美國) MEMORY TECHNOLOGIES LLC (US)
美國

(72)發明人：米立齊莫 J MYLLY, KIMMO J. (FI)

(74)代理人：陳長文

(56)參考文獻：

TW 201209831A

TW 201214446A

US 2008/0126857A1

US 2011/0296088A1

審查人員：林彥廷

申請專利範圍項數：22 項 圖式數：9 共 44 頁

(54)名稱

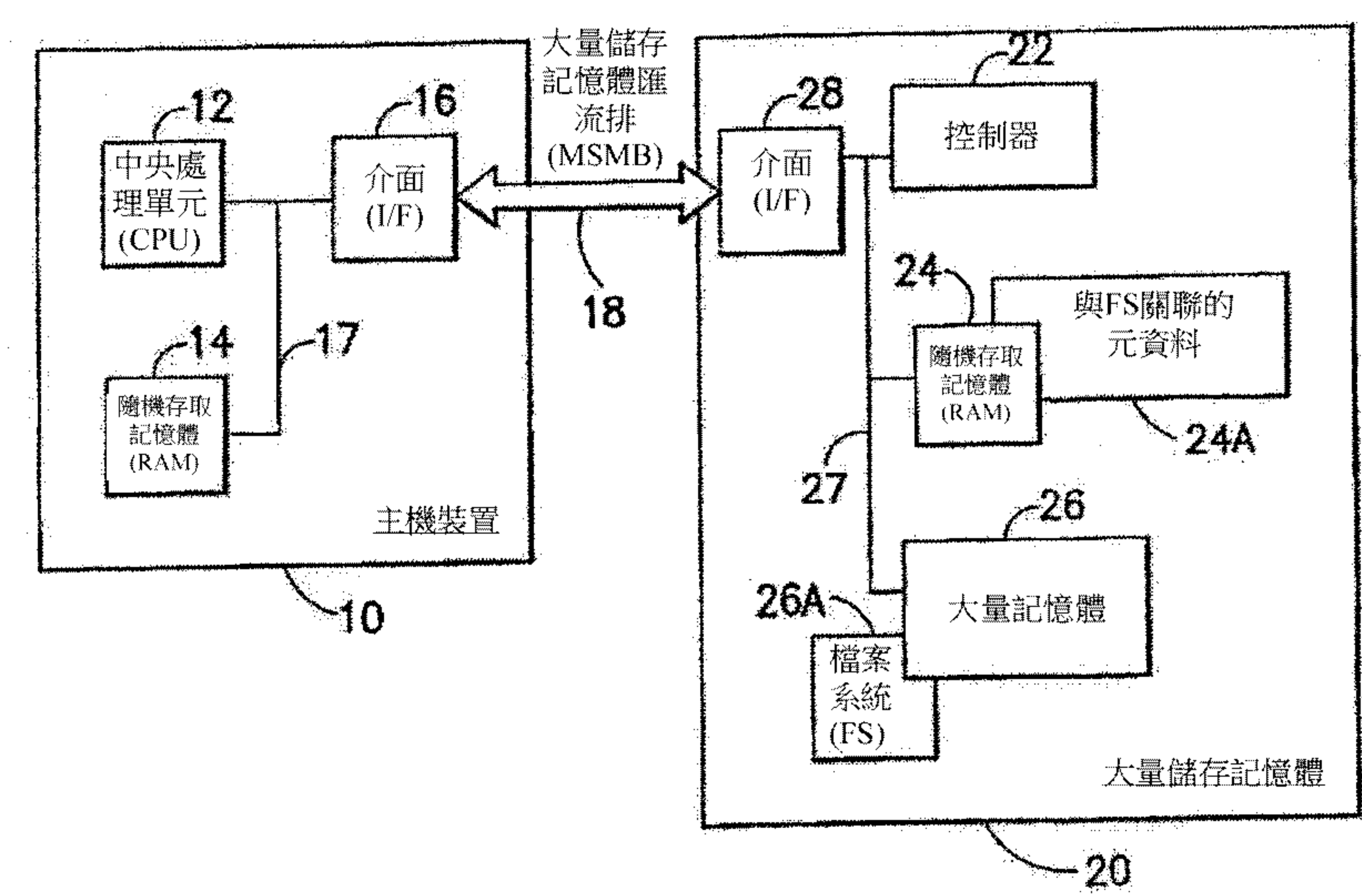
記憶體模組、在該記憶體模組中管理操作狀態資料的方法、及主機裝置

(57)摘要

本說明書及圖式提出了一種新的裝置及方法，用於在該記憶體模組的各種操作模式/情況與該主機系統記憶體之間，藉由記憶體模組控制器管理/配置存儲供操作該記憶體模組控制器之操作狀態資料到一延伸隨機存取記憶體內之儲存，該延伸隨機存取記憶體係包含在一記憶體模組內以及一主機裝置的主機系統記憶體內。基本上，該記憶體模組控制器係運作作為本文所述的資料傳送之主控制器。該操作狀態資料一般包括狀態資訊、一邏輯到實體(L2P)對映表及暫存器設定。

The specification and drawings present a new apparatus and method for managing/configuring by the memory module controller storing operational state data for operating the memory module controller into an extended random access memory comprised in a memory module and in a host system memory of a host device during various operational modes/conditions of the memory module and the host system memory. Essentially, the memory module controller operated as a master for the data transfers as described herein. The operational state data typically comprises state information, a logical to physical (L2P) mapping table and register settings.

指定代表圖：



【圖2】

符號簡單說明：

10:主機系統或裝置

12:中央處理單元

14:隨機存取記憶體

16:大量儲存記憶體匯流排介面

17:內部匯流排

18:大量儲存記憶體匯流排

20:大量儲存記憶體

22:控制器

24:揮發性隨機存取記憶體

24A:元資料

26:非揮發性大量記憶體

26A:檔案系統

27:內部匯流排

28:大量儲存記憶體匯流排介面



I695314

【發明摘要】

【中文發明名稱】

記憶體模組、在該記憶體模組中管理操作狀態資料的方法、及主機裝置

【英文發明名稱】

MEMORY MODULE, METHOD FOR MANAGING
OPERATIONAL STATE DATA IN SAID MEMORY MODULE, AND
HOST DEVICE

【中文】

本說明書及圖式提出了一種新的裝置及方法，用於在該記憶體模組的各種操作模式/情況與該主機系統記憶體之間，藉由記憶體模組控制器管理/配置存儲供操作該記憶體模組控制器之操作狀態資料到一延伸隨機存取記憶體內之儲存，該延伸隨機存取記憶體係包含在一記憶體模組內以及一主機裝置的主機系統記憶體內。基本上，該記憶體模組控制器係運作作為本文所述的資料傳送之主控制器。該操作狀態資料一般包括狀態資訊、一邏輯到實體(L2P)對映表及暫存器設定。

【英文】

The specification and drawings present a new apparatus and method for managing/configuring by the memory module controller storing operational state data for operating the memory module controller into an extended random access memory comprised in a memory module and in a host system memory of a host device during various operational modes/conditions of the memory module and the host system memory. Essentially, the memory module controller operated as a master for the data transfers as described herein. The operational state data typically

comprises state information, a logical to physical (L2P) mapping table and register settings.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

- 10 主機系統或裝置
- 12 中央處理單元
- 14 隨機存取記憶體
- 16 大量儲存記憶體匯流排介面
- 17 內部匯流排
- 18 大量儲存記憶體匯流排
- 20 大量儲存記憶體
- 22 控制器
- 24 揮發性隨機存取記憶體
- 24A 元資料
- 26 非揮發性大量記憶體
- 26A 檔案系統
- 27 內部匯流排
- 28 大量儲存記憶體匯流排介面

【發明說明書】

【中文發明名稱】

記憶體模組、在該記憶體模組中管理操作狀態資料的方法、及主機裝置

【英文發明名稱】

MEMORY MODULE, METHOD FOR MANAGING
OPERATIONAL STATE DATA IN SAID MEMORY MODULE, AND
HOST DEVICE

【技術領域】

本發明之示例性及非限制性實施例總體上係有關記憶體儲存系統，更具體地係有關藉由一記憶體模組控制器管理/配置用於記憶體模組之操作狀態資料之儲存。

【先前技術】

本部分意欲提供申請專利範圍中所述之發明之背景或脈絡。此處的描述可包含可採取的概念，但不一定是先前已經構思、實施或描述的概念。因此，除非於此另有說明，本部分中所描述的內容並非是本發明申請中之說明和申請專利範圍的先前技術，且不因包含在本部分內而被認作是先前技術。

在本說明書和/或圖式中，可能會發現的下列縮寫之定義如下：

ASIC	特定應用積體電路
CPU	中央處理單元
DMA	直接記憶體存取
DRAM	動態隨機存取記憶體
eMMC	內嵌式多媒體卡
exFAT	延伸檔案配置表

HW	硬體
IO	輸入輸出
JEDEC	聯合電子裝置工程委員會
LBA	邏輯區塊位址
MMM, MM	大量記憶體模組或記憶體模組
MMC	多媒體卡
MMCO	記憶體模組控制器
MRAM	磁性隨機存取記憶體
OS	作業系統
P2L	實體到邏輯
PCRAM	相變隨機存取記憶體
RAM	隨機存取記憶體
RRAM	電阻性隨機存取記憶體
SATAIO	序列先進技術附接國際組織
SCSI	小型電腦系統介面
SD	數位安全
SM	系統記憶體或主機系統記憶體
SRAM	靜態隨機存取記憶體
SSD	固態硬碟
SW	軟體
UFS	通用快閃記憶體

快閃式大量儲存記憶體目前存在了多種類型。大量儲存記憶體的一個基本前提是從主機系統隱藏快閃技術的複雜性。例如eMMC的技術就是一個例子。管理型反及閘(managedNAND)型式的記憶體可以是例如eMMC、SSD、UFS或microSD型式的記憶體。

圖 1A 係以 JEDEC 固態技術協會 (JEDEC Solid State Technology Association) 於 2007 年 6 月訂立的 JEDEC 標準：高容量內嵌式 eMMC 產品標準，JESD84-A42，而重製圖 2，並顯示出一個 eMMC 的功能方塊圖。該 JEDEC eMMC 標準包含：除了快閃記憶體本身的一種管理 MMC 通訊協定之智能板載控制器。該控制器亦處理區塊管理的功用，例如邏輯區塊分配及平均磨損。該介面包括了時脈 (CLK) 輸入。同時還包括一個指令 (CMD)，其係為用於裝置初使化和指令傳輸的雙向指令通道。指令是從一匯流排主控器發送到該裝置，且從該裝置發送響應到該主機。另外還包括一雙向資料匯流排 (DAT[7:0])。該 DAT 信號係在推挽模式下運作。在預設值下，電力開啟或重新啟動後只有 DAT0 是用於資料傳輸。該記憶體控制器可配置一更大的資料匯流排，以使用 DAT[3:0] (4 位元模式) 或 DAT[7:0] (8 位元模式) 進行資料傳輸。

快閃記憶體控制器架構的一個非限制性範例係描述於 Chuan-Sheng Lin 和 Lan-Rong Dung 在 2007 年 2 月 IEEE Transactions of Magnetics 第 43 卷第 2 號第 933 至 935 頁中發表的「用於 SD/MMC 快閃記憶卡之反及閘快閃記憶體控制器 (A NAND Flash Memory Controller for SD/MMC Flash Memory Card)」(其後稱為 Lin 等人)。圖 1B 重製了 Lin 等人的圖 1，並顯示了用於 SD/MMC 記憶卡之反及閘快閃控制器架構的整體方塊圖。圖中所示的特定控制器恰巧使用了一個 w -位元並列式博斯-喬赫裏-霍克文黑姆 (Bose-Chaudhuri-Hocquengham; BCH) 錯誤校正碼 (error correction code, ECC)，設計用來與一代碼分頁機制協力校正該快閃記憶體的隨機位元錯誤。

【發明內容】

根據本發明的第一態樣，一種方法包括：藉由一大量記憶體模組之一記憶體模組控制器，動態管理存儲用以操作該記憶體模組控制器的全部或一部分操作狀態資料到一延伸隨機存取記憶體內之儲存，該延伸隨機存取記憶體係包含在該大量記憶體模組之一記憶體與一主機裝置的一主機系統記憶體內；以及藉由自該大量記憶體模組的一關機或一睡眠狀態喚醒後的記憶體模組控制器，從下列之一或多者讀取該操作狀態資料的至少一部份：該延伸隨機存取記憶體及一非揮發性大量記憶體，以恢復該記憶體模組控制器的一操作狀態。

根據本發明的第二態樣，一種裝置係包括：一大量記憶體模組，其包括一延伸隨機存取記憶體與一主機裝置內的主機系統記憶體的一部分；以及一記憶體模組控制器，經配置以動態管理存儲供操作該記憶體模組控制器之全部或一部分的操作狀態資料到一延伸隨機存取記憶體內之儲存，該延伸隨機存取記憶體係包含在該大量記憶體模組的一記憶體與該主機裝置的主機系統記憶體內，該記憶體模組控制器進一步經配置在自該大量記憶體模組的一關機或一睡眠狀態喚醒後，讀取來自該延伸隨機存取記憶體以及該大量記憶體模組的一非揮發性大量記憶體之一或多者之操作狀態資料的全部或一部分，以恢復該記憶體模組控制器的一操作狀態。

【圖式簡單說明】

圖1A係以JEDEC固態技術協會於2007年6月訂立的JEDEC標準：高容量內嵌式eMMC產品標準，JESD84-A42，而重製圖2，並顯示出一個eMMC的功能方塊圖；

圖1B重製了Lin等人的圖1，並顯示了一用於SD/MMC記憶卡之反及閘快閃控制器架構整體方塊圖的範例；

圖2係為一主機裝置與一大量儲存記憶裝置連接時之簡化方塊圖，其有助於描述本發明的示例性實施例；

圖3係為描述在共同轉讓的美國專利申請案案號12/455,763中所描述的發明的一實施例之信號/訊息流程圖，其中圖2的大量儲存記憶裝置係可分配、使用及取消分配該主機裝置的RAM；

圖4係為描述在共同轉讓的美國專利申請案案號12/455,763中所描述的發明的另一實施例之信號/訊息流程圖，其中圖2的大量儲存記憶裝置具有一內建檔案系統；

圖5A及5B，統稱為圖5，係為根據本發明該等實施例之主機裝置及大量記憶體模組之代表圖；

圖6係為進一步根據本發明的示例性實施例，而顯示在一電腦可讀取記憶體上所包含的電腦程式指令之操作方法及執行結果之邏輯流程圖；

圖7A及7B係為當系統資源的使用，例如DRAM 14G的部份，是停用(圖7A)或啟用(圖7B)時，該記憶體模組中的記憶體模組控制器記憶體對映的範例；

圖8係為顯示在圖6中的流程所示的實施例藉由一記憶體控制器從一主機裝置響應一指令(或一指令的屬性)之示意圖；以及

圖9顯示了該主機裝置於具體作為一無線通訊裝置時的一示例性實施例方塊圖。

【實施方式】

本發明隨後描述的示例性實施例所感興趣的是在2009年6月4日由Olli Luukkainen、Kimmo Mylly及Jani Hyvonen提交且題目為「以大量儲存記憶體共享主機系統隨機存取記憶體之裝置及方法(Apparatus and

Method to Share Host System RAM with Mass Storage Memory RAM)」的共同轉讓美國專利申請案案號12/455,763(US 2010/0312947 A1)，並在此引入該專利申請案作為參考文獻。在詳細敘述本發明的示例性實施例之前，回顧此共同轉讓美國專利申請案案號12/455,763說明書的至少一部分將會非常有用。

如前所述，目前大部分的大量儲存記憶體提供了以LBA為基礎的存取方式，例如eMMC以及如SD之不同型式的外部記憶卡。然而，其也可以是整個檔案系統(FS)SW內嵌在該大量儲存記憶裝置內的情況。

當大量儲存記憶體被使用在高容量的消費電子裝置內時，例如一行動無線通訊裝置，一個重要的考量就是成本，影響成本的一個因素就是該大量儲存記憶裝置本身的RAM的數量。

另一個重要的考量就是性能表現。整體的性能表現係取決於許多因素。例如，對於長時間(耗時)的操作(尤其是若該大量儲存記憶裝置包含整個文件系統SW)，在該大量儲存記憶裝置內包含大量的RAM會是一個優勢。然而，這在成本上會有負面的影響。

這可能是系統主體(元資料)會儲存在該大量儲存記憶裝置的快閃記憶體的情況。然而，這種方法有幾個相聯的缺點。例如，重複地將系統主體(元資料)寫入該大量儲存記憶裝置會提高磨損的問題，這可影響到該大量儲存記憶裝置的可用壽命。此外，將資料寫入該快閃記憶體可以是一相對較慢的過程。

另一個重要的考量為電源效率。為了提供良好的電源效率，該大量儲存記憶體於不需要時最好是關機(也表示著該裝置的內部RAM最好也關機)。然而，假設該RAM在本質上是揮發性的，然後儲存在該RAM上的任

何資料會在將電源從RAM移除時喪失。然後在電力開啟後要執行重新初始化，所有需要的資訊(例如邏輯到實體對映資訊和/或檔案系統結構)需要被重新儲存。一個LBA大量儲存記憶體의完整重新初始化可能需要大量的(以及引起使用者注意的)時間(例如，在配備SD卡時高達一秒鐘)，且整體的檔案系統初始化(若該檔案系統係常駐於該大量儲存記憶體內)可能會需要更長的時間。因此，仍值得在電源關閉/電源開啟的週期中保留住內部裝置的主體。

圖2顯示了一主機系統或裝置10經由一大量儲存記憶體匯流排(MSMB)18而與一大量儲存記憶體20連接時之簡化方塊圖。該MSMB 18係可與任何合適的大量記憶體介面標準相容，例如MMC或UFS這二個非限制性的例子。該MSMB 18係可包含諸如圖1A所示那些用於一eMMC實施例的信號線路。該主機裝置10包含至少一控制器，諸如根據已儲存程式指令運作的CPU 12。該等程式指令係可儲存在一RAM 14內，或另一記憶體或多個記憶體內。該CPU 12係經由至少一內部匯流排17而與該RAM 14和一MSMB介面(I/F)16相連接。該MSMB介面16係可包含一記憶體控制器(MC)，或可與一和該CPU 12關聯的MC單元相耦接。該主機裝置10係可為一電腦、一行動電話、一數位相機、一遊戲裝置或一個人數位助理(PDA)這幾種非限制性的例子。須注意到該RAM 14係可為任何讀/寫記憶體或記憶裝置，例如半導體記憶體或一磁碟式記憶體。

該大量儲存記憶體20包含一個微控制器，或者更簡單地，一個經由至少一內部匯流排27而與一揮發性RAM 24、一非揮發性大量記憶體26(例如一包含數個GB(gigabyte)的快閃記憶大量存儲器)及一MSMB介面(I/F)28相連接的控制器22。該控制器22係依據已儲存的程式指令運作。

該程式指令係可儲存在RAM 24或一唯讀記憶體(ROM)或該大量記憶體26內。該大量儲存記憶體20係可具體為MMC、eMMC、UFS或SD裝置這些非限制性的例子；且其可以外接於(插入)該主機裝置10或安裝在該主機裝置10之內。須注意到該大量記憶體26在一些實施例之中，儲存了一個檔案系統(FS)26A。在這種情況下，該RAM 24係可儲存與FS關聯的元資料24A，例如一或多個包含位元映像、檔案配置表資料和/或其他FS相關聯的資訊之資料結構。

在共同轉讓的美國專利申請案案號12/455,763所描述的發明之實施例提供了一種與該大量儲存記憶裝置20共享該主機裝置10的RAM 14之技術。可以假定該主機裝置10(例如一行動電腦、一行動電話、一數位相機、一遊戲裝置、一PDA等)具有分配及取消分配RAM 14的能力。RAM 14的分配係可動態地執行，或其係可靜態地執行。RAM的一部分的分配係可響應於一在該主機裝置10所接收到的請求而執行，或響應於該主機裝置10的主動請求。

在共同轉讓的美國專利申請案案號12/455,763所描述的發明之實施例中，若該大量儲存記憶體20有需要擴充其本身的RAM 24空間，且/或若該大量儲存記憶體20有非揮發性RAM的需要(其內容在該大量儲存記憶體20電源關閉時並未喪失)，該RAM 14的分配是供該大量儲存記憶體20(經由該MSMB 18而連接該主機CPU 12)使用。該大量儲存記憶體20亦可讀取和/或寫入(R/W)在該主機裝置10中經分配的RAM 14。該分配/取消分配以及R/W的存取方法係可藉由一指令集的擴展而實現，該指令集係用於經由一適用的大量儲存記憶體協定而與該大量儲存記憶體20進行通信。

根據在共同轉讓的美國專利申請案案號12/455,763所描述的發明的

某些實施例，該大量儲存記憶裝置20提供了一個中斷/發送一訊息到主機裝置10的機制，以啟動在RAM 14之中的空間分配。該中斷的訊息係被發送到MSMB 18內，且可被視為目前指令集的擴展。請參閱圖3，一分配記憶體指令係於流程3-1中被發送。若該分配請求成功(在流程3-2中所指)，該控制器22能夠以該主機裝置10的RAM 14而擴展其本身的RAM 24。此大量儲存記憶裝置20係可使用一RAM WRITE指令將(例如)大型表格儲存到該RAM 14之內，或者是其可利用一RAM READ指令而由該主機裝置RAM 14獲取資料。該讀取或寫入的運作係顯示為交錯的流程3-3、3-4、3-5、3-6、...、3-(N-1)、3-N。當該大量儲存記憶裝置20與該RAM 14完成該流程時，其可使用另一用來請求該主機10的RAM記憶體取消分配的指令(operation 3-(N+1))而釋放該主機裝置RAM 14。

圖4顯示了在共同轉讓的美國專利申請案案號12/455,763中所描述一進一步示例性實施例，其利用主機系統的RAM 14而供具有一內建檔案系統(如圖2所示的FS 26A)之大量儲存記憶體26使用。首先該主機系統10發送一SHUTDOWN指令到該大量儲存記憶裝置20(流程4-1)。接著該大量儲存記憶裝置20分配來自該主機10的RAM 14，然後將所有重要的「靜態」檔案系統相關的資料(元資料24A)載入(例用一RAM WRITE指令儲存)到主機RAM 14之中(流程4-2)。在此上下文中的「靜態」檔案可以是(例如)各樣的位元映像，諸如在exFAT或ext3檔案系統中的一個分配位元映像。此資料係可藉由該主機裝置的CPU 12(控制器)來處理(例如排序、排列和過濾之至少其中一種)，且可包含來自該大量儲存記憶體26中的大量區段的資料。大量記憶儲存裝置20可接著發送一關閉OK的指示(流程4-3)。該主機10可以將電源從該大量記憶儲存裝置20中移除，且該裝置20係

可從該MSMB 18上實體地移除。該大量儲存記憶裝置20的重新初始化(流程4-4、4-5、4-6)流程係於主機裝置10需要得到/放入某些資料於該大量儲存記憶裝置20時被執行。該大量儲存記憶體26(以及檔案系統26A)的重新初始化可以藉由使用來自該RAM 14之已經排序/排列/過濾的讀取資料而加快。當重新初始化的流程完成時，該檔案儲存記憶裝置20係可取消分配主機裝置10中被使用的RAM 14，或者該RAM 14係可不被取消分配而藉以保留供該大量儲存記憶裝置20將來使用的RAM空間。

在一些實施例中，主機RAM 14的分配係可以不同方式發生。例如，該主機裝置10係可動態地分配RAM 14，並傳遞一個「指標」到該大量儲存記憶裝置20被分配的RAM。接著由該大量儲存記憶裝置20的控制器22決定如何利用被分配的主機RAM 14。須注意到在本實施例中，一個來自該大量儲存記憶裝置20的明確分配請求係可不被發送到該主機裝置10。相反地，該主機裝置10係可自己主動分配該RAM 14的一部分，例如當第一次偵測到該大量儲存記憶裝置20的存在。當然，在該大量儲存記憶裝置20及該主機裝置10之間的後續信號係可被用來在若最初的分配對於該控制器22的需求不足夠時，改變被分配的RAM 14的大小。另一個分配RAM 14的例子為該RAM 14的一部分係可受該主機10以一靜態方式進行分配，該大量儲存記憶裝置20接著在每次需要擴展其RAM 24時，只需使用該RAM 14的相同部份。在這種情況下，該大量儲存記憶裝置20可能已經具有該被分配的RAM 14的位置/大小的了解，且不需要自該主機裝置10發送一個指標。

須注意到，儘管其通常可以是該大量儲存記憶裝置20會接收主機記憶體的分配以儲存該揮發性RAM 24的內容之情況，一般而言該分配係可

用於儲存來自該大量儲存記憶裝置20內所含的任何讀取/寫入記憶體之資料。

在有了這樣提供在共同轉讓的美國專利申請案案號12/455,763中所描述的發明各種非限制性及示例性實施例的概述下，現在將進行本發明示例性實施例之說明。在一managedNAND記憶體(例如eMMC、SSD、UFS、microSD)中，該記憶體控制器(例如圖2所示的控制器22)負責該快閃管理功能，例如不良區塊管理及平均磨損。在一典型的低成本建置中，managedNAND內僅有一小量的輸入/輸出(IO)緩衝靜態隨機存取記憶體(buffer SRAM)。在諸如SSD的較高級managedNAND的記憶體模組中，係可有數十到數百MB(megabits)的離散DRAM內嵌於其內作為快取記憶體。在未來的一些新的存儲技術，例如MRAM，也可以作為非常快的非揮發性快閃記憶體。

控制器內的內嵌記憶體並不足以儲存該模組所需的所有運行階段資料，因此，部分的運行階段資料係儲存/映射在該模組的非揮發性記憶體(例如NAND)。這也是必要的，以避免在突然斷電的情況下喪失(執行)資料。該非揮發性大量記憶體，例如NAND，若相比於典型的揮發性/非揮發性執行記憶體(如SRAM、DRAM、MRAM)時，其用於儲存/讀取這樣的資料是非常緩慢的。這會導致該記憶體模組運作的延遲。例如，在開啟電源後所有的大量記憶體次系統需要從NAND重新被初始化，且這可能需要高達一秒的時間(例如eMMC、SD、SATAIO裝置)。

請參閱第5圖，其中那些參照圖2的元件係已相應編號。在圖5A、圖5B中，該系統RAM 14的一部分14G(例如DRAM)係被分配而由該大量記憶體模組20(於此所描述的非限制性實施例中，其係為一UFS記憶體模組

或一記憶體模組)使用。該主機裝置10包含一可具體作為CPU 12之應用處理器。一用於DRAM 14的DRAM控制器11係可包含於或耦接到該應用處理器12。另外提供了上述大量記憶體模組20(例如UFS)及主機控制器13。該主機控制器13係可具體作為CPU 12，或其可具體作為一單獨的裝置。該大量記憶體模組(MMM)20(於此亦稱為一記憶體模組，MM，20)係可經由一介面22a，例如經由一匯流排(例如像圖2所示的大量儲存記憶體匯流排18)，而連接該主機裝置。該記憶體模組20可以為如圖5a所示的主機裝置10的一部分，或者其係可為如圖2所示的一個單獨裝置。

此外，該記憶體模組20係可包括一非揮發性記憶體(例如NAND)26(或大量記憶體)以及一具有SRAM 24的記憶體控制器22，該非揮發性記憶體的一部分26A係分配供記憶體控制器使用。為了本發明之目的，該SRAM 24及該系統DRAM 14的一部分14G係可視為是一延伸隨機存取記憶體。應注意到該記憶體控制器22的一執行記憶體24和/或該主機系統記憶體14可以為一非揮發性記憶體，例如MRAM、PCRAM和/或RRAM。

圖5B顯示了該系統DRAM 14儲存有一作業系統(OS)14a及應用程式(applications)14b。該系統DRAM 14一般也儲存一與檔案系統(該作業系統(OS)的一部分)關聯的檔案系統快取記憶體14c。在圖5B的實施例中，該系統DRAM 14的一部分係被分配而用以儲存一存取串列14F。該DRAM部分14G亦包含於內，被分配供該記憶體模組20使用，且該操作狀態資料可以被移入其中，供該記憶體模組20使用。

該共同轉讓的美國專利申請案案號12/455,763進一步描述了啟用該記憶體模組以利用該系統DRAM而將資料儲存入或自其讀取資料(例如，

參閱上述圖3-4)。這可進一步在於此所述之實施例中利用而啟用該大量儲存記憶模組，以進行例如將其狀態儲存到該系統DRAM內，接著進入睡眠/關機，並在喚醒/電源開啟後快速讀回先前的狀態。在managed NAND的環境中，該操作狀態這樣的儲存及讀取係可由該大量記憶體模組20本身負責，特別是藉由該記憶體模組控制器22，而不是藉由知悉甚麼資料需要被儲存和該運行階段的哪個部分是可以喪失(例如在斷電期間)的主機裝置10來作為該記憶體模組本身。

本發明提出了一個新的方法和裝置，用於藉由該記憶體模組控制器(例如圖5a所示的記憶體模組控制器22)在記憶體模組20及主機系統記憶體(例如該DRAM 14)的各種操作模式/條件中，管理/配置存儲用以操作該記憶體模組控制器之操作狀態資料到延伸隨機存取記憶體內之儲存，該延伸隨機存取記憶體係包含在一記憶體模組及主機系統記憶體(例如DRAM 14)內。本質上，該記憶體模組控制器係運作作為於此所述的資料傳輸的主控制器。該操作狀態資料一般包括一或多個狀態資訊、一邏輯到實體(L2P)對映表及暫存器設定。

該記憶體模組控制器在自其關機或睡眠狀態喚醒後，係可從該延伸隨機存取記憶體和/或一非揮發性大量記憶體讀取該操作狀態資料的至少一部份，以恢復該記憶體模組控制器的一操作狀態。該讀取係可根據該大量記憶體模組的設定，或根據可覆寫該大量記憶體模組的設定之來自該主機裝置的一指令或一指令的屬性。或者，該設定可覆寫來自該主機裝置的指令或屬性。

該大量記憶體模組的設定係可為外部也可見的暫存器設定(例如DRAM停用/啟用之存取)，或是僅可由該記憶體模組控制器所見之內部設

定，例如哪個來源(延伸隨機存取記憶體或快閃記憶體)是最有效載入該操作狀態資料的資訊。

也須注意到來自該主機(在初始化階段)的指令/屬性係可覆寫上述該大量記憶體模組中的內部設定，例如，藉由拒絕存取主機裝置(資料危及的情況)中的**DRAM**，或是該指令可能指出該大量記憶體模組可自由地從任何來源初始化。

此外，該操作狀態資料係可至少被劃分成高優先資料(例如，至少狀態資訊和可能是一些**L2L**對映表)及低優先資料(例如暫存器設定)，使該高優先資料被儲存在該延伸隨機存取記憶體的**DRAM**部分**14G**。但也可使用兩個以上的優先級別，以分類該操作狀態資料，例如最低優先資料係可儲存於該非揮發性記憶體的部分**26A**。

對於這樣的數據傳輸的基本原理是基於利用在該記憶體模組**20**及該主機裝置**10**的主機系統記憶體(**DRAM**部分**14G**)二者內的快速延伸隨機存取記憶體，盡可能超過相對緩慢的非揮發性記憶體**26**。這可在該記憶體模組可以更常關閉的情況下，在快速喚醒及節省電力上獲得優勢。

圖**6**顯示了一進一步依據本發明於此所述的示例性實施例之邏輯流程圖，其說明了一操作方法以及體現在一電腦可讀記憶體上之電腦程式指令之執行結果。須注意到圖**6**所示的步驟順序並非是絕對需要的，所以在原則上，係可執行所示順序以外的各種步驟。某些步驟也可以被跳過，不同的步驟可以被加入或取代，或者選定的步驟或步驟群組係可在一單獨的應用程式中被執行。

在根據該等顯示於圖**6**之示例性實施例的方法中，第一步驟**70**中的一個記憶體模組控制器(**MMCO**)，例如記憶體模組控制器**22**，係動態地管理

/配置存儲供操作MMCO操作狀態資料到下列一或多者之儲存：一包含於該記憶體模組(MM)20(例如SRAM 24)及一主機系統記憶體(或系統記憶體，SM)14(例如一專用部分14G)二者內的延伸隨機存取記憶體(ERAM)，以及包含於一非揮發性記憶體(例如在MM 20中的NAND記憶體26的一專用部分26A)內的延伸隨機存取記憶體。例如，若MM及SM二者被啟用以在一正常情況下運作，該儲存係可根據預先定義的規則而配置。諸如狀態資訊之重要(高優先)資料，以及所有或部分的邏輯到實體(L2P)對映表，係可儲存(寫入)於ERAM的DRAM部分14G，並將較低優先資料儲存於ERAM的SRAM 24部分，但將最低優先資料(例如暫存器設定)儲存在非揮發性記憶體26(例如該部分26A)。該操作狀態資料的一些高優先資料係可儲存在該非揮發性記憶體26(並可能在SRAM 22)之內，以作為儲存在該DRAM部分14G內的資料之複製。而且，MM 20及SM 14二者之儲存安排係可藉由MMCO 22自動使用一預定預設值安排而配置。

此外，圖6中的流程圖顯示了三個可以觸發MMCO 22重新配置步驟70所建立的儲存安排的方案。

在其中的一個方案內，步驟71中的記憶體模組20係被停用，例如進入關機或睡眠。換句話說，該記憶體模組可接收下列指示中的至少一個：來自該主機裝置的斷電指示或進入睡眠/休眠模式指令/狀態改變，或是自動在該記憶體模組內一些定義的逾時之後進入睡眠/休眠模式。

在下一步驟72中，該MMCO重新配置存儲操作狀態資料到SM(DRAM部分14G)中及可能到MM 20的非揮發性記憶體(NAND 26)中之儲存。例如，若可能的話，該MMCO 20可以將另外的操作狀態資料加入(寫入)DRAM部分14G(例如達到該DRAM部分14G的最大容量)，並進

一步在該非揮發性記憶體內備份(複製)該高優先資料。另外，諸如暫存器設定的低優先資料如果沒有儲存在該DRAM部分14G，其可以儲存在該非揮發性記憶體部分26A。步驟72係可藉由MMCO 22自動根據步驟71所述情況的預定義程序而執行。

在下一步驟73中，MM係被啟用(電源開啟/喚醒)。

在下一步驟74中，MMCO至少讀取了(在初始化期間)儲存在該DRAM部分14G中的操作狀態資料，以恢復MMCO 22的操作狀態。另外，如步驟72所述之儲存在非揮發性記憶體部分NAND 26A中的資訊可能可以使用於恢復MMCO 22的操作狀態。

在另一個方案中，步驟75內的MMCO 22確定了(例如，接收一來自該主機裝置的指令或該指令內所包含的屬性)該主機裝置10的SM(DRAM部分14G)係無法使用和/或被停用，且/或包含儲存在該DRAM部分14G內的資料。

接著在下一步驟76中，MMCO 22可以在該主機裝置內的SM變成無法使用/停用之前，將來自該DRAM部分14G的操作狀態資料儲存到該非揮發性記憶體26A和/或MM 20的SRAM 22內。若儲存在SM中的操作狀態資料被危及，MMCO 22接著可以在SRAM 22內的資料無法使用時，恢復/重建來自該非揮發性記憶體(NAND 26)的所需資訊。

在下一步驟77中，主機裝置內的SM係被啟用(發信號至MM 20的電源開啟/喚醒)。

在下一步驟78中，MMCO 22重新配置至少存儲重要的操作狀態資料到SM(DRAM 14)內之儲存，如步驟70所述。

但是，在另一種方案中，步驟79內的記憶體模組20及SM 14二者皆

被停用，例如關機或進入睡眠。例如，該主機裝置係可發出一全部關機的指令。在下一步驟80中，該MMCO重新配置存儲該操作狀態資料到該MM的非揮發性記憶體(NAND 26)中之儲存。

在下一步驟81中，該主機裝置內的記憶體模組20及SM 14二者皆被啟用(電源開啟/喚醒)。在下一步驟82中，該MMCO使用儲存在該MM的非揮發性記憶體(NAND 26)中的資訊，而配置如步驟70中的操作狀態資料之恢復及儲存。須進一步注意到，此步驟可包括使用在步驟80之儲存在非揮發性記憶體內之全部或選定的操作狀態資料本身進行初使化的大量記憶體模組。

須注意到該讀取及寫入的步驟(例如，步驟72、76、80、74、78、82)係可藉由MMCO 22根據來自主機裝置10的指令(或該指令內的屬性)和/或使用其本身的判斷而執行。

圖7a-7b及8進一步說明揭露在圖6的流程圖中的不同實施例。例如，圖7a和圖7b顯示了當系統資源的使用(例如DRAM 14G的部份)是停用的(圖7a)以及當系統資源的使用是啟用(圖7b)時，MM 20中的MMCO 22之記憶體對映的範例。

圖7a(在DRAM部分14G係無法存取/停用時)提供了諸如在圖5中已識別的NAND部分26A及SRAM 24之一揮發性記憶體部分的操作細節。如圖7a所示，顯示在左邊的NAND部分26A係可儲存一小型開機區段，以自該開機區段載入一代碼的第一部份而初始化記憶體模組控制器22。SRAM 24可提供運行時間執行記憶體，該執行記憶體儲存有運行MM 20之必要代碼，並至少儲存有像P2L對映資料之元資料的部分。此外，若沒有足夠的SRAM 24儲存全部的P2L對映表，顯示在右邊的NAND部分26A可以為

MMCO 22的分頁記憶體(paging memory)；此外，NAND部分26A可以為用於暫存器及P2L對映表之永久儲存部分。

圖7b(在DRAM 14G係可存取/啟用時)提供了用於在圖5中已識別的NAND部分26A、SRAM 24及DRAM部分14G之操作細節，其中SRAM 24及DRAM 14G形成了該延伸隨機存取記憶體。如圖7b所示，在左邊的NAND部分26A可以儲存一小型開機區段，以自該開機區段載入一代碼的第一部份而初始化該記憶體控制器。此外，NAND部分26A可以儲存有利於在一電源周期後重新初始化之資訊。SRAM 24(如圖7a所示)可提供運行時間執行記憶體，該執行記憶體儲存有運行MM 20之必要代碼，並至少儲存有像P2L對映資料之元資料部分。在右邊的NAND部分26A也可以是主要的暫存器及P2L對映表永久儲存部分。與圖7a的主要差異在於該DRAM部分14G的啟用狀態變成一個SRAM 24的擴展區域(形成該延伸隨機存取記憶體)，用以儲存如狀態資訊及P2L對映表等的運行時間資料，特別是需要電力周期後盡可能快速重新初始化MMCO 22的資料。

須注意到圖7a及7b所示之該等區域26A也可以在彼此旁邊。左邊也可以藉由內嵌於MMCO內的一些開機ROM來實現，至少部分地。須進一步注意到該MMCO的記憶體對映也可以為一虛擬的對映，而非實體的(如圖7a及7b所示)。

圖8顯示了圖6所示流程圖之實施例的另一態樣，其係把MMCO 22的操作與一來自該主機裝置10的指令(或該指令內的屬性)聯繫起來。如果該主機裝置10(例如其CPU 12)知道DRAM部分14G內的資料已經受危及，其可發送一指令到MM 20，以拒絕從主機系統記憶體DRAM部分14G進行讀取，因而強迫MMCO 22從非揮發性記憶體相似的NAND部分26A讀取在

MM 20內的任何設定。接著該MMCO 22的操作狀態係讀取自該NAND部分26A。

如果該主機裝置10(CPU 12)未在DRAM部分14G的讀取上施加任何限制，MMCO 22的操作狀態接著會讀取自該DRAM部分14G，並可能讀取自該NAND部分26A(用於低優先資料)。

須注意到，藉由該主機裝置10發送到記憶體模組20(例如經由圖5a所示的介面22a)之指令/屬性，在記憶體模組控制器22上係可以有不同的執行級別。例如，用以拒絕讀取自主機系統記憶體(例如讀取自圖8中的DRAM部分14G)的指令，係可具有一高度的執行級別。同樣地，禁止將與操作狀態資料有關的額外資訊寫入主機系統記憶體(例如，沒有可用的多餘空間)之另一指令或該主機裝置中的一指令屬性，也可以是一個MMCO 22無法覆寫的高執行級別指令。由該主機裝置執行的低執行級別指令/屬性的例子可以是當主機裝置啟用(或並未停用)14G的利用時，將其留給MMCO作決定。低執行指令/屬性也可以是主機裝置電源關閉的指示，使MMCO可決定是否以該狀態資料執行讀取/寫入操作。

圖9顯示了一個與該大量儲存記憶裝置20一起使用的主機裝置10之非限制性實施例，參照圖6該大量儲存記憶裝置係簡單地為一記憶卡20。該大量儲存記憶裝置20係可被移除或其係可內嵌於該裝置10內。在此示例性實施例中，該主機裝置10係具體為一使用者設備(UE)，並以俯視(左邊)及剖視(右邊)兩種方式顯示。在圖9中，該主機裝置(UE)10具有一圖形顯示介面120及一使用者介面122，該使用者介面係顯示為一鍵盤，但可理解也包含在圖形顯示介面120上的觸控螢幕技術以及一麥克風124上的語音辨識技術。一電力致動器126控制了可被使用者開啟或關閉之裝置。該

示例性UE 10係可具有一相機128，該照相機顯示為面向前方(例如用於視頻通話)，但可替換地或另外地面向後方(例如用於捕捉影像及視頻進行局部儲存)。該相機128係受一快門致動器30控制，並選擇性地受一變焦致動器32所控制，該變焦致動器可選擇性地於相機128不在激活模式時作為喇叭34聲音調整的功能。

一個例子是，由該相機128所拍攝的影像資料係可在一相機應用程式的控制下，儲存在該大量儲存記憶裝置20內，因而受益於本發明該等實施例之使用。另外一個例子是，由該麥克風124所捕捉到的音頻資料係可在一音頻應用程式的控制下，儲存在該大量儲存記憶裝置20內，因此也可以受益於本發明該等實施例的使用。

在圖9的剖視圖中，可看到多個一般用於蜂巢式通訊的發送/接收天線36。該等天線36係可為多頻段，以用於與UE中的其他無線電設備一起使用。用於該等天線36的可操作接地面係以陰影圖示，以橫跨該UE殼體所包圍的整個空間，雖然在一些實施例中該接地面可能被限制在一個較小的區域，例如設置在該電源晶片38形成於上之印刷電路板上。該電源晶片38控制了傳送到和/或跨越該等天線之頻道上的功率放大，並放大已接收到的信號，其中該等頻道係同時進行傳送。該電源晶片38將被放大的已接收信號輸出到一無線射頻(RF)晶片40，該晶片會進行解調並降頻轉換該信號以用於基頻處理。一基頻(BB)晶片42偵測已轉換成位元串流且最後被解碼的信號。類似的處理會反向發生，供主機裝置10中所產生並由其傳送之信號使用。

進入和來自該相機128的信號係可通過一進行編碼和解碼各種圖框之影像/視頻處理器44。一單獨的音頻處理器46也可存在，以控制進入和來

自該喇叭34及麥克風124之信號。該圖形顯示介面120是從一受使用者介面晶片50控制之圖框記憶體48進行更新，該圖形顯示介面係可處理傳送到及來自該顯示介面20之信號，和/或額外地處理來自鍵盤22和其他地方的使用者輸入資訊。

該UE 10的某些實施例也可包含一或多個輔助的無線電設備，例如可在晶片上結合天線或耦接到晶片外的天線之無線區域網路無線電設備WLAN 37以及藍芽無線電設備39。各種記憶體係遍及於整個設備中，例如可包含系統DRAM 14的隨機存取記憶體RAM、唯讀記憶體ROM 45、以及在一些實施例中可移除記憶體(諸如圖示之可儲存各種程式和資料於其內之記憶卡20)。在UE 10內的所有這些元件通常由一可攜式電源供電，例如電池49。

該等處理器38、40、42、44、46、50如果具體作為UE 10中單獨的實體，其係可以一從屬於主要處理器(CPU)12的關係而運作，接著CPU會對它們有主控關係。某些實施例可以橫跨圖示的各種晶片及記憶體而設置，或設置在另一個結合了上述一些功能之處理器內，如圖9之實施例。圖9的任何或所有這些各種處理器存取了該等各種記憶體中的一或多個，該等記憶體係可與處理器一起在晶片上，或與具有處理器之晶片分離。須注意到各種上述的積體電路(例如晶片38、40、42等)係可結合到比所述還更少的數量，在最小巧的情況下，都可實體地具體體現在一單獨晶片內。

在此示例性實施例中，UE 10(該主機裝置)的CPU 12係與該記憶卡20(大量儲存記憶裝置)一起運作，如圖5A、5B及5C所述，使該記憶卡20可以擴展而使用UE 10的至少一部分系統動態RAM 14，如上所述。

在一般情況下，各種示例性實施例係可實施在硬體或特殊用途電

路、軟體、邏輯系統或其任意組合上。例如，一些態樣係可實施在硬體上，但是其它的態樣係可實施在可受控制器、微處理器或其他電腦裝置執行之韌體或軟體上，雖然本發明並不限於此。儘管本發明的示例性實施例的各種態樣可以顯示和描述為方塊圖、流程圖或使用一些其他的圖形表示，可以理解到這些方塊、裝置、系統、技術或於此所述的方法可以實現在作為非限制性的實施例之硬體、軟體、韌體、特殊用途電路或邏輯系統、通用硬體或控制器或其他計算裝置，或其某些組合。

因此，應該理解到本發明該等示例性實施例的至少一些態樣係可在各種元件中實施，例如積體電路晶片及模組，且本發明該等示例性實施例係可實現在具體為積體電路的裝置上。該積體電路或電路係可包括用於具體化下列之至少一或多者的電路(以及可能的韌體)：一資料處理器或數個資料處理器、一數位信號處理器或數個處理器、基頻電路及無線射頻電路，這些皆是可配置而根據本發明該等示例性實施例運作。

鑒於上述之說明，本發明上述該等示例性實施例的各種修改和改進對於本領域技術人員在配合附圖閱讀時會變得顯而易見。然而，任何及所有的修改將仍然落入本發明非限制性及示例性實施例之範圍內。

應注意到，術語「連接」、「耦接」或其任何變體係指以直接或間接方式、在二或更多元件之間的任意連接或耦接，並包括兩個「連接」或「耦接」一起之元件間的一或多個中間元件之存在。該等元件之間的耦接或連接可以是實體的、邏輯的或其組合。如本文所用的兩個元件係可認為是藉由一條或多條電線、電纜和/或印刷電連接的使用而「連接」或「耦接」在一起，其也可藉由電磁能量的使用，諸如在無線射頻區間、微波區間及光學(可見光及不可見光二者)區間具有波長的電磁能量波長，以作為

一些非限制性和非詳盡無遺的例子。

須注意到本文所描述的各種非限制性實施例係可單獨使用、組合或選擇性地為特定應用而結合。

此外，上述非限制性實施例的各種特徵中的一些特徵係可在沒有其它已述特徵的相應使用之下使用並獲得利益。因此，上面的描述應當僅被視為本發明原理、教示及示例性實施例的說明，而非本發明之限制。

可理解到上述之配置僅為本發明原理之應用說明。各種修改及可替換的配置係可為本領域之技藝人士在不背離本發明範圍的情形下而想出，且該等附屬項係意欲涵蓋這類的修改及配置。

【符號說明】

10	主機裝置/主機系統/主機
12	中央處理單元/應用處理器
13	主機控制器
14	隨機存取記憶體/主機系統記憶體
14a	作業系統(OS)
14b	應用程式
14c	檔案系統快取記憶體
14F	存取串列
14G	RAM的一部分
16	大量儲存記憶體匯流排介面
17	內部匯流排
18	大量儲存記憶體匯流排
20	大量儲存記憶體/大量記憶體模組/大量儲存記憶裝置

22	控制器/記憶體控制器/鍵盤
22a	介面
24	揮發性隨機存取記憶體
24A	元資料
26	非揮發性大量記憶體/NAND(大量記憶體)
26A	檔案系統/非揮發性記憶體的一部分
27	內部匯流排
28	大量儲存記憶體匯流排介面
30	快門致動器
32	變焦致動器
34	喇叭
36	天線
37	WLAN
38	電源晶片
39	藍芽無線電設備
40	無線射頻(RF)晶片
42	基頻(BB)晶片
44	影像/視頻處理器
45	唯讀記憶體ROM
46	音頻處理器
48	圖框記憶體
49	電池
50	使用者介面晶片

70	步驟
71	步驟
72	步驟
73	步驟
74	步驟
75	步驟
76	步驟
77	步驟
78	步驟
79	步驟
80	步驟
81	步驟
82	步驟
120	圖形顯示介面
122	使用者介面
124	麥克風
126	電力致動器
128	相機

【發明申請專利範圍】

【第1項】

一種記憶體模組，其包括：

一非揮發性記憶體；以及

一記憶體模組控制器，其經配置(configured)以：

對儲存在一主機裝置內可分配至該記憶體模組之一部分隨機存取記憶體內的資料進行管理；

接收來自該主機裝置之一指令或一指令之一屬性(attribute)，該指令或該指令之該屬性指示該主機裝置內之該部分隨機存取記憶體將無法使用(unavailable)；以及

配置該記憶體模組之一設定，以指示該主機裝置之該部分隨機存取記憶體已被停用(disabled)，其中該設定被配置至少部分地以回應於接收自該主機裝置之該指令或該指令之該屬性，該指令或該指令之該屬性指示該主機裝置之該部分隨機存取記憶體將無法使用(unavailable)。

【第2項】

如請求項1中所述的記憶體模組，其中無法使用該主機裝置內之該部分隨機存取記憶體係至少部分基於不能通過該記憶體模組存取之該部分隨機存取記憶體。

【第3項】

如請求項1中所述的記憶體模組，其中該記憶體模組控制器進一步配置以啟動對一資料子集的儲存，以回應於針對該主機裝置無法使用該主機裝置內之該部分隨機存取記憶體之該指令或該指令之該屬性；該資料子集與來自該主機裝置內之該部分隨機存取記憶體的該資料之至少部分相對應。

【第4項】

如請求項 3 中所述的記憶體模組，其中該記憶體模組控制器進一步配置以：

至少根據自該主機裝置接收無法使用該主機裝置內之該部分隨機存取記憶體之該指令或該指令之該屬性，對來自該主機裝置之該部分隨機存取記憶體的該資料子集進行讀取；以及

將該資料子集儲存在該記憶體模組的該非揮發性記憶體內。

【第5項】

如請求項4中所述的記憶體模組，其中該記憶體模組控制器進一步配置以判定該記憶體模組控制器正在使用該資料子集；而該資料子集之讀取係至少部分基於該記憶體模組控制器正在使用之該資料子集的判定。

【第6項】

如請求項3中所述的記憶體模組，其中該資料子集包括運作狀態資料。

【第7項】

如請求項3中所述的記憶體模組，其中該記憶體模組控制器進一步配置以配置指示該主機裝置之該部分隨機存取記憶體在完成該資料子集儲存後會停用之該設定。

【第8項】

如請求項1中所述的記憶體模組，其中該記憶體模組控制器進一步配置以接收該主機裝置的另一指令或另一指令之另一屬性；該接收與喚醒一關機或一休眠狀態中的該記憶體模組緊密關聯；而所接收的該另一指令或該另一指令之該另一屬性指示是否允許該記憶體模組控制器對分配至該記憶體模組的該主機裝置之該部分隨機存取記憶體進行初始化。

【第9項】

一種用於管理在一記憶體模組中之操作狀態的方法，該方法包括：

藉由一記憶體模組的一記憶體模組控制器，對儲存在一主機裝置內可分配(allocated)至該記憶體模組之一部分隨機存取記憶體內的資料進行管理；

接收來自該主機裝置之一指令或一指令之一屬性，該指令或該指令之該屬性指示該主機裝置內之該部分隨機存取記憶體將無法停用；以及

配置該記憶體模組之一設定，以指示該主機裝置之該部分隨機存取記憶體已被停用，其中該設定被配置至少部分地以回應於接收自該主機裝置之該指令或該指令之該屬性，該指令或該指令之該屬性指示該主機裝置之該部分隨機存取記憶體將無法使用。

【第10項】

如請求項9中所述的方法，其中無法使用該主機裝置內之該部分隨機存取記憶體係至少部分基於不能通過該記憶體模組存取該部分隨機存取記憶體。

【第11項】

如請求項9中所述的方法，進一步包括：

通過該記憶體模組控制器啟動對一資料子集的儲存，作為針對該主機裝置無法使用該主機裝置內之該部分隨機存取記憶體之該指令或該指令之該屬性所做出的回應；該資料子集與來自該主機裝置之該部分隨機存取記憶體的該資料之至少部分相對應。

【第12項】

如請求項11中所述的方法，進一步包括：

至少根據自該主機裝置接收無法使用該主機裝置內之該部分隨機存取記憶體之該指令或該指令之該屬性，對來自該主機裝置之該部分隨機存

取記憶體之該資料子集進行讀取；以及

將該資料子集儲存在該記憶體模組之一非揮發性記憶體內。

【第13項】

如請求項12中所述的方法，進一步包括判定該記憶體模組控制器正在使用該資料子集；而該資料子集之讀取係至少部分基於該記憶體模組控制器正在使用之該資料子集之判定。

【第14項】

如請求項11中所述的方法，進一步包括配置該記憶體模組之該設定，以指示該主機裝置之該部分隨機存取記憶體在完成該資料子集儲存後會停用。

【第15項】

如請求項11中所述的方法，其中該資料子集包括運行狀態資料。

【第16項】

如請求項9中所述的方法，進一步包括接收該主機裝置的另一指令或另一指令之另一屬性；該接收與喚醒一關機或一休眠狀態中的該記憶體模組緊密關聯；而所接收的該另一指令或該另一指令之該屬性指示是否允許該記憶體模組控制器對分配到該記憶體模組的該主機裝置之該部分隨機存取記憶體進行初始化。

【第17項】

一種主機裝置，其包括：

一或多個處理器；以及

隨機存取記憶體儲存指令，當由該一或多個處理器所執行時，該隨機存取記憶體儲存指令對該主機裝置進行配置以：

將一部份隨機存取記憶體分配至一非揮發性記憶體模組，該部分隨機存取記憶體所儲存的資料可由該非揮發性記憶體模組所使用；以及

將指示該部分隨機存取記憶體將無法使用之一指令或一指令之一屬性發送至該非揮發性記憶體模組，其中對該指令或該指令之該屬性經配置以界定該非揮發性記憶體模組之一設定以指示該部分隨機存取記憶體將停用。

【第18項】

如請求項17中所述的主機裝置，其中無法使用該部分隨機存取記憶體係至少部分基於由於不能通過該非揮發性記憶體模組存取該部分隨機存取記憶體。

【第19項】

如請求項17中所述的主機裝置，其中該等指令對該主機裝置進行進一步配置以向該非揮發性記憶體模組發送另一指令或另一指令之另一屬性，以指示是否允許該非揮發性記憶體模組對分配到該非揮發性記憶體模組的該部分隨機存取記憶體進行初始化。

【第20項】

如請求項17中所述的主機裝置，其中該主機裝置進一步配置以：

自該非揮發性記憶體模組接收儲存在該部分隨機存取記憶體內的至少一資料子集進行之一讀取請求，並至少部分回應於指示無法使用該部分隨機存取記憶體之該指令或該指令之該屬性；以及

向該非揮發性記憶體模組發送該資料子集，並回應於該讀取請求。

【第21項】

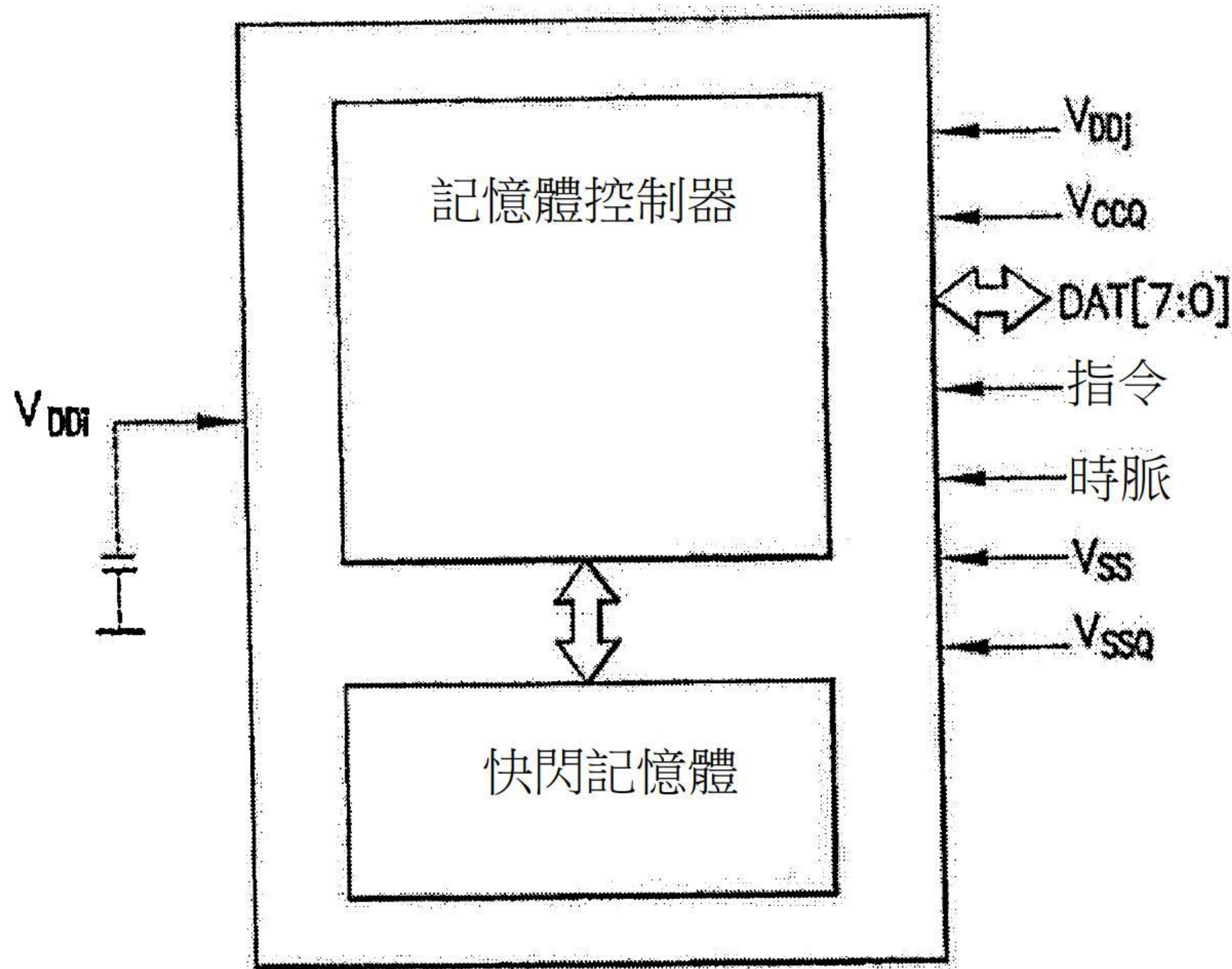
如請求項20中所述的主機裝置，其中在無法使用該部分隨機存取記憶體

之前，將該資料子集發送至該非揮發性記憶體模組。

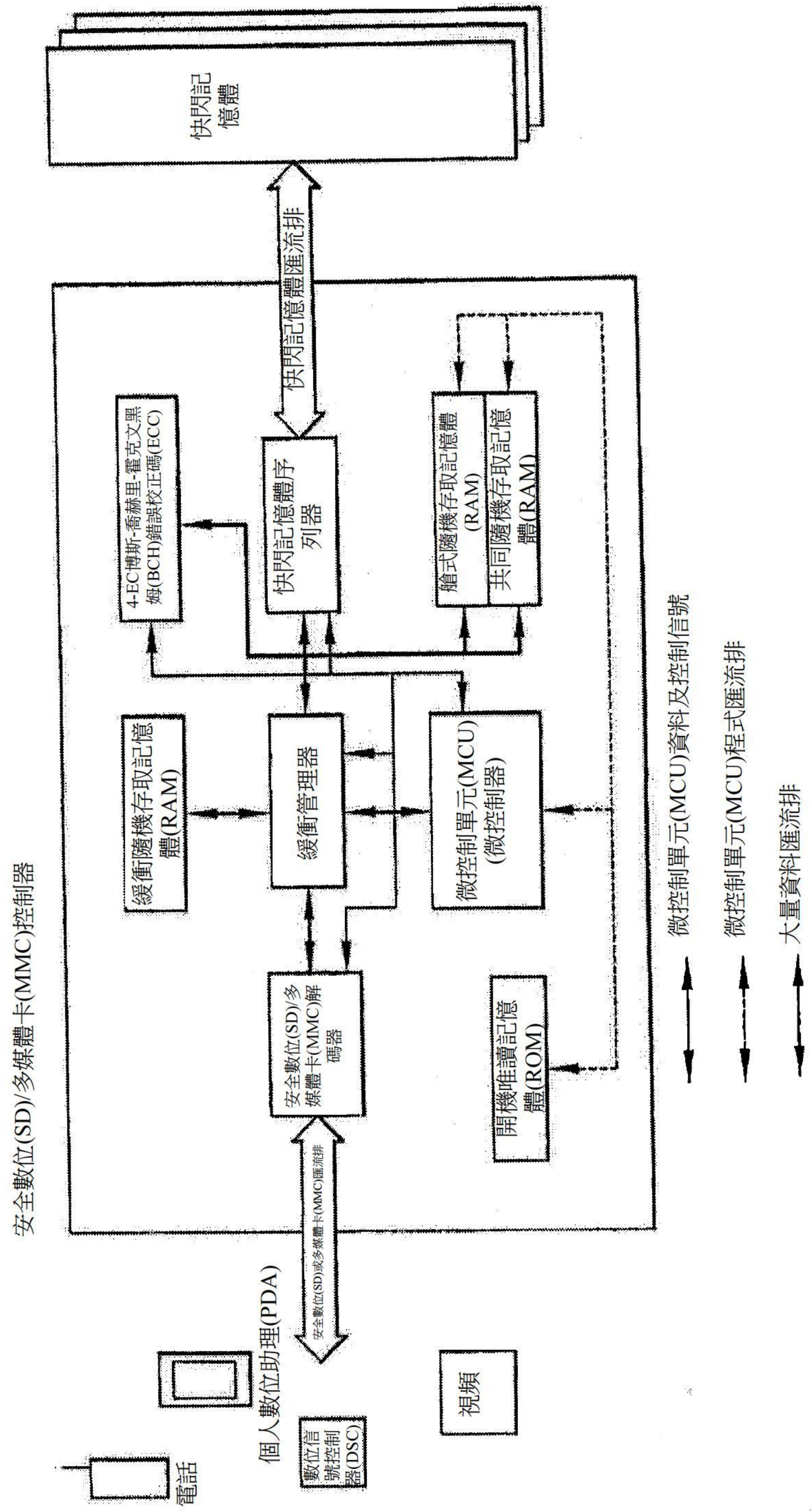
【第22項】

如請求項20中所述的主機裝置，其中對該指令或該指令之該屬性進行進一步配置以對該非揮發性記憶體模組的設置進行界定，以指示將該資料子集發送至該非揮發性記憶體模組之後，該部分隨機存取記憶體將停用。

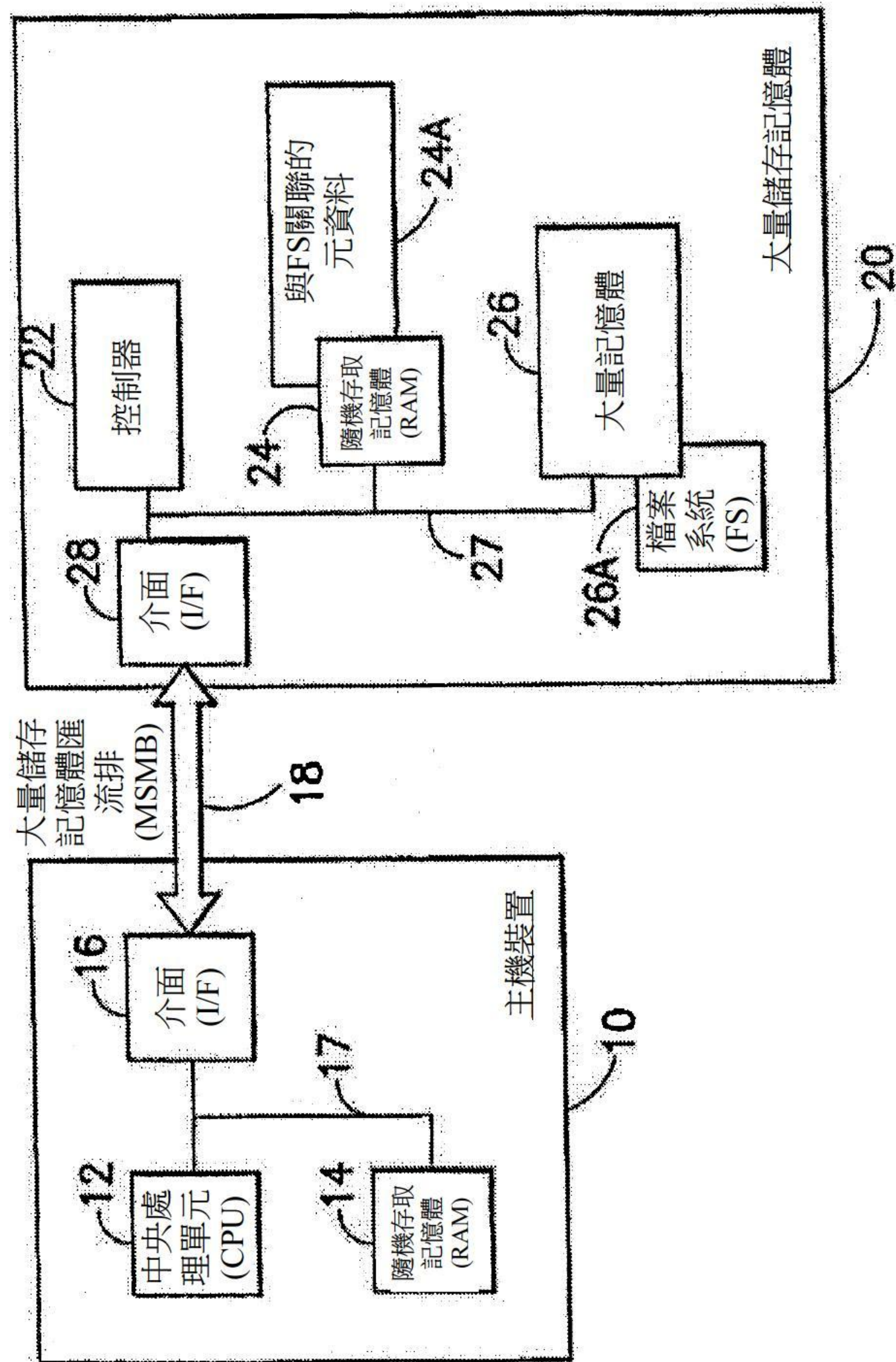
【發明圖式】



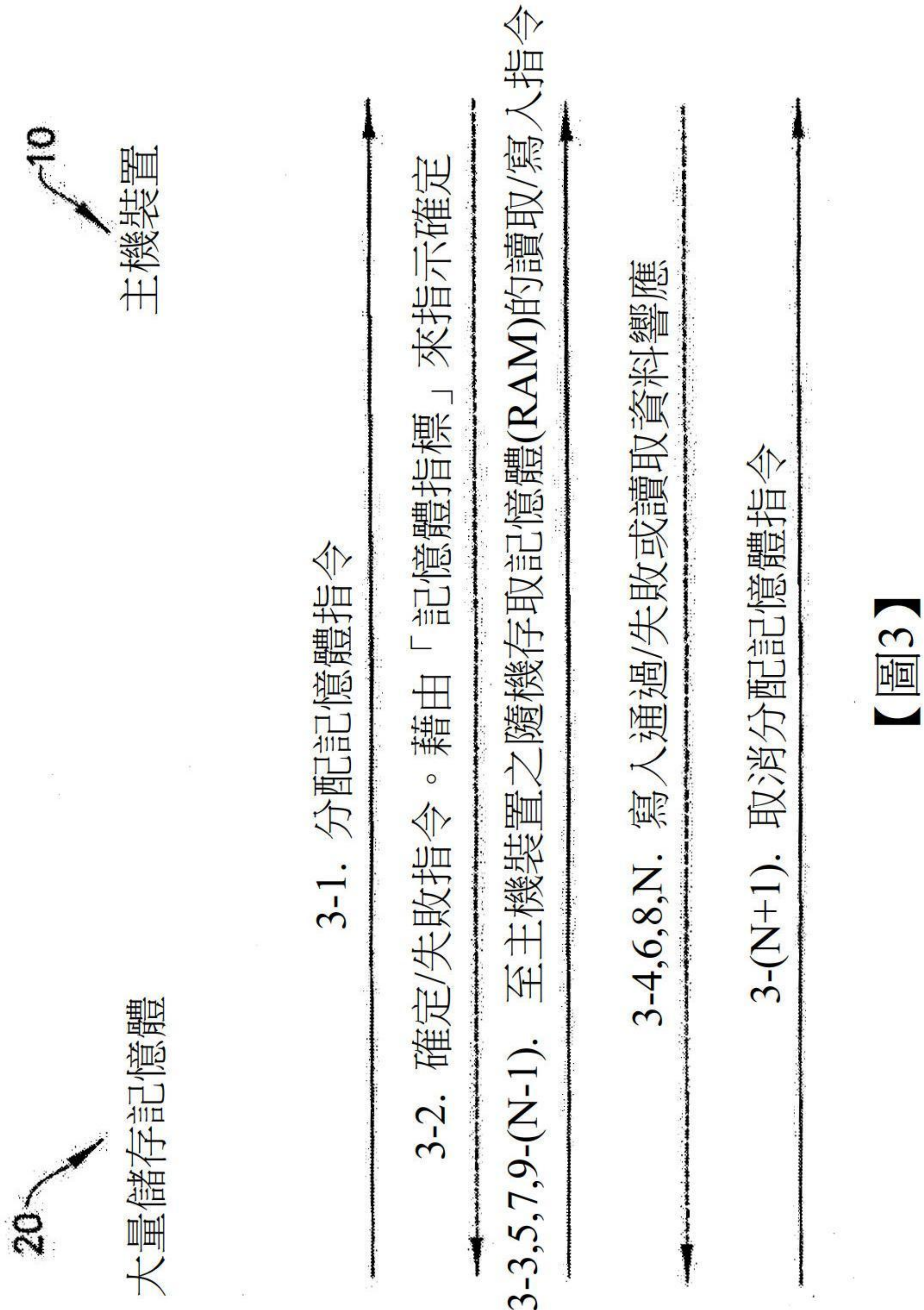
【圖1A】



【圖1B】

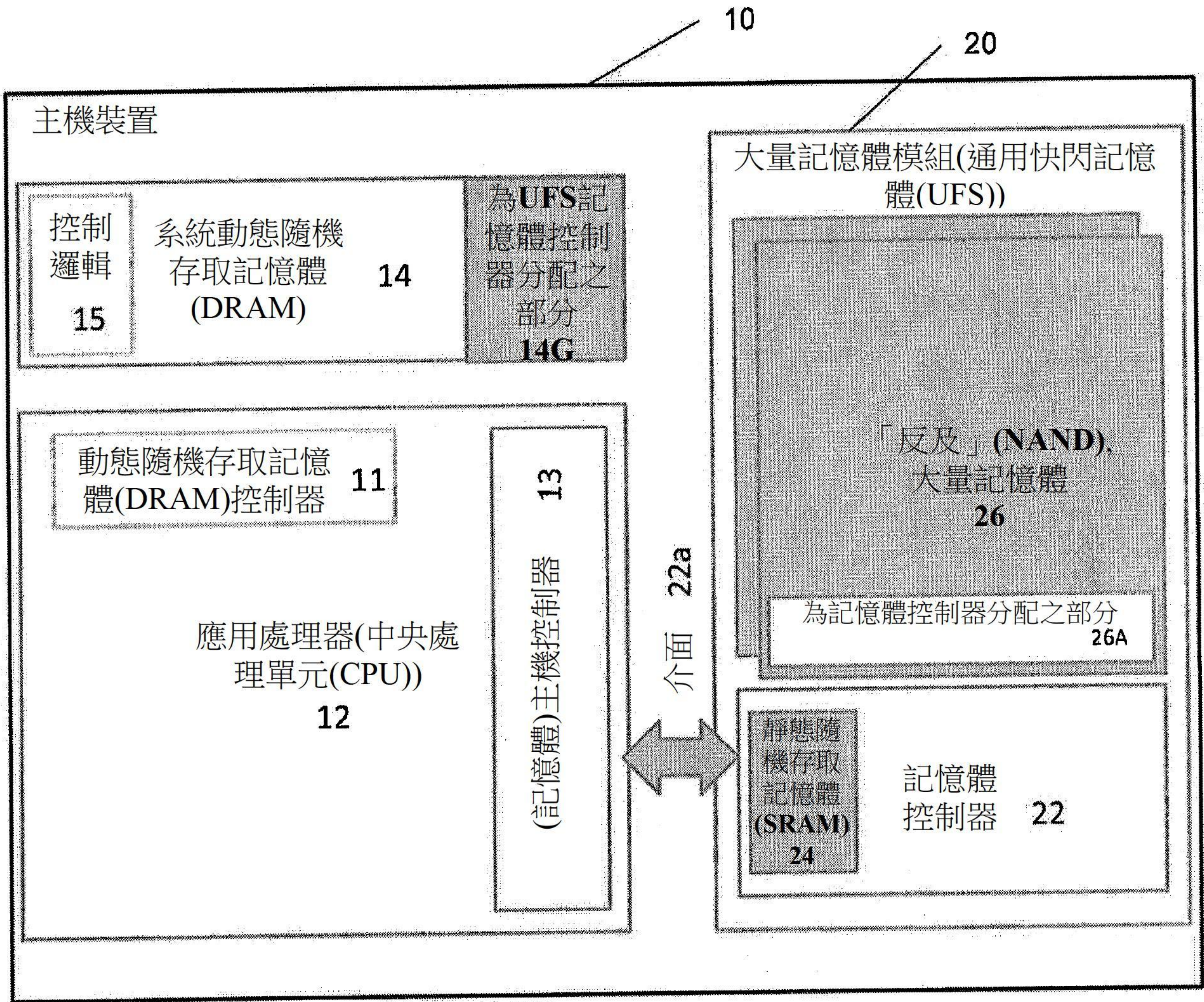


【圖2】



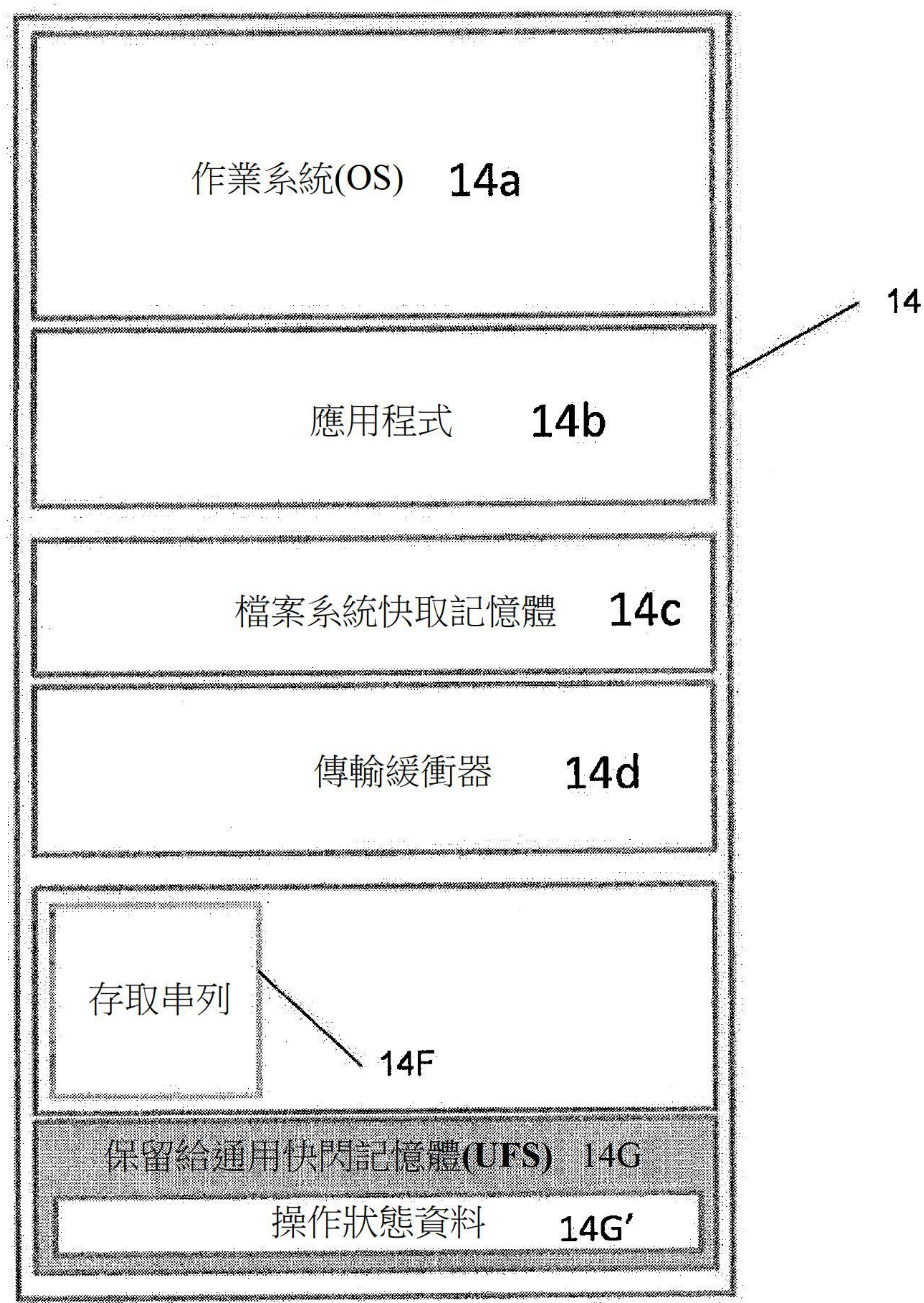


【圖4】

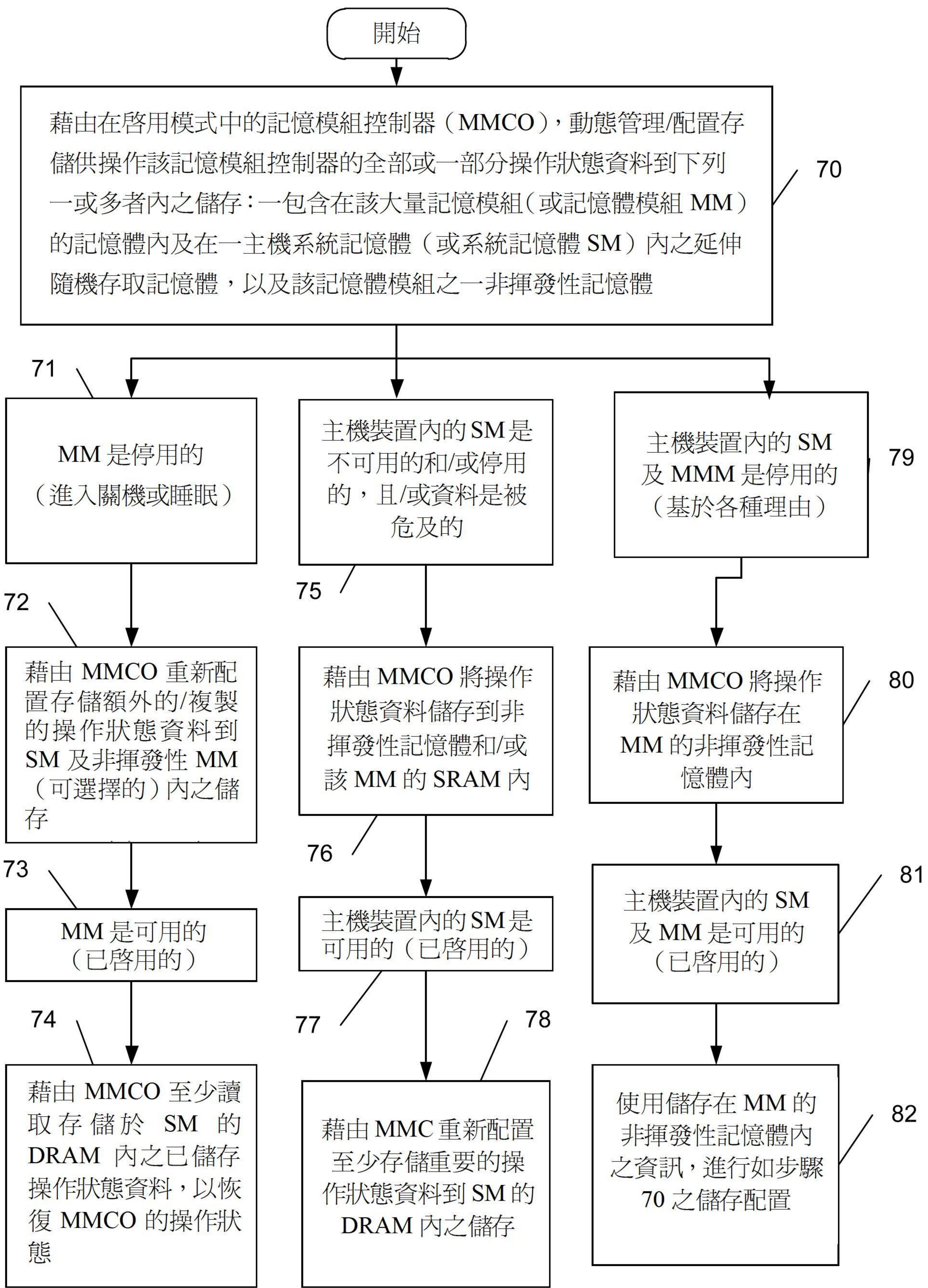


【圖5a】

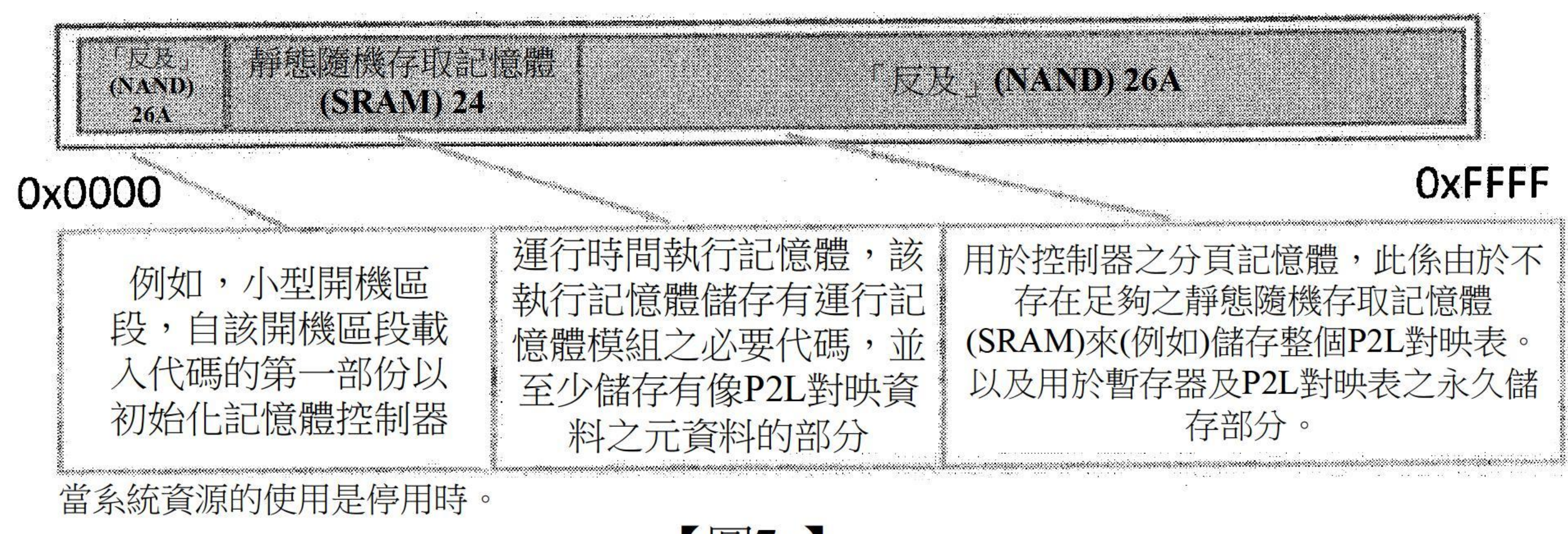
系統記憶體(例如，動態隨機存取記憶體(DRAM))



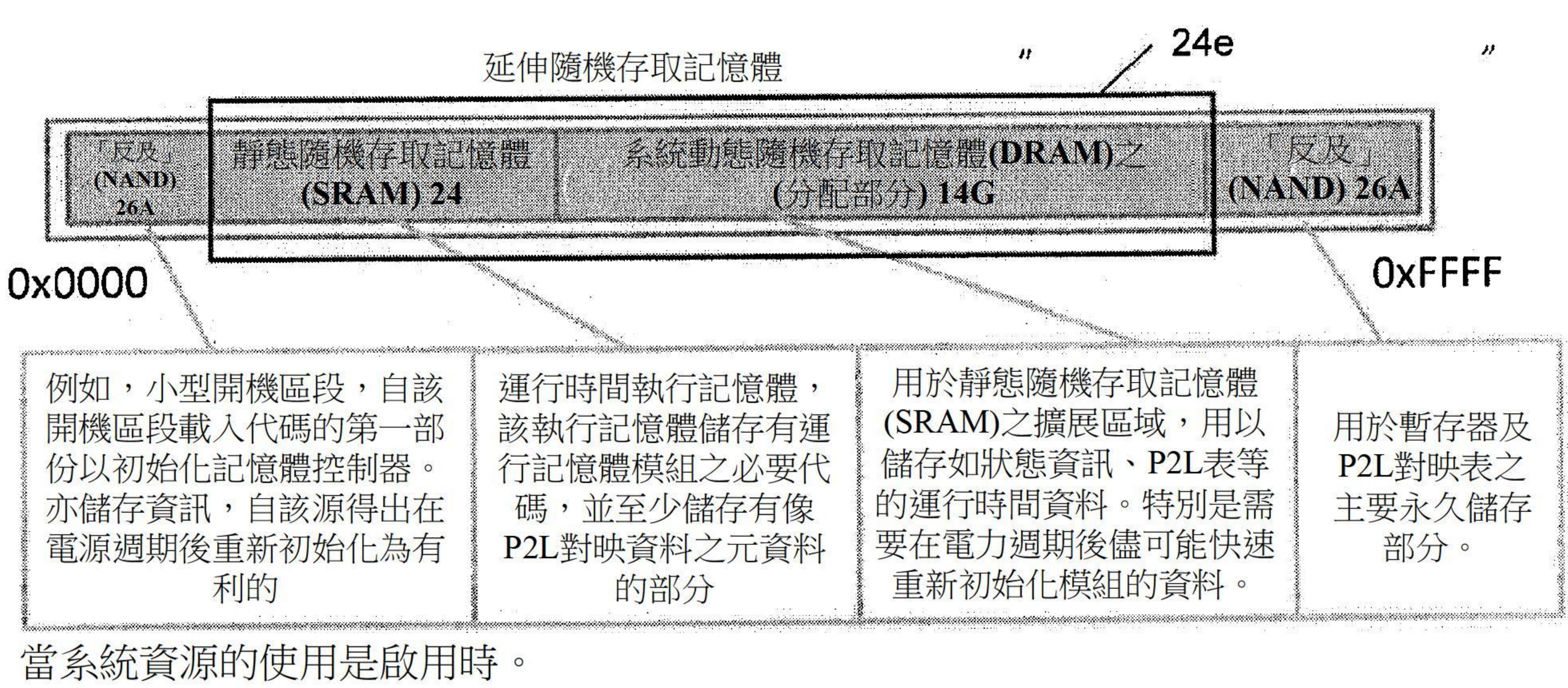
【圖5b】



【圖6】



【圖7a】

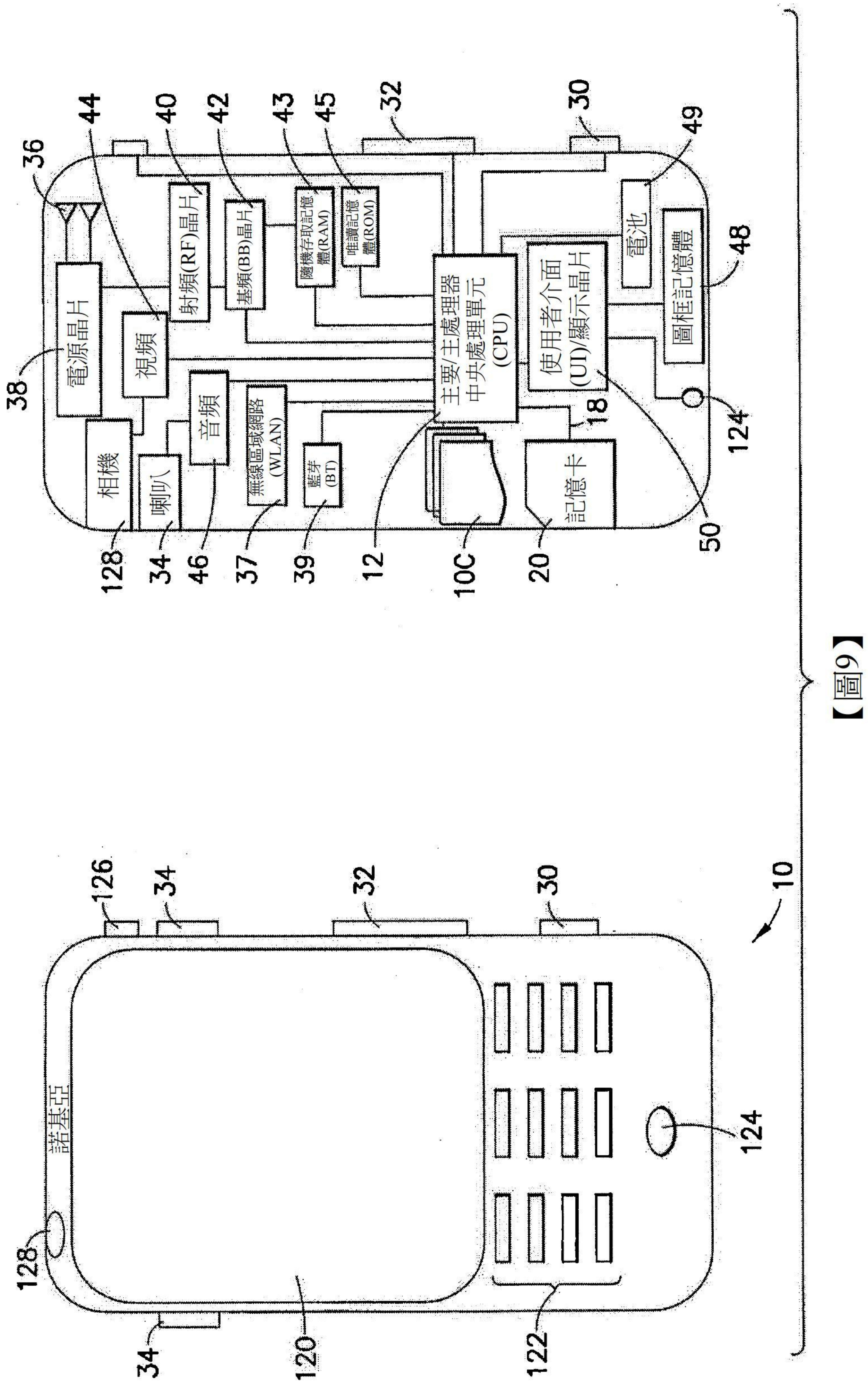


【圖7b】

來自主機裝置之指令或屬性(在目前指令中)	大量記憶體模組(20)設定	作為結果發生的操作
強迫自「反及」(NAND)(26)讀取或拒絕自系統記憶體讀取	任何	自「反及」(NAND)(26)讀取之操作狀態資料
允許自系統記憶體(14G)讀取或不關注	自「反及」(NAND)(26)讀取 自系統記憶體(14G)讀取	自「反及」(NAND)(26)讀取 自系統記憶體(14G)讀取

*註釋：若主機系統(12)知道系統記憶體(14G)內的資料已受危及，則其可強迫記憶體控制器(22)重建來自「反及」(NAND)(26)的所需資訊。

【圖8】



【圖9】