

公告

申請日期: 89. 2. 29

案號: 89103475

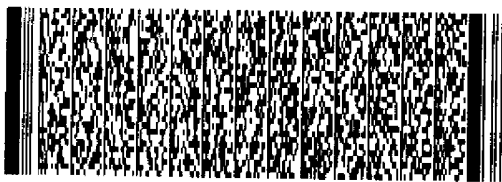
類別: H01L 2/66

(以上各欄由本局填註)

發明專利說明書

466680

| | | |
|-------------------|---|---|
| 一、發明名稱 | 中文 | 供自行對正裝置絕緣用之電容溝渠上電介質 |
| | 英文 | CAPACITOR TRENCH-TOP DIELECTRIC FOR SELF-ALIGNED DEVICE ISOLATION |
| 二、發明人 | 姓名 (中文) | 1. 拉瑪 迪瓦卡盧尼 2. 猶尼克 葛隆尼 3. 百陽 Y. 金 4. 傑克 A. 曼德爾曼 |
| | 姓名 (英文) | 1. RAMA DIVAKARUNI 2. ULRIKE GRUENING 3. BYEONG Y. KIM 4. JACK A. MANDELMAN |
| | 國籍 | 1. 美國 2. 德國 3. 南韓 4. 美國 |
| | 住、居所 | 1. 美國紐約州米朵市伯克曼大道219號 2. 美國紐約州瓦屏葛福斯市全景大道38號 3. 美國紐約州瓦屏葛福斯市西學苑街6號 4. 美國紐約州史東維爾市傑米路5號 |
| 三、申請人 | 姓名 (名稱) (中文) | 1. 美商萬國商業機器公司 2. 德商西門子公司 |
| | 姓名 (名稱) (英文) | 1. INTERNATIONAL BUSINESS MACHINES CORPORATION 2. SIEMENS AKTIENGESELLSCHAFT |
| | 國籍 | 1. 美國 2. 德國 |
| | 住、居所 (事務所) | 1. 美國紐約州阿蒙市新果園路 2. 德國慕尼黑市 |
| | 代表人 姓名 (中文) | 1. 傑拉德 羅森賽 2. (1)納特布希 (2)歐克 |
| 代表人 姓名 (英文) | 1. GERALD ROSENTHAL 2. (1)NATEBUSCH (2)OHMKE | |



申請日期：

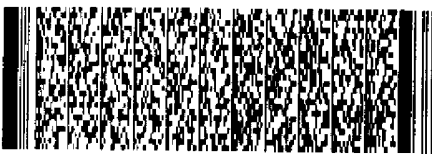
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

| | | |
|------------|--------------------|--|
| 一、 發明名稱 | 中文 | |
| | 英文 | |
| 二、 發明人 | 姓名 (中文) | 5. 賴利 尼斯比特 6. 卡羅 J. 拉丹斯 |
| | 姓名 (英文) | 5. LARRY NESBIT 6. CARL J. RADENS |
| | 國籍 | 5. 美國 6. 美國 |
| | 住、居所 | 5. 美國康乃狄克州法明頓市法恩大道24號 6. 美國紐約州拉葛蘭吉維爾市庫崔勒大道35號 |
| 三、 申請人 | 姓名 (名稱) (中文) | |
| | 姓名 (名稱) (英文) | |
| | 國籍 | |
| | 住、居所 (事務所) | |
| | 代表人 姓名 (中文) | |
| | 代表人 姓名 (英文) | |



本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

1999/03/17 09/271,124

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

相關申請案

本案係有關美國專利申請案第09/233,887號『用於埋置帶自行對正於深儲存溝渠之改良方法』，申請日1999年1月20日，其完整揭示併述於此以供參考。

發明領域

本發明係關於半導體裝置。特別本發明係關於動態隨機存取記憶體(DRAM)裝置。

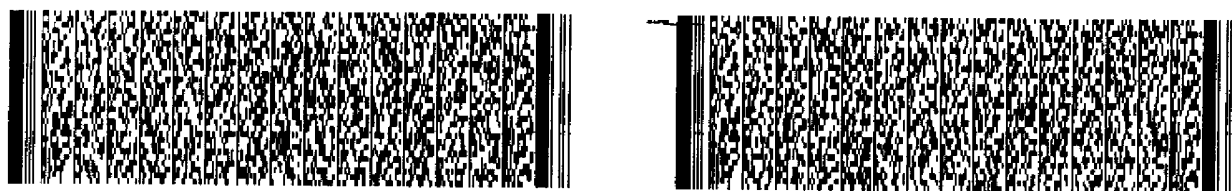
發明背景

在單一晶片上製作的半導體裝置例如個別記憶單元數目漸增。結果裝置的尺寸持續不斷縮小。裝置尺寸縮小造成包括於半導體各結構的適當功能區適當對正之困難度增高。

例如合併隔離節點溝渠(MINT)單元舉例說明於圖1。圖1舉例說明之MINT單元包括一平面移轉裝置。圖1顯示的裝置包括一深渠電容器1，一淺渠隔離區2用以界定主動區，一位元線接觸(CB)3，一字線(WL)5或移轉裝置閘極，閘極氧化物7，及N+源極/汲極區9及11。圖1之構造中，埋置帶12連結深渠電容器儲存溝渠節點1至移轉裝置的源極/汲極擴散11。MINT單元中，MINT埋置帶電阻可為記憶單元之深渠1與淺渠隔離區2重疊部之函數。

發明概述

本發明解決MINT埋置帶電阻為深渠間上方覆蓋區的函數，以及主動區上方覆蓋區使淺渠隔離圖樣自行對正於深渠因而確保完整溝渠寬度形成埋置帶。



五、發明說明(2)

根據此等及其他目的及優點，本發明提供一種半導體裝置包括一基材。至少一對深渠配置於基材。一環圈內襯於至少部分各深渠壁。溝渠含有導電性填補材料。埋置帶完整跨各區伸展於各溝渠填補物及各環圈上。一隔離區配置於深渠間。一介電區覆蓋於各深渠之各埋置帶上。

本發明之特徵方面亦係關於一種形成一主動區及淺渠隔離自行對正於一深渠之方法。該方法包括形成至少一對毗鄰的深渠於一基材，且貫穿基材表面之第一介電層。一介電環圈設置於各深渠側壁之至少部分上方。深渠經過填補。深渠填補物表面內陷。部分深渠環圈經蝕刻。帶材料沈積於深渠填補物上以及凹陷的深渠環圈內部。第二介電層沈積於帶材料、基材及第一介電層之暴露面上。結構經過平面化因而去除部分第二介電層，第二介電層僅保留於深渠。一層光阻經沈積。光阻經圖樣化而暴露出部分深渠的第二介電層及暴露第一介電層，因此至少部分光阻保持性覆蓋於深渠上方。部分介於溝渠間的第一介電層被選擇性去除。部分溝渠內部的第二介電層之部分介於溝渠間的基材被選擇性去除。第三介電層沈積於經由去除第一介電層之部分第二介電層形成空間。然後將第二介電層平面化。其餘部分第一介電層被去除。

本發明之進一步特徵方面提供一種藉前述方法形成的半導體裝置。

又有其他本發明之目的及優點對業界人士由後文細節說明將顯然易明，附圖僅顯示及說明本發明之較佳具體實施



五、發明說明 (3)

例，單純舉例說明意圖執行本發明之最佳模式。如所瞭解，本發明可有其他不同的具體實施例，其若干細節可於各顯然易見之方面做修改而未背離本發明。因此附圖及說明僅視為舉例說明性質而非限制性。

圖式之簡單說明

前述本發明之目的及優點將連同附圖一起研讀說將更為明瞭，附圖中：

圖1表示已知DRAM單元結構之範例之剖面圖；

圖2表示DRAM單元結構之具體實施例之頂視圖，說明較為滿意及較不滿意之深渠之主動區上方覆蓋層之例；

圖3表示較不滿意之深渠至主動區上方覆蓋層之剖面圖；以及

圖4-15表示根據本發明之半導體裝置之一具體實施例於根據本發明之方法之一具體實施例的各階段之剖面圖。

發明之詳細說明

隨著半導體裝置尺寸的縮小而有更大量裝置封裝在單一空間，由於裝置擁擠預計對正裝置與尺寸不但縮小裝置部分結果發生問題。例如某些記憶單元中，深渠與主動區圖樣可能未對正。如此造成的問題為埋置帶電阻為深渠-主動區上方覆蓋層的函數。因此深渠-主動區上方覆蓋層對正可能改變埋置帶電阻，由於未對正製造時的容差造成埋置帶之串聯電阻變化增加。

圖2舉例說明一半導體裝置結構部分之頂視圖，顯示複數深渠及深渠-主動區上方的覆蓋層。圖2舉例說明深渠



五、發明說明(4)

14、閘極導體16、主動區18及擴散接觸(CB)區20。圖2也舉例說明深渠-主動區上方覆蓋層之二例。深渠-主動區上方覆蓋區22舉例說明介於主動區與深渠間更為有利的上方覆蓋層量。它方面，深渠-主動區24較不滿意。

圖3舉例說明較不滿意之深渠-主動區上方覆蓋層32之一例之剖面圖。圖3舉例說明填補後的深渠26各自有關連的環圈區28。淺渠隔離區30覆蓋於深渠26上方以及深渠中間區上方。

本發明提供一種確保有利的深渠-主動區上方覆蓋層之解決之道，係經由提供一種製作主動區圖樣自行對正於深渠而確保完整深渠寬度用於形成埋置帶之方法。根據本發明之方法可用於使用一渠頂氧化物區作為淺渠隔離區的罩蓋層而形成基於MINT之深渠電容器及淺渠隔離區。根據本發明之方法也可用於形成其他半導體裝置。

根據圖4-15舉例說明之本發明之構造，可提供基材34。介電層36可提供於基材頂面上。根據一例，介電層為氮化物。特別用作介電層36之氮化物為氮化矽SiN。雖然未顯示於附圖，額外薄層介電層例如二氧化矽可含括於介電層36上。於對基材34提供介電層36設置於其頂面上後，深渠38可使用標準光刻術及乾蝕刻技術例如反應性離子蝕刻(RIE)形成貫穿層36進入基材34內部。

形成深渠38後，環圈40可形成於各深渠38部分表面42上。環圈可由介電材料例如二氧化矽形成。

環圈可藉氧化溝渠壁形成。典型地，環圈係形成於各深



五、發明說明 (5)

渠38上部，因此環圈當形成時一直向下伸展至深渠38頂上。換言之形成深渠38壁42的基材材料可被氧化形成環圈40。

於形成環圈區40後，深渠以導電材料填補。圖6舉例說明填補後深渠之一例。深渠首先使用預定材料填補。可用於填補深渠之材料之例包括各種半導體材料。例如多晶矽可用作深渠填補物。

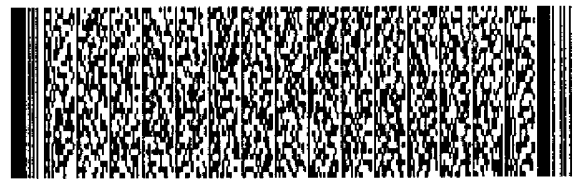
於填補深渠後，圖6舉例說明之結構上表面可被平面化而去除任何可能已經沈積於結構上表面的任何深渠填補物。然後深渠填補物可向下凹陷低於基材上方高度的深渠開口下方。凹陷可利用乾蝕刻技術如RIE進行。換言之，深渠填補物可凹陷至低於基材34與介電層36的交界面以下。圖6舉例說明凹陷的深渠填補物44。

於填補深渠且凹陷深渠填補物至預定高度後，環圈40可由深渠之暴露側壁以各項等方向蝕刻去除，使環圈頂面係低於深渠填補物頂面。環圈40的蝕刻可使用濕蝕刻法進行。圖7舉例說明凹陷的環圈結構40。

於凹陷環圈結構40後，埋置帶可於各深渠形成。根據本發明，深帶形成為完全跨深渠伸展。埋置帶可由半導體材料製成。根據一具體實施例，埋置帶可由矽形成。

任何適當技術結構用於形成埋置帶。例如可利用化學蒸氣沈積。根據一具體實施例，低壓化學氣相沈積(LP CVD)可用以形成埋置帶。

埋置帶可形成於遮蓋深渠填補物44以及環圈結構40。本



五、發明說明(6)

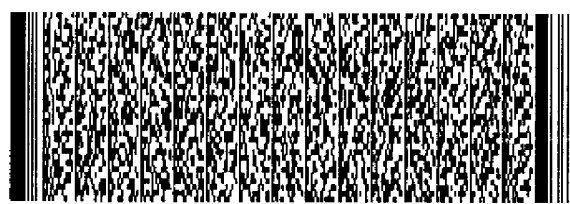
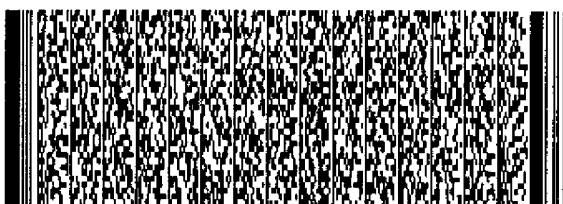
發明之一具體實施例中，於沈積埋置帶材料後，材料被形成凹陷。圖8舉例說明於帶矽以經由晶圓表面及深渠側壁被各項等方向蝕刻去除後，形成於深渠填補物44與凹陷環圖40上方之埋置帶46之一例。

形成埋置帶結構46後，襯層48可形成於介電層36上，介電層36表面內襯於高於深渠的開口，深渠壁高於帶46及帶表面(圖中未顯示)。本發明不需包括襯層。反而襯層為選擇性結構。襯層可由介電材料組成。根據一例，襯層係由厚度約2毫微米至約10毫微米之LPCVD氮化物製成。可用於襯層的特殊氮化物為氮化矽 SiN 。特別於沈積襯層前希望形成厚度約2毫微米至約10毫微米之薄層熱氧化物。

於形成襯層結構48後，介電材料50可沈積於此襯層上。若本發明未含襯層，則介電層可沈積於前述襯層沈積的相同結構上。任何適當介電材料皆可使用。根據一例，氧化物可用於形成介電層50。有用的氧化物例如二氧化矽。

圖9舉例說明包括襯層48及介電區50之結構。

於沈積介電層50後，覆蓋於介電區36上方之電介質50部分可藉平面化例如化學機械拋光(CMP)介電區50被去除。於此平面化步驟期間，若結構包括襯層，則覆蓋於介電區36頂上的襯層區也被去除。圖10舉例說明經由介電區50平面化所得的構造。如圖10可見，介電區50之其餘部分位在深渠內部以及位在深渠上方的介電區36開口內部。介電區52可於各深渠頂上形成溝渠頂區。於介電材料50為氧化物時，介電區52可稱做渠頂氧化物(TTO)。



五、發明說明 (7)

於去除部分介電區50而形成渠頂區52後，光阻層54可沈積於結構之全體上表面上。於沈積光阻層後，光阻層可被圖樣化形成一主動區及一淺渠隔離圖樣於結構上。圖11舉例說明結構上圖樣化光阻層54之一例。圖11舉例說明之光阻層已經被圖樣化而暴露出部分渠頂區52以及深渠間電介質36之一區。傳統光刻式方法可用來圖樣化光阻層形成罩蓋層。

於深渠及其他下方結構上方形成預定的光罩圖樣54後，藉由去除部分光阻層暴露出的結構區可被蝕刻。典型利用反應性離子術。蝕刻包括氟、碳及氧進給氣體。氣體範例包括 CF_4 、 CHF_3 、Ar、 O_2 、CO、 C_2F_6 、 C_4F_6 及/或 C_3F_8 。

蝕刻過程可以多步驟式進行。例如第一蝕刻可用於僅蝕刻部分介電區36而非部分介電層52。此種蝕刻可被視為選擇性蝕刻介電層36而非介電層52。至少部分介電層36之基材下方區可藉蝕刻去除。此種蝕刻也可視為光阻層及選擇性蝕刻。圖12舉例說明毗鄰由蝕刻形成的深渠之一區56。

現在所得結構被視為表示由線58分割的半導體裝置部分。此等部分為陣列60及支持結構62，蝕刻形成區56表示部分支持結構。支持結構包括習知電晶體及淺渠隔離區。

現在進行第二蝕刻來蝕刻矽基材。第二蝕刻對渠頂結構52之暴露部分具有選擇性。如圖13舉例說明，基材可被向下蝕刻。位於帶結構46下方高度以及環圈區40頂之下方高度。深渠間區以及支持結構開口56可被蝕刻至相同高度。另外二區可被蝕刻至不同高度。如圖13舉例說明，於基材



五、發明說明 (8)

之蝕刻過程中，至少部分渠頂區52也被蝕刻。第二蝕刻可被視為對介電層52以及光阻層54具有選擇性的矽蝕刻，且可使用例如 Cl_2 、 HCl 、 HBr 及/或 BCl_3 等進給氣體做乾蝕刻。

於蝕刻介電區36後，基材、及渠頂區52、剩餘光阻層54可由結構頂面被去除。又於蝕刻介電層36、基材及渠頂區後，材料可沈積於區64。區64可形成深渠間的隔離區典型為淺隔離區。填補隔離區64的材料也可用來填補支持深渠56。區56及64可同時填補。

沈積於區64之材料可為介電材料。根據一例，沈積於區64之介電材料為氧化物如氧化矽。介電材料形成淺渠隔離區。於沈積電介質而形成區64後的結構上表面可被平面化而去除位在形成隔離區空間外側的介電材料區。平面化也可使用化學機械拋光CMP進行。

於填補隔離區64後，介電區36可由基材上表面去除。平面化填補隔離區64的介電材料也可去除部分渠頂區52及介電區36。其中平面化步驟可用於獲得渠頂區52與隔離區64的頂面共面。平面化步驟也可輔助使支持結構56頂部與渠頂區52及隔離區64共面。圖14舉例說明於製程之此階段之裝置結構的具體實施例。

於形成圖14實施結構後，電晶體及其他裝置可形成於至少一深渠及於支持結構上。形成於圖15於說明之結構上方的裝置來開極導體區。內視區中間包括擴散區的接觸以及開極導體的接觸以及互連布線之第一階典型稱做金屬



五、發明說明 (9)

0(M0)，也可使用標準處理技術形成於深渠頂上及/或支持結構頂上。

根據一特殊具體實施例，本發明也提供一種於淺渠隔離區形成一主動區自行對正於一深渠之方法。該方法包括一基材具有一氮化物層於表面上。至少一對毗鄰深渠形成貫穿氮化物及形成於基材。

氧化物環圈設置於各溝渠之至少部分側壁上。溝渠以多晶矽填補。溝渠填補物表面凹陷。部分溝渠環圈經蝕刻。氧化物材料沈積於溝渠填補物上以及凹陷的溝渠環圈上。一襯層可沈積於帶材料、基材以及基材上的氮化物層之暴露面上。氧化物層係沈積於襯層上或若本發明未含襯層則沈積於襯層所沈積的該種結構上。整個結構被平面化而去除部分襯層上的氧化物層及部分襯層，因此氧化物層僅剩餘於溝渠內。若結構未包含襯層，則將僅去除部分氧化物層。

光阻層沈積於結構上。光阻層被圖樣化而暴露部分溝渠內的氧化物沈積基材上氮化物層，因此至少部分光阻劑保持疊置於深渠上。部分基材深渠間的氮化物層被選擇性去除。部分溝渠內的氧化物層及部分溝渠間的基材被選擇性去除。氧化物係沈積於藉由去除基材上溝渠間的氮化物層形成的空間以及沈積於部分溝渠內氧化物層。然後氧化物經平面化。基材表面上氮化物被去除。電晶體裝置形成於至少一深渠上。

本發明也包括一種經由前述方法形成半導體裝置。根據



五、發明說明 (10)

本發明之半導體裝置可根據前述方法形成。另外其他方法可用於形成根據本發明之半導體裝置。

根據本發明之半導體裝置包括基材。至少一對深渠配置於基材。深渠如前述可為平行或實質上平行。溝渠填補物可配置於深渠內。隔離區可配置於溝渠間。

本發明包括一對深渠。各對深渠說明如前。埋置板結構可關連各個深渠設置於各基材。

環圈區內襯於至少部分各深渠側壁。環圈可配置於各深渠內於各深渠上部附近。環圈可由介電材料製成。介電材料可為氧化物。有用的介電材料例如二氧化矽 SiO_2 。

埋置帶完全伸展跨各深渠於各深渠填補物及各環圈上方。介電區可疊置於各深渠之各埋置帶上方。襯層可配置於各帶於各介電區間。

電晶體裝置及互聯結構可形成於至少一深渠上方。

支持結構可形成於基材內於深渠遠端。支持結構隔離溝渠可以介電材料填補。介電材料可為氧化物。有用的氧化物例如二氧化矽 SiO_2 。

陣列區顯示為區60，支持結構顯示為圖15之區61。構成根據本發明之半導體裝置之各區之材料可如前文就關連本發明之方法所示。

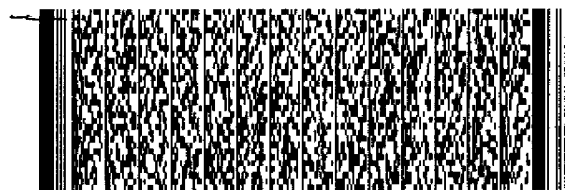
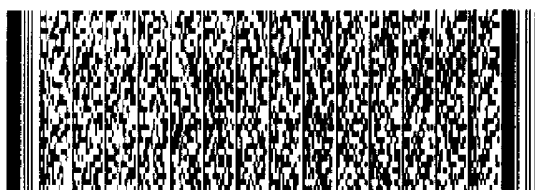
本發明之優點包括無須仰賴AA圖樣高度於深渠圖樣高度的臨界對正。只要部分AA圖樣疊置於深渠上即可，如此獲得一帶。此外根據本發明，由於AA皆與深渠階間臨界疊置容差加大，故深渠直徑可製作的更小。



五、發明說明(11)

根據本發明，比較根據先前方法及結構可容許更大量未對正，原因在於主動區光阻層圖樣僅需覆蓋深渠的渠頂結構邊緣，俾確保有一良好導通路徑由主動區通過帶進入電容器內部。根據本發明不似圖2及3舉例說明之具體實施例，淺渠隔離僅位於背對背溝渠間，如此無法如同DRAM單元切割成帶寬度，如圖2及3舉例說明。此外本發明有助於藉由合併主動區與深渠圖樣消弭埋置帶電阻對主動區-深渠上方的覆蓋層的敏感度。

前文本發明之說明舉例說明本發明。此外，該揭示內容僅顯示及說明本發明之較佳具體實施例，但如前述需瞭解本發明可用於多種其他組合、修改及環境，且可始於前文教示以及先前技術的已知技巧及知識對此處表示之本發明之構想範圍做出變化及修改。前述具體實施例進一步意圖說明實施本發明之最佳已知模式，且使其他業界人士可將本發明利用於此種及其他本發明之特殊應用及優點要求的具體實施例及多種修改。如此前文說明決非異圖圍限本發明於此處揭示之內容。反而意圖隨附之申請專利範圍視為包括具體實施例。

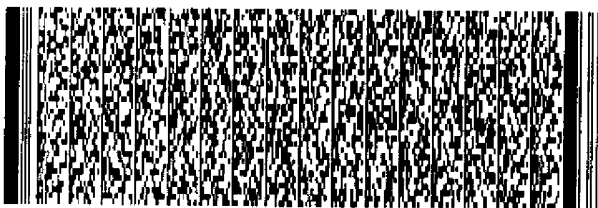


四、中文發明摘要 (發明之名稱：供自行對正裝置絕緣用之電容溝渠上電介質)

一種半導體裝置包括一基材。至少一對深溝渠配置於基材內。一環圈內襯至少部分各深渠壁。深渠填補物填滿各深渠。埋置帶完全跨各深渠於各深渠填補物及各環圈上伸展。隔離區配置於深渠之間。介電區覆蓋於各深渠之埋置帶上。

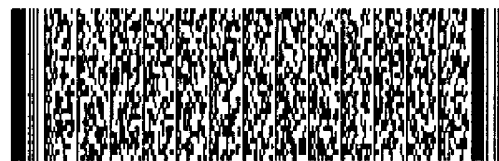
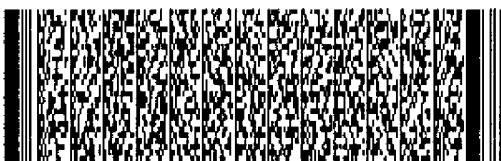
英文發明摘要 (發明之名稱：CAPACITOR TRENCH-TOP DIELECTRIC FOR SELF-ALIGNED DEVICE ISOLATION)

A semiconductor device including a substrate. At least one pair of deep trenches is arranged in the substrate. A collar lines at least a portion of a wall of each deep trench. A deep trench fill fills each deep trench. A buried strap extends completely across each deep trench over each deep trench fill and each collar. An isolation region is arranged between the deep trenches. A dielectric region overlies each buried strap in each deep trench.



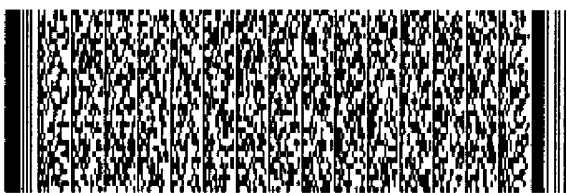
六、申請專利範圍

1. 一種半導體裝置，包含：
 - 一基材；
 - 至少一對深渠於基材；
 - 一環圈，其內襯於至少部分各深渠壁；
 - 一深渠填補物，置於各深渠中；
 - 一埋置帶，其完全伸展跨各深渠於各深渠填補物及各環圈上；
 - 一隔離區，介於深渠間；以及
 - 一介電區，置於各深渠疊且置於各埋設帶上方。
2. 如申請專利範圍第1項之半導體裝置，其中一於各溝渠上方之主動區以及成對溝渠間的隔離區係自行對正於深渠。
3. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 電晶體裝置，其形成於各深渠上方。
4. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 多對深渠，各自具有一環圈、一溝渠填補物、一埋置帶、及一介電區及一隔離區介於各對溝渠間。
5. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 一襯層，其介於各帶與各介電區間。
6. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 一支持結構，其於該基材中，支持結構包括一隔離溝渠與基材於該對深渠附近，支持結構溝渠經過填補。
7. 如申請專利範圍第6項之半導體裝置，其中支持結構隔離溝渠係以二氧化矽填補。



六、申請專利範圍

8. 如申請專利範圍第6項之半導體裝置，進一步包含：
電晶體裝置形成於部分支持結構溝渠上。
9. 如申請專利範圍第1項之半導體裝置，進一步包含：
一埋置板結構關連各對深渠。
10. 如申請專利範圍第1項之半導體裝置，其中環圈係設置於各深渠上部附近且係由介電材料製成。
11. 如申請專利範圍第1項之半導體裝置，其中環圈係由二氧化矽組成。
12. 如申請專利範圍第1項之半導體裝置，其中溝渠係以多晶矽填補。
13. 如申請專利範圍第1項之半導體裝置，其中該等帶係由多晶矽製成。
14. 如申請專利範圍第1項之半導體裝置，其中襯層係由介電材料製成。
15. 如申請專利範圍第14項之半導體裝置，其中襯層係由氮化矽製成。
16. 如申請專利範圍第1項之半導體裝置，其中隔離區為淺渠隔離區。
17. 如申請專利範圍第14項之半導體裝置，其中隔離區係以二氧化矽填補。
18. 如申請專利範圍第1項之半導體裝置，其中介電區為氧化物。
19. 如申請專利範圍第1項之半導體裝置，其中深渠為平行或實質上平行。



六、申請專利範圍

20. 如申請專利範圍第1項之半導體裝置，其中半導體裝置為DRAM。

21. 一種形成一主動區及淺渠隔離區自行對正於一深渠之方法，該方法包含：

形成至少一對毗鄰深渠於一基材且貫穿一於基材一面上的第一介電層；

提供一介電環圈於各深渠側壁之至少部分上；

填補深渠；

於渠填補物頂面製造凹陷；

蝕刻部分溝渠環圈；

沈積一帶材料於溝渠填補物上且於凹陷的溝渠環圈內部；

沈積一種第二介電層於該帶材料、基材及第一介電層之暴露面上；

平面化該結構，藉此去除部分第二介電層，因而僅第二介電層殘留於深渠內部；

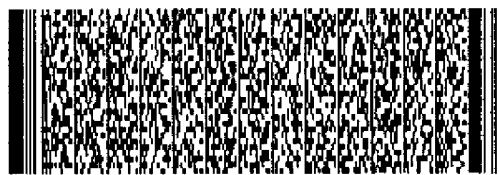
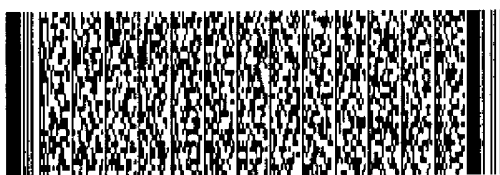
沈積一層抗光蝕層；

圖樣化抗光蝕層而暴露出部分深渠內的第二介電層及部分第一介電層，因此至少部分抗光蝕層保持疊置於深渠上；

選擇性去除部分介於溝渠間的第一介電層；

選擇性去除部分介於溝渠間的基材；

沈積及平面化一層第三介電層於下列空間，該空間係經由去除部分第一介電層及部分第二介電層形成；以及



六、申請專利範圍

去除其餘部分第一介電層。

22. 如申請專利範圍第21項之方法，進一步包含下述步驟：

形成一埋置板於基材關連該對深渠。

23. 如申請專利範圍第21項之方法，進一步包含下述步驟：

形成電晶體裝置於至少一深渠上方。

24. 如申請專利範圍第21項之方法，其中利用濕蝕刻方法蝕刻環圈頂面。

25. 如申請專利範圍第21項之方法，其中利用低壓化學氣相沈積而形成環圈。

26. 如申請專利範圍第21項之方法，進一步包含：

沈積一襯層於該帶材料、基材、及第一介電層之暴露面上，其中第二介電層係沈積於襯層上，以及部分襯層及第二介電層係於平面化過程中被去除。

27. 一種半導體裝置，包含：

於一基材且貫穿一於基材一面上第一介電層之至少一對毗鄰深渠；

一第一介電環圈，其內襯於至少各深渠壁之一部分；

一深渠填補物，置於各深渠中，其中深渠填補物之頂面係凹陷；

一埋置帶材料，於深渠填補物上且伸跨於蝕刻及凹陷之深渠環圈；

於埋置帶材料、基材及第一介電層之曝露面上之一第二



六、申請專利範圍

介電層，該結構被平面化藉此去除第二介電層而僅殘留部分於深渠內部；

一具圖樣化層之抗光蝕層，其曝露部分深渠內之第二介電層及部分第一介電層，因此至少部分抗光蝕層保持疊置於深渠上，該結構係選擇性去除部分介於深渠間之第一介電層，且選擇性去除部分介於深渠間之基材；以及

一第三介電層，位於第一介電層之去除部分及部分第二介電層，以及經去除之第一介電層之殘留部分所形成之空間內。

28. 一種形成一主動區及淺渠隔離區自行對正於一深渠之方法，該方法包含：

提供一具有一層氮化物層於一面上之基材；

形成至少一對毗鄰深渠貫穿氮化物層及基材；

提供一氧化物環圈至少部分各溝渠之側壁上；

填補溝渠；

於溝渠填補物之頂面上製作凹陷；

蝕刻部分溝渠環圈；

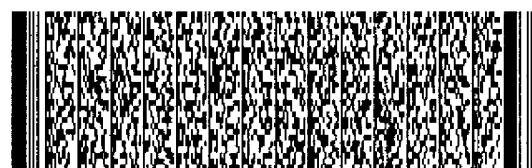
沈積一帶材料於溝渠填補物上以及凹陷的溝渠環圈上；

沈積一氧化物層於帶材料、基材以及基材上的氮化物之暴露面上；

平面化該結構而去除部分氧化物層，因此氧化物層僅殘留於溝渠；

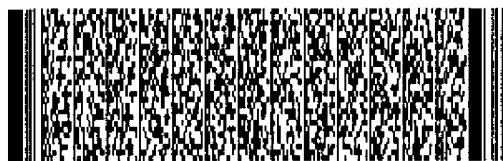
沈積光抗蝕層於結構上；

圖樣化抗光蝕層而暴露部分溝渠內的氧化物層及基材上



六、申請專利範圍

的氮化物層，使至少部分抗光蝕層殘留疊置於深渠上；
選擇性去除部分基材上介於溝渠間的氮化物層；
選擇性去除部分介於溝渠間的基材；
沈積及平面化氧化物於經由去除基材上溝渠間的氮化物層形成的空間以及於部分溝渠內氧化物層；
去除殘留於基材表面上的氮化物；以及
形成電晶體裝置於深渠之一上。



圖式

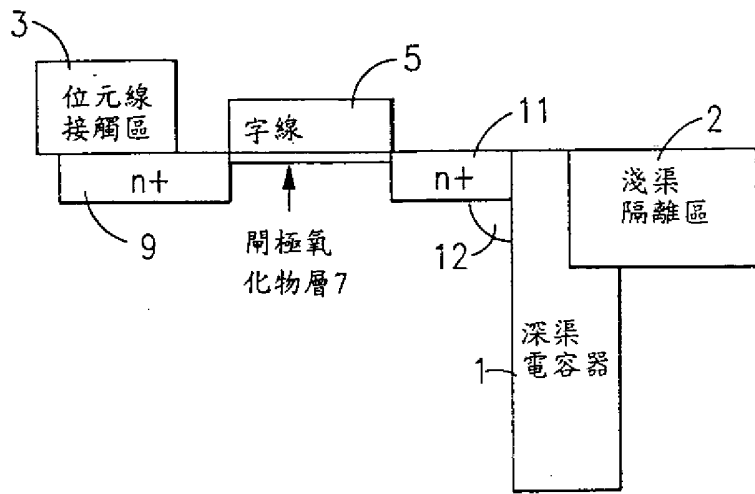


圖 1

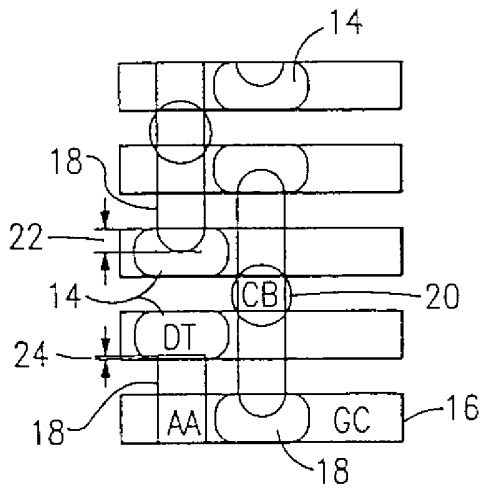


圖 2

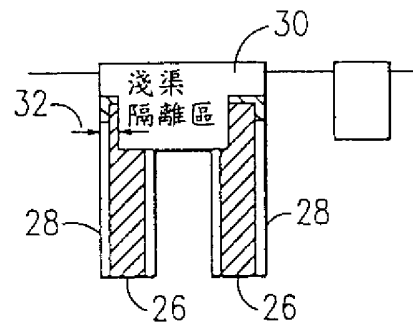


圖 3

圖式

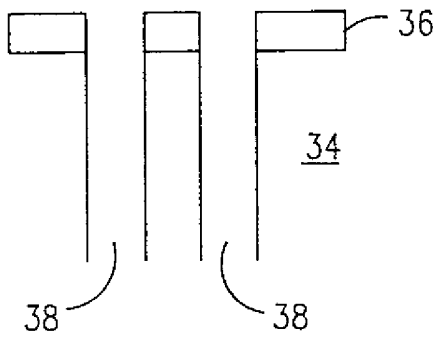


圖 4

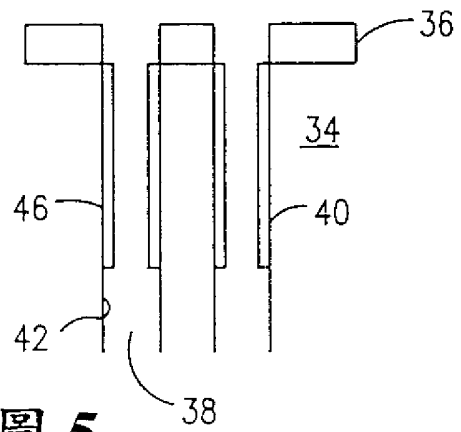


圖 5

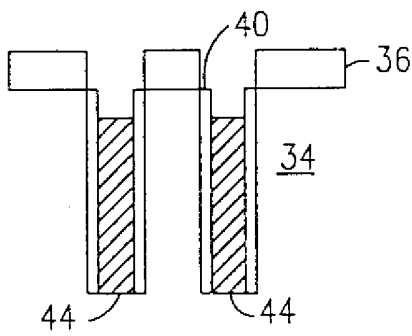


圖 6

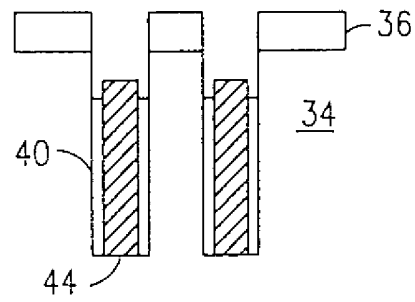


圖 7

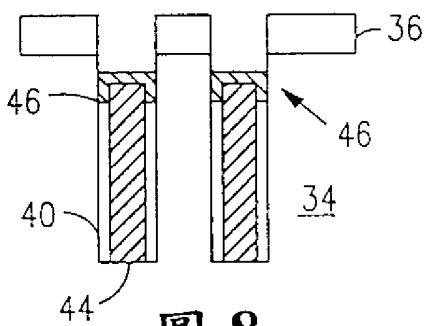


圖 8

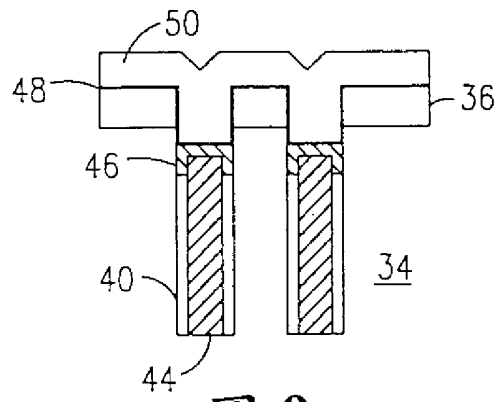


圖 9

圖式

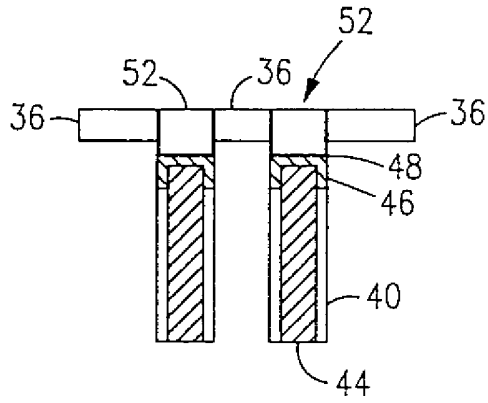


圖 10

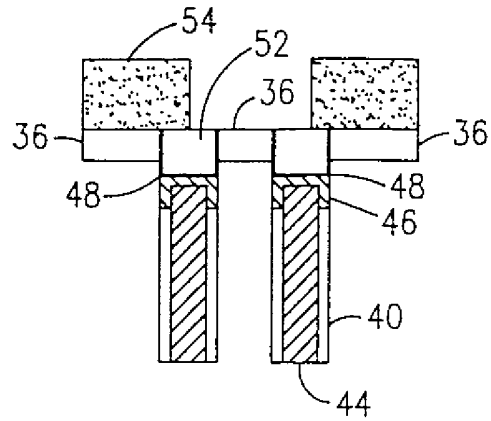


圖 11

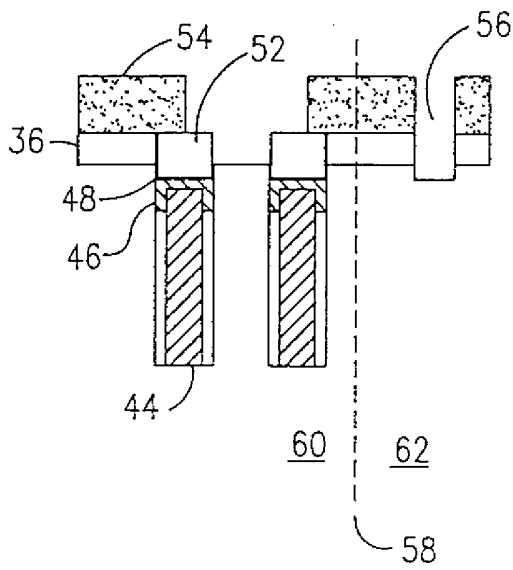


圖 12

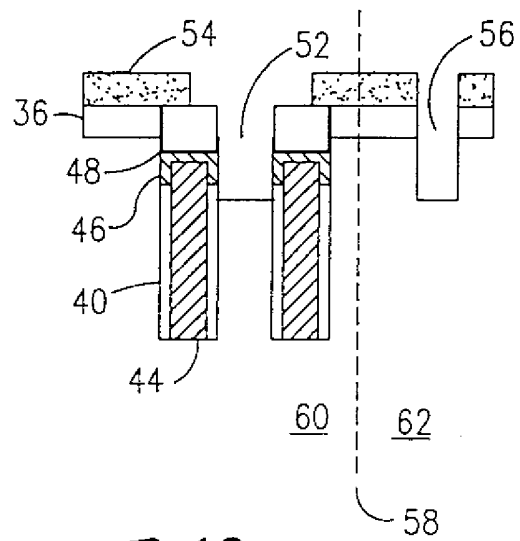


圖 13

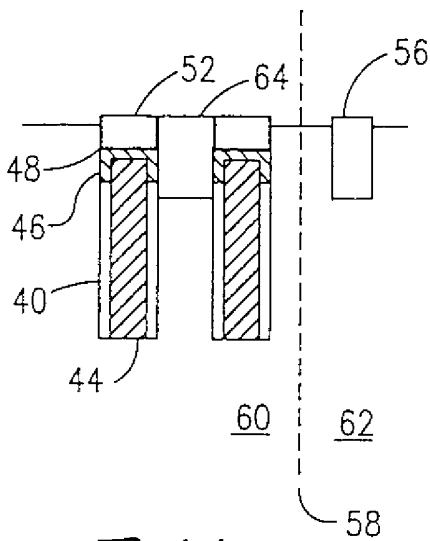


圖 14

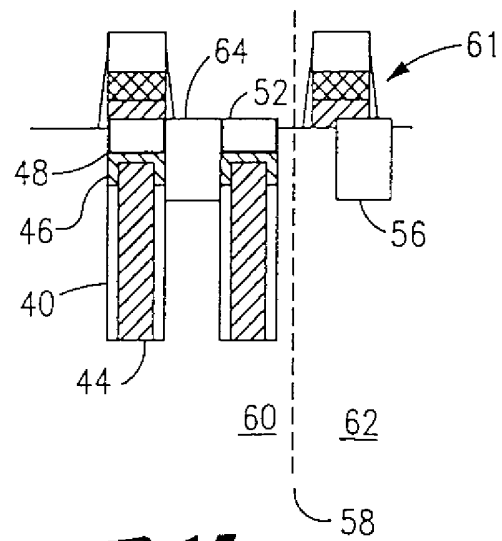


圖 15

五、發明說明 (5)

渠38上部，因此環圈當形成時一直向下伸展至深渠38頂上。換言之形成深渠38壁42的基材材料可被氧化形成環圈40。

於形成環圈區40後，深渠以導電材料填補。圖6舉例說明填補後深渠之一例。深渠首先使用預定材料填補。可用於填補深渠之材料之例包括各種半導體材料。例如多晶矽可用作深渠填補物。

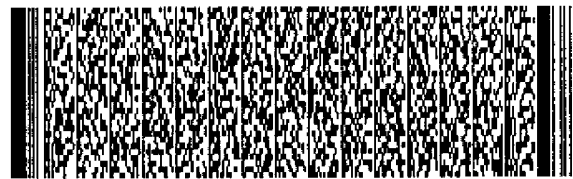
於填補深渠後，圖6舉例說明之結構上表面可被平面化而去除任何可能已經沈積於結構上表面的任何深渠填補物。然後深渠填補物可向下凹陷低於基材上方高度的深渠開口下方。凹陷可利用乾蝕刻技術如RIE進行。換言之，深渠填補物可凹陷至低於基材34與介電層36的交界面以下。圖6舉例說明凹陷的深渠填補物44。

於填補深渠且凹陷深渠填補物至預定高度後，環圈40可由深渠之暴露側壁以各項等方向蝕刻去除，使環圈頂面係低於深渠填補物頂面。環圈40的蝕刻可使用濕蝕刻法進行。圖7舉例說明凹陷的環圈結構40。

於凹陷環圈結構40後，埋置帶可於各深渠形成。根據本發明，深帶形成為完全跨深渠伸展。埋置帶可由半導體材料製成。根據一具體實施例，埋置帶可由矽形成。

任何適當技術結構用於形成埋置帶。例如可利用化學蒸氣沈積。根據一具體實施例，低壓化學氣相沈積(LP CVD)可用以形成埋置帶。

埋置帶可形成於遮蓋深渠填補物44以及環圈結構40。本



五、發明說明(6)

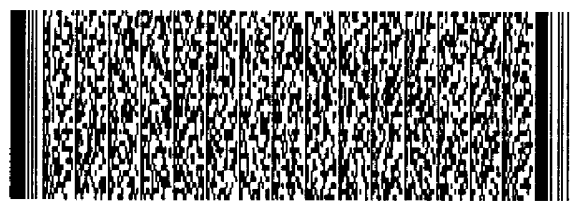
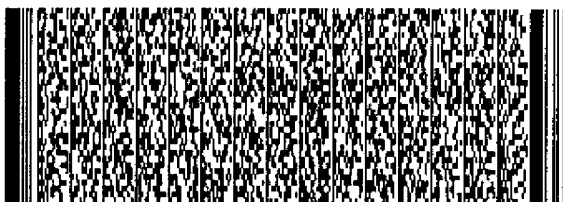
發明之一具體實施例中，於沈積埋置帶材料後，材料被形成凹陷。圖8舉例說明於帶矽以經由晶圓表面及深渠側壁被各項等方向蝕刻去除後，形成於深渠填補物44與凹陷環圖40上方之埋置帶46之一例。

形成埋置帶結構46後，襯層48可形成於介電層36上，介電層36表面內襯於高於深渠的開口，深渠壁高於帶46及帶表面(圖中未顯示)。本發明不需包括襯層。反而襯層為選擇性結構。襯層可由介電材料組成。根據一例，襯層係由厚度約2毫微米至約10毫微米之LPCVD氮化物製成。可用於襯層的特殊氮化物為氮化矽 SiN 。特別於沈積襯層前希望形成厚度約2毫微米至約10毫微米之薄層熱氧化物。

於形成襯層結構48後，介電材料50可沈積於此襯層上。若本發明未含襯層，則介電層可沈積於前述襯層沈積的相同結構上。任何適當介電材料皆可使用。根據一例，氧化物可用於形成介電層50。有用的氧化物例如二氧化矽。

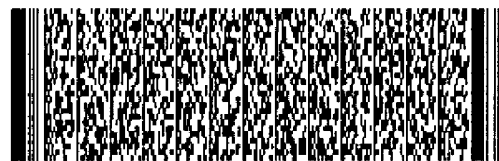
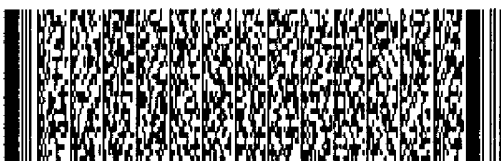
圖9舉例說明包括襯層48及介電區50之結構。

於沈積介電層50後，覆蓋於介電區36上方之電介質50部分可藉平面化例如化學機械拋光(CMP)介電區50被去除。於此平面化步驟期間，若結構包括襯層，則覆蓋於介電區36頂上的襯層區也被去除。圖10舉例說明經由介電區50平面化所得的構造。如圖10可見，介電區50之其餘部分位在深渠內部以及位在深渠上方的介電區36開口內部。介電區52可於各深渠頂上形成溝渠頂區。於介電材料50為氧化物時，介電區52可稱做渠頂氧化物(TTO)。



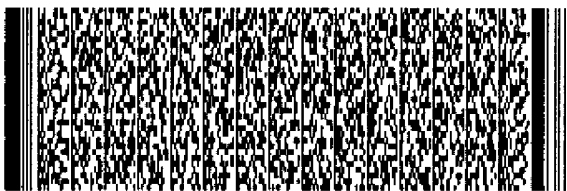
六、申請專利範圍

1. 一種半導體裝置，包含：
 - 一基材；
 - 至少一對深渠於基材；
 - 一環圈，其內襯於至少部分各深渠壁；
 - 一深渠填補物，置於各深渠中；
 - 一埋置帶，其完全伸展跨各深渠於各深渠填補物及各環圈上；
 - 一隔離區，介於深渠間；以及
 - 一介電區，置於各深渠疊且置於各埋設帶上方。
2. 如申請專利範圍第1項之半導體裝置，其中一於各溝渠上方之主動區以及成對溝渠間的隔離區係自行對正於深渠。
3. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 電晶體裝置，其形成於各深渠上方。
4. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 多對深渠，各自具有一環圈、一溝渠填補物、一埋置帶、及一介電區及一隔離區介於各對溝渠間。
5. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 一襯層，其介於各帶與各介電區間。
6. 如申請專利範圍第1項之半導體裝置，進一步包含：
 - 一支持結構，其於該基材中，支持結構包括一隔離溝渠與基材於該對深渠附近，支持結構溝渠經過填補。
7. 如申請專利範圍第6項之半導體裝置，其中支持結構隔離溝渠係以二氧化矽填補。



六、申請專利範圍

8. 如申請專利範圍第6項之半導體裝置，進一步包含：電晶體裝置形成於部分支持結構溝渠上。
9. 如申請專利範圍第1項之半導體裝置，進一步包含：一埋置板結構關連各對深渠。
10. 如申請專利範圍第1項之半導體裝置，其中環圈係設置於各深渠上部附近且係由介電材料製成。
11. 如申請專利範圍第1項之半導體裝置，其中環圈係由二氧化矽組成。
12. 如申請專利範圍第1項之半導體裝置，其中溝渠係以多晶矽填補。
13. 如申請專利範圍第1項之半導體裝置，其中該等帶係由多晶矽製成。
14. 如申請專利範圍第1項之半導體裝置，其中襯層係由介電材料製成。
15. 如申請專利範圍第14項之半導體裝置，其中襯層係由氮化矽製成。
16. 如申請專利範圍第1項之半導體裝置，其中隔離區為淺渠隔離區。
17. 如申請專利範圍第14項之半導體裝置，其中隔離區係以二氧化矽填補。
18. 如申請專利範圍第1項之半導體裝置，其中介電區為氧化物。
19. 如申請專利範圍第1項之半導體裝置，其中深渠為平行或實質上平行。



六、申請專利範圍

20. 如申請專利範圍第1項之半導體裝置，其中半導體裝置為DRAM。

21. 一種形成一主動區及淺渠隔離區自行對正於一深渠之方法，該方法包含：

形成至少一對毗鄰深渠於一基材且貫穿一於基材一面上的第一介電層；

提供一介電環圈於各深渠側壁之至少部分上；

填補深渠；

於渠填補物頂面製造凹陷；

蝕刻部分溝渠環圈；

沈積一帶材料於溝渠填補物上且於凹陷的溝渠環圈內部；

沈積一種第二介電層於該帶材料、基材及第一介電層之暴露面上；

平面化該結構，藉此去除部分第二介電層，因而僅第二介電層殘留於深渠內部；

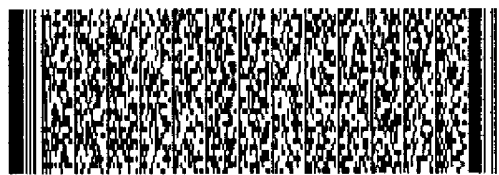
沈積一層抗光蝕層；

圖樣化抗光蝕層而暴露出部分深渠內的第二介電層及部分第一介電層，因此至少部分抗光蝕層保持疊置於深渠上；

選擇性去除部分介於溝渠間的第一介電層；

選擇性去除部分介於溝渠間的基材；

沈積及平面化一層第三介電層於下列空間，該空間係經由去除部分第一介電層及部分第二介電層形成；以及



六、申請專利範圍

去除其餘部分第一介電層。

22. 如申請專利範圍第21項之方法，進一步包含下述步驟：

形成一埋置板於基材關連該對深渠。

23. 如申請專利範圍第21項之方法，進一步包含下述步驟：

形成電晶體裝置於至少一深渠上方。

24. 如申請專利範圍第21項之方法，其中利用濕蝕刻方法蝕刻環圈頂面。

25. 如申請專利範圍第21項之方法，其中利用低壓化學氣相沈積而形成環圈。

26. 如申請專利範圍第21項之方法，進一步包含：

沈積一襯層於該帶材料、基材、及第一介電層之暴露面上，其中第二介電層係沈積於襯層上，以及部分襯層及第二介電層係於平面化過程中被去除。

27. 一種半導體裝置，包含：

於一基材且貫穿一於基材一面上第一介電層之至少一對毗鄰深渠；

一第一介電環圈，其內襯於至少各深渠壁之一部分；

一深渠填補物，置於各深渠中，其中深渠填補物之頂面係凹陷；

一埋置帶材料，於深渠填補物上且伸跨於蝕刻及凹陷之深渠環圈；

於埋置帶材料、基材及第一介電層之曝露面上之一第二



六、申請專利範圍

介電層，該結構被平面化藉此去除第二介電層而僅殘留部分於深渠內部；

一具圖樣化層之抗光蝕層，其曝露部分深渠內之第二介電層及部分第一介電層，因此至少部分抗光蝕層保持疊置於深渠上，該結構係選擇性去除部分介於深渠間之第一介電層，且選擇性去除部分介於深渠間之基材；以及第一第三介電層，位於第一介電層之去除部分及部分第二介電層，以及經去除之第一介電層之殘留部分所形成之空間內。

28. 一種形成一主動區及淺渠隔離區自行對正於一深渠之方法，該方法包含：

提供一具有一層氮化物層於一面上之基材；

形成至少一對毗鄰深渠貫穿氮化物層及基材；

提供一氧化物環圈至少部分各溝渠之側壁上；

填補溝渠；

於溝渠填補物之頂面上製作凹陷；

蝕刻部分溝渠環圈；

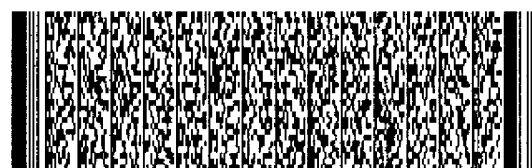
沈積一帶材料於溝渠填補物上以及凹陷的溝渠環圈上；

沈積一氧化物層於帶材料、基材以及基材上的氮化物之暴露面上；

平面化該結構而去除部分氧化物層，因此氧化物層僅殘留於溝渠；

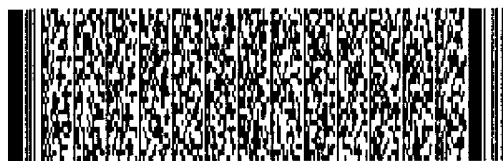
沈積光抗蝕層於結構上；

圖樣化抗光蝕層而暴露部分溝渠內的氧化物層及基材上



六、申請專利範圍

的氮化物層，使至少部分抗光蝕層殘留疊置於深渠上；
選擇性去除部分基材上介於溝渠間的氮化物層；
選擇性去除部分介於溝渠間的基材；
沈積及平面化氧化物於經由去除基材上溝渠間的氮化物
層形成的空間以及於部分溝渠內氧化物層；
去除殘留於基材表面上的氮化物；以及
形成電晶體裝置於深渠之一上。



圖式

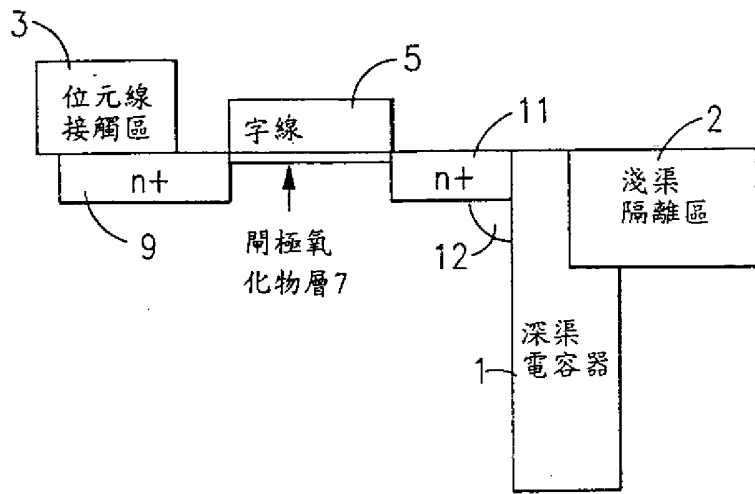


圖 1

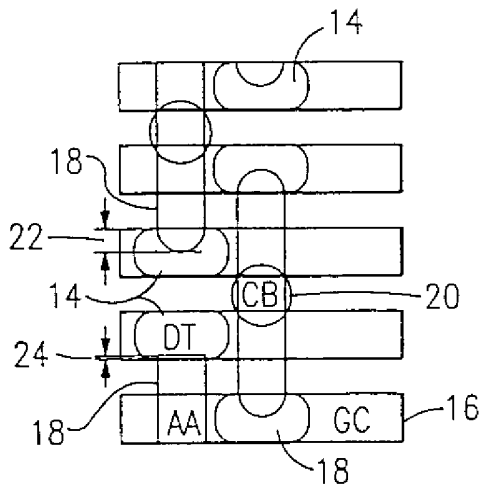


圖 2

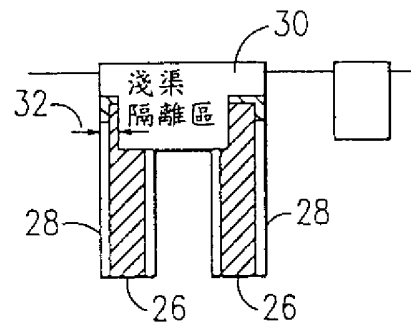


圖 3

圖式

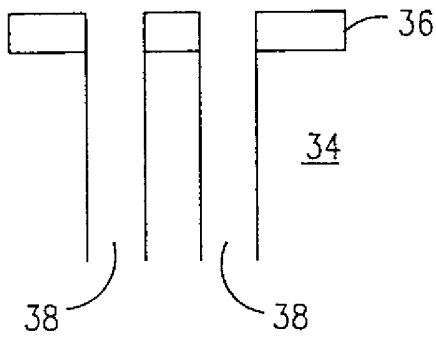


圖 4

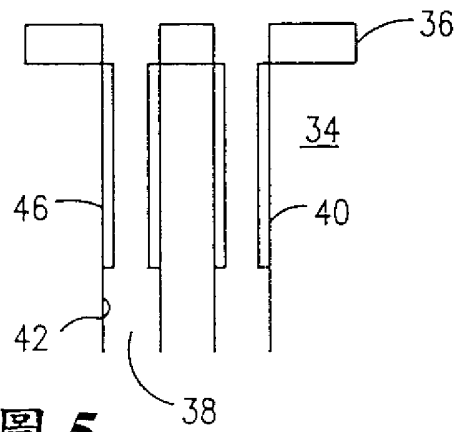


圖 5

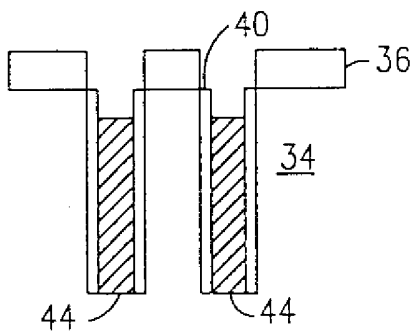


圖 6

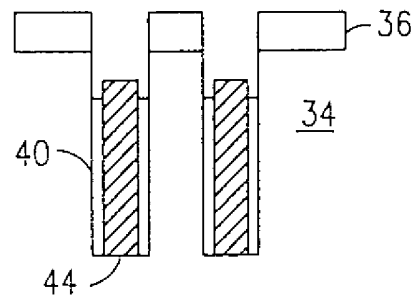


圖 7

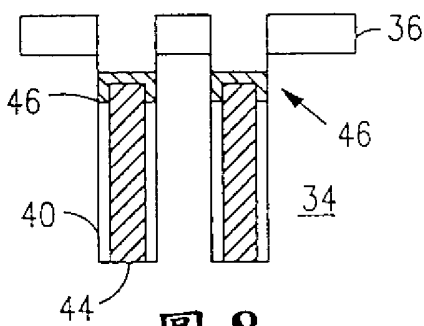


圖 8

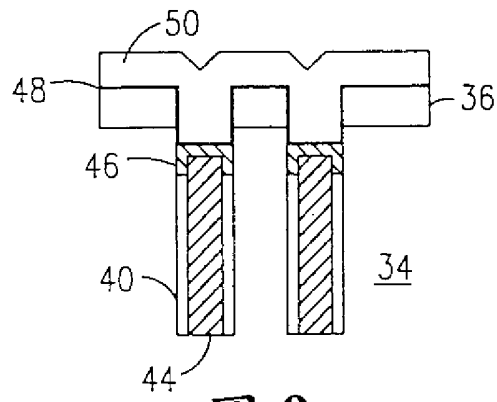


圖 9

圖式

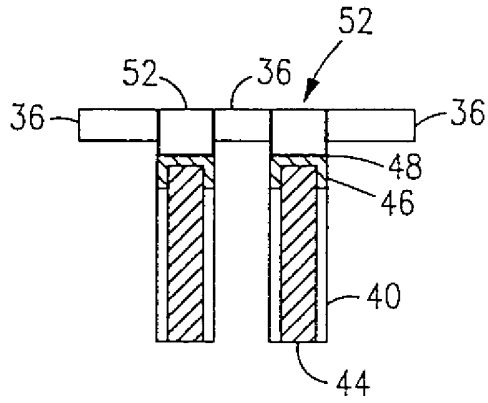


圖 10

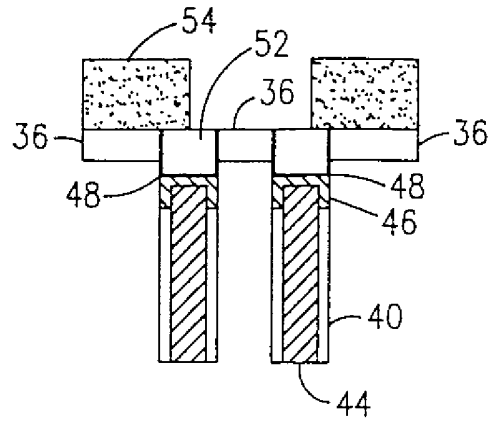


圖 11

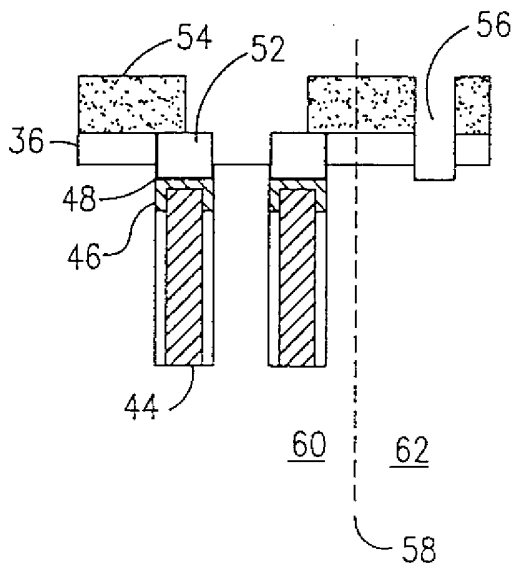


圖 12

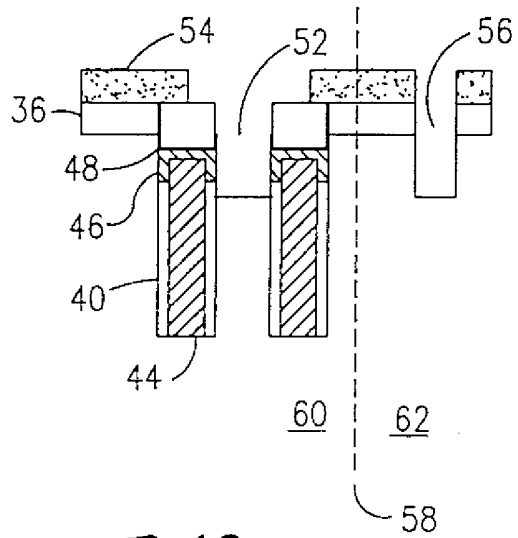


圖 13

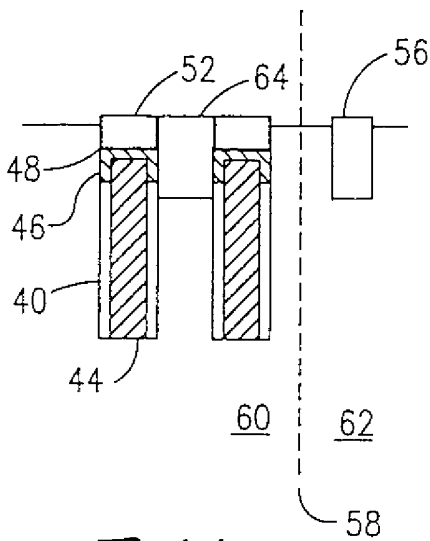


圖 14

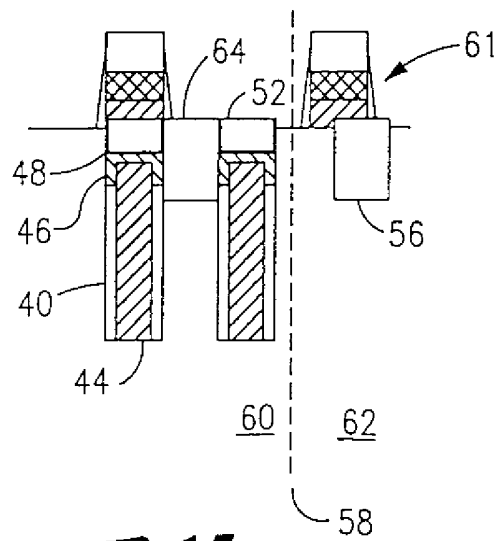


圖 15