

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480032293.6

[51] Int. Cl.

H01L 27/01 (2006.01)

H01L 21/00 (2006.01)

H01L 21/84 (2006.01)

H01L 21/8238 (2006.01)

[45] 授权公告日 2009 年 2 月 4 日

[11] 授权公告号 CN 100459126C

[22] 申请日 2004.11.5

[21] 申请号 200480032293.6

[30] 优先权

[32] 2003.11.5 [33] US [31] 10/605,905

[86] 国际申请 PCT/US2004/037029 2004.11.5

[87] 国际公布 WO2005/045900 英 2005.5.19

[85] 进入国家阶段日期 2006.4.29

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 布伦特·A·安德森

爱德华·J·诺瓦克

杰德·H·兰金

[56] 参考文献

CN1768419A 2006.5.3

US5466621A 1995.11.14

US6524920B1 2003.2.25

审查员 陈 凯

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

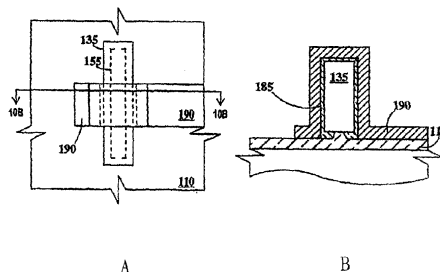
权利要求书 3 页 说明书 6 页 附图 10 页

[54] 发明名称

鳍型场效应晶体管及其制造方法

[57] 摘要

本发明涉及 FinFET 结构以及形成 FinFET 器件的方法。该方法包括：(a) 提供半导体衬底(100)；(b) 在所述衬底(100)的顶表面(105)上形成电介质层(110)；(c) 在所述电介质层(110)的顶表面(115)上形成硅鳍(135)；(d) 在所述鳍(135)的至少一个侧壁(150A)上形成保护层(160)；以及(e) 在所述鳍(135)的沟道区(175)中从所述至少一个侧壁(150A)去除所述保护层(160)。在第二实施例中，保护层(160)转变为保护间隔物(210A)。



1. 一种形成 FinFET 器件的方法, 包括:
 - (a) 提供半导体衬底;
 - (b) 在所述衬底的顶表面上形成电介质层;
 - (c) 在所述电介质层的顶表面上形成硅鳍;
 - (d) 在所述鳍的至少一个侧壁上形成保护层; 以及
 - (e) 在所述鳍的沟道区中从所述至少一个侧壁去除所述保护层。
2. 如权利要求 1 所述的方法, 还包括在步骤 (d) 和 (e) 之间进行到所述鳍中的至少一个离子注入步骤。
3. 如权利要求 1 所述的方法, 还包括:
 - (f) 在所述沟道区中的所述鳍的暴露表面上形成栅极电介质; 以及
 - (g) 在所述栅极电介质上形成导电栅极。
4. 如权利要求 3 所述的方法, 还包括:
 - (h) 从所述鳍的源极/漏极区去除所述保护层。
5. 如权利要求 1 所述的方法, 还包括在步骤 (c) 和 (d) 之间从所述鳍之下去除部分所述电介质层。
6. 如权利要求 1 所述的方法, 其中所述保护层包括四乙氧基甲硅烷氧化物或硅氮化物。
7. 如权利要求 1 所述的方法, 其中所述保护层为 15 至 50Å 厚。
8. 如权利要求 1 所述的方法, 其中所述鳍具有 500 至 2000Å 的高度且具有 50 至 350Å 的宽度。
9. 如权利要求 1 所述的方法, 其中步骤 (c) 包括:

在所述电介质层的所述顶表面上形成硅层;

在所述硅层之上形成掩模;

去除所述硅层的未被所述掩模保护的部分从而暴露所述电介质层; 及

去除所述掩模。
10. 如权利要求 1 所述的方法, 其中所述鳍包括单晶硅。
11. 一种形成 FinFET 器件的方法, 包括:
 - (a) 提供半导体衬底;
 - (b) 在所述衬底的顶表面上形成电介质层;

- (c) 在所述电介质层的顶表面上形成具有侧壁的硅鳍; 及
- (d) 在所述侧壁的至少一个的至少下部上形成保护间隔物。

12. 如权利要求 11 所述的方法, 还包括:

- (e) 进行到所述鳍中的至少一个离子注入步骤。

13. 如权利要求 11 所述的方法, 还包括:

- (e) 至少在所述鳍的沟道区中的所述鳍的暴露表面上形成栅极电介质;

及

- (f) 在所述栅极电介质上形成导电栅极。

14. 如权利要求 11 所述的方法, 还包括在步骤 (c) 和 (d) 之间从所述鳍之下去除部分所述电介质层。

15. 如权利要求 11 所述的方法, 其中所述保护间隔物包括四乙氧基甲硅烷氧化物或硅氮化物。

16. 如权利要求 11 所述的方法, 其中所述保护间隔物为 15 至 50Å 厚。

17. 如权利要求 11 所述的方法, 其中所述鳍具有 500 至 2000Å 的高度且具有 50 至 350Å 的宽度。

18. 如权利要求 11 所述的方法, 其中步骤 (c) 包括:

在所述电介质层的所述顶表面上形成硅层;

在所述硅层之上形成掩模;

去除所述硅层的未被所述掩模保护的部分从而暴露所述电介质层; 及
去除所述掩模。

19. 如权利要求 11 所述的方法, 其中步骤 (c) 包括:

在所述电介质层上形成芯;

在所述芯的顶表面和侧壁上以及在所述电介质层的未被所述芯覆盖的表面上沉积保形硅层;

从所述芯的所述顶表面及所述电介质层的未被所述芯覆盖的表面去除所述保形硅层。

20. 如权利要求 19 所述的方法, 还包括在该去除步骤之后进行所述保形硅层的高温退火, 从而所述保形硅层转变成单晶硅层。

21. 如权利要求 11 所述的方法, 其中所述鳍包括单晶硅。

22. 一种 FinFET 器件, 包括:

半导体衬底;

电介质层，其在所述衬底的顶表面上；

硅鳍，其具有侧壁，所述鳍在所述电介质层的顶表面上；及

保护间隔物，其在所述侧壁的至少一个的至少下部上。

23. 如权利要求 22 所述的 FinFET 器件，其中所述鳍包括沟道区、源极区和漏极区。

24. 如权利要求 22 所述的 FinFET 器件，还包括：

栅极电介质，其在所述鳍的所述沟道区中的所述鳍的表面上；及

导电栅极，其在所述栅极电介质上。

25. 如权利要求 22 所述的 FinFET 器件，其中所述保护间隔物包括四乙氧基甲硅烷氧化物或硅氮化物。

26. 如权利要求 22 所述的 FinFET 器件，其中所述保护间隔物为 15 至 50Å 厚。

27. 如权利要求 22 所述的 FinFET 器件，其中所述鳍具有 500 至 2000Å 的高度且具有 50 至 350Å 的宽度。

28. 如权利要求 22 所述的 FinFET 器件，其中所述硅鳍包括单晶硅。

鳍型场效应晶体管及其制造方法

技术领域

本发明涉及半导体器件领域；更具体地，涉及制造鳍型场效应晶体管（FinFET）的方法。

背景技术

在 FinFET 技术中，晶体硅的垂直鳍用于形成晶体管的体（body）且栅极形成在体的侧壁上。当栅极形成在体的两侧壁上时，该晶体管通常称为双栅极型 FinFET。

随着 FinFET 密度增大，鳍厚度和形成在鳍上的栅极电介质厚度两者都降低。这产生了两个问题。第一，较薄的栅极电介质要求比现有 FinFET 制造技术所能制造的更洁净且结晶更理想的鳍侧壁。第二，当现有的鳍制造技术应用于制造薄鳍时，所得鳍不牢固地附着到支承衬底。

因此，需要一种制造具有很薄的鳍的 FinFET 的方法，所述薄鳍具有晶化接近完美的侧壁表面且克服了薄鳍的固有结构弱点。

发明内容

本发明的第一方面是形成 FinFET 器件的方法，包括：（a）提供半导体衬底；（b）在该衬底的顶表面上形成电介质层；（c）在该电介质层的顶表面上形成硅鳍；（d）在该鳍的至少一个侧壁上形成保护层；及（e）在该鳍的沟道区中从所述至少一个侧壁去除保护层。

本发明的第二方面是形成 FinFET 器件的方法，包括：（a）提供半导体衬底；（b）在该衬底的顶表面上形成电介质层；（c）在该电介质层的顶表面上形成具有侧壁的硅鳍；及（d）在所述侧壁的至少一个的至少下部上形成保护间隔物。

本发明的第三方面是 FinFET 器件，包括：半导体衬底；在该衬底的顶表面上的电介质层；具有侧壁的硅鳍，该鳍在该电介质层的顶表面上；及所述侧壁的至少一个的至少下部上的保护间隔物。

附图说明

本发明的特征阐明在所附权利要求中。然而，结合附图参考下面的示例性实施例的详细描述将更好地理解本发明本身，附图中：

图 1A 至 10A 是顶视图，且对应的图 1B 至 10B 是横截面图，示出了根据本发明第一实施例的 FinFET 结构的制造；

图 11A 是层间电介质 (ILD) 形成之后图 10A 和 10B 所示的利用保形栅极的 FinFET 的横截面图；

图 11B 是层间电介质 (ILD) 形成之后利用镶嵌平坦化的栅极的 FinFET 的横截面图；

图 12A 至 16A 是顶视图，且对应的图 12B 至 16B 是横截面图，示出了根据本发明第二实施例的 FinFET 结构的制造；以及

图 17A 至 17F 是横截面图，示出了根据本发明第三实施例的 FinFET 结构的制造。

具体实施方式

图 1A 至 9A 是顶视图，且对应的图 1B 至 9B 是横截面图，示出了根据本发明第一实施例的 FinFET 结构的制造。

图 1B 是通过图 1A 的线 1B-1B 的横截面图。图 1A 和 1B 中，提供了半导体衬底 100。在一个例子中，衬底 100 是单晶硅。形成在衬底 100 的顶表面 105 上的是掩埋电介质层，当前示例了掩埋氧化物层 (BOX) 110。形成在 BOX 110 的顶表面 115 上的是硅层 120。在一个例子中，硅层 120 为约 200 至 2000 Å 厚。硅层 120 可以是单晶硅、多晶硅或非晶硅。可以获得衬底 100、BOX 110 和硅层 120 作为绝缘体上硅 (SOI) 衬底或 SIMOX 衬底。蚀刻掩模 130 形成在硅层 125 的顶表面上。在一个例子中，蚀刻掩模 130 通过应用光致抗蚀剂层到硅层 125 且光刻构图该光致抗蚀剂层而形成。

图 2B 是通过图 2A 的线 2B-2B 的横截面图。图 2A 和 2B 中，进行反应离子蚀刻 (RIE) 工艺 (利用例如 CF₄) 从而自 BOX 110 之上的硅层 120 去除不需要的硅且留下鳍 135。鳍 135 具有宽度 W 和高度 H。高度 H 与图 1B 的硅层 120 的厚度相同，其为约 500 至 2000 Å。在一个例子中，W 为约 50 至 350 Å。鳍 135 的基面 (base surface) 140 与 BOX 110 的顶表面 115 直接

物理接触, 且鳍与 BOX 之间的该接触和粘合支承鳍。

图 3B 是通过图 3A 的线 3B-3B 的横截面图。图 3A 和 3B 中, 利用缓冲氢氟酸 (BHF) 去除掩模 130 (见图 2B), 导致鳍 135 的基面 140 之下 BOX 110 的底切 (undercut)。鳍 135 现在仅由台座 (pedestal) 145 支承。图 4B 是通过图 4A 的线 4B-4B 的横截面图。图 4A 和 4B 中, 进行包括氧化和 BHF 剥离的多个清洁步骤来清洁侧壁 150A 和 150B 且从侧壁去除表面结晶缺陷。这些清洁步骤引起鳍 135 的基面 140 之下的 BOX 110 的进一步底切。现在鳍 135 仅由台座 155 支承。鳍的底切在鳍的每侧为 D。在一个例子中, D 为约 50 至 75 Å。必须注意不要完全底切鳍 135。由于鳍 135 的基面 140 与台座 155 之间的总接触面积降低, 鳍变得更容易断裂。

图 5B 是通过图 5A 的线 5B-5B 的横截面图。图 5A 和 5B 中, 保形保护层 160 形成在鳍 135 的侧壁 150A 和 150B 以及顶表面 150C 上且形成在 BOX 110 的暴露的顶表面 115 上。保护层 160 保护鳍 135 的侧壁 150A 和 150B 免于来自后续处理 (下文描述) 的潜在损坏, 且结构性地支承鳍。在第一示例中, 保护层 160 是通过等离子体增强化学气相沉积 (PECVD) 形成的四乙氧基甲硅烷 (TEOS) 氧化物且为约 15 至 50 Å 厚。在第二示例中, 保护层 160 为通过低压化学气相沉积 (LPCVD) 形成的硅氮化物且为约 15 至 50 Å 厚。

接着进行形成掺杂区例如源极/漏极 (S/D) 区以及调整鳍 135 内沟道区的掺杂水平所需的一系列工艺步骤。所述步骤每个包括: (1) 用光致抗蚀剂掩模对鳍 135 的区域进行掩模化; (2) 进行离子注入; (3) 去除光致抗蚀剂掩模 (通常在氧等离子体中); 及 (4) 进行可选的退火。这四个步骤可以重复 2 至 4 次或更多次, 精确次数取决于所需的鳍 135 内的掺杂水平控制。最后, 进行清洁例如稀释氢氟酸 (HF) 清洁和/或黄 A 清洁 (Huang A clean)、和/或黄 B 清洁 (Huang B clean)。离子注入步骤的例子示于图 6A 和 6B 中且在下文中描述。没有适当的保护层 160, 侧壁 150A 和 150B 的表面会发生损坏且鳍 135 会底切至鳍从 BOX 110 分离。

图 6B 是通过图 6A 的线 6B-6B 的横截面图。图 6A 和 6B 中, 光致抗蚀剂掩模 165 形成在鳍 135 的 S/D 区 170 之上且在鳍的沟道区 175 中进行离子注入。离子注入物质 X 可以是通常注入的任何物质, 例如 B、P、As、以及 Ge。对于源极/漏极离子注入, 沟道区 175 被掩模化且进行到 S/D 区 170 中

的注入。

图 7B 是通过图 7A 的线 7B-7B 的横截面图。图 7A 和 7B 中，光致抗蚀剂掩模 180 形成在部分保护层 160 和 BOX 层 110 之上且保护层从鳍 135 未被光致抗蚀剂掩模保护的地方去除。在保护层 160 包括硅氮化物的例子中，氟基 RIE 或热磷酸蚀刻可被使用。在保护层 160 包括二氧化硅的例子中，氟基 RIE 或稀释 HF 酸蚀刻可被使用。

图 8B 是通过图 8A 的线 8B-8B 的横截面图。图 8A 和 8B 中，栅极电介质层 185 形成在暴露的侧壁 150A 和 150B 及鳍 135 的顶表面 150C 上。在一个例子中，栅极电介质层 185 是约 15 至 50Å 厚的热氧化物。

图 9B 是通过图 9A 的线 9B-9B 的横截面图。图 9A 和 9B 中，栅极 190 形成在鳍的沟道区 175 中栅极电介质 185 及鳍 135 之上。在本例中，栅极 190 通过导电材料的保形毯式沉积、光刻掩模步骤及 RIE 形成。适合的栅极材料的例子包括掺杂和未掺杂的多晶硅及诸如 W 或 Al 的金属。由于栅极 190 形成在鳍 135 的两个侧壁 150A 和 150B 之上，所得 FinFET 将是双栅极的。

图 10B 是通过图 10A 的线 10B-10B 的横截面图。图 10A 和 10B 中，如果保护层 160 是硅氮化物，任何残留的保护层 160（见图 9A）利用稀释 HF 蚀刻或氟基 RIE 或利用 H_3PO_4 被去除。鳍 135 现在被栅极 190 支承直到 ILD 沉积在整个 FinFET 结构上。

图 11A 是 ILD 形成之后如图 10A 和 10B 所示利用保形栅极的 FinFET 的横截面图。图 11A 中，ILD 层 195 沉积在栅极 190、鳍 135 的暴露表面及 BOX 110 的暴露表面上。进行化学机械抛光（CMP）工艺来平坦化 ILD 层的顶表面 200。ILD 材料的例子包括 TEOS PECVD 氧化物及氟掺杂玻璃（FSG）。通过经形成在 ILD 195 中的通孔形成到鳍 135 的 S/D 区 170（见图 6A）和栅极 190 的接触而完成所得 FinFET。

图 11B 是层间电介质（ILD）形成之后利用镶嵌平坦化栅极的 FinFET 的横截面图。图 11B 中，首先沉积 ILD 195 且通过镶嵌工艺形成栅极 190A。在镶嵌工艺中，通过光刻构图应用于 ILD 之上的掩模层、进行 ILD 的反应离子蚀刻（RIE）、去除掩模层、沉积足够厚的导电材料从而填充沟槽及进行 CMP 工艺来共平坦化（co-planarize）导电材料和 ILD 的顶表面，来在 ILD 中形成沟槽。在图 11B 中，ILD 195 的顶表面 200 与栅极 190A 的顶表面 205 共平面。对于镶嵌栅极，蚀刻沟槽之后形成栅极电介质 185 是必要的。通过

经形成在 ILD 195 中的通孔形成到栅极 185 的直接接触和到鳍 135 的 S/D 区 170 (见图 6A) 的接触而完成所得 FinFET。

图 12A 至 16A 是顶视图, 且对应的图 12B 至 16B 是横截面图, 示出了根据本发明第二实施例的 FinFET 结构的制造。

图 12B 是通过图 12A 的线 12B-12B 的横截面图。用于第二实施例的起点是紧接如上参照图 5A 和 5B 所述的保护层 160 的沉积之后, 且包括图 1A (B) 至 4A (B) 所示的全部前面步骤。图 12A 和 12B 分别与图 5A 和 5B 相同。

图 13B 是通过图 13A 的线 13B-13B 的横截面图。图 13A 和 13B 中, 进行保护层 160 (见图 12B) 的 RIE 来分别在鳍 135 的侧壁 150A 和 150B 的下部 215A 和 215B 上形成支承间隔物 210A 和 210B。间隔物 210A 和 210B 为鳍 135 提供支承结构。

然后进行形成掺杂区例如源极/漏极 (S/D) 区以及调整鳍 135 内沟道区所需的一系列工艺步骤。所述步骤每个包括: (1) 用光致抗蚀剂掩模对鳍 135 的区域进行掩模化; (2) 进行离子注入; (3) 去除光致抗蚀剂掩模 (通常在氧等离子体中); 及 (4) 进行可选的退火。这四个步骤可以重复 2 至 4 次或更多次, 精确次数取决于所需的鳍 135 内的掺杂水平控制。最后, 进行清洁例如稀释氢氟酸 (HF) 清洁和/或黄 A 清洁 (Huang A clean)、和/或黄 B (Huang B clean)。离子注入步骤的例子示于图 14A 和 14B 且在下文描述。

图 14B 是通过图 14A 的线 14B-14B 的横截面图。图 14A 和 14B 中, 光致抗蚀剂掩模 165 形成在鳍 135 的 S/D 区 170 之上且在鳍的沟道区 175 中进行离子注入。离子注入物质 X 可以是通常注入的任何物质例如 B、P、As、以及 Ge。对于源极/漏极离子注入, 沟道区 175 被掩模化且进行到 S/D 区 170 中的注入。

图 15B 是通过图 15A 的线 15B-15B 的横截面图。图 15A 和 15B 中, 栅极电介质层 185 形成在鳍 135 的暴露侧壁 150A 和 150B 及顶表面 150C 上。在一个例子中, 栅极电介质层 185 是约 15 至 50Å 厚的热氧化物。间隔物 210A 和 210B 将被结合到完成的 FinFET 器件中。供选地, 在栅极电介质 185 的形成之前, 支承间隔物 210A 和 210B 可以首先通过 RIE 被去除。

图 16B 是通过图 16A 的线 16B-16B 的横截面图。图 16A 和 16B 中, 栅极 190 形成在鳍的沟道区 175 中栅极电介质 185 及鳍 135 之上。在本例中,

通过导电材料的保形毯式沉积、光刻掩模步骤及 RIE 形成栅极 190。适合的栅极材料的例子包括掺杂和未掺杂的多晶硅及诸如 W 或 Al 的金属。由于栅极 190 形成在鳍 135 的两个侧壁 150A 和 150B 之上, 所得 FinFET 将是双栅极的。该 FinFET 可以如上面本发明第一实施例所述的那样被完成。

图 17A 至 17F 是横截面图, 示出了根据本发明第三实施例的 FinFET 结构的制造。在图 17A 中, 提供半导体衬底 300。形成在衬底 300 的顶表面 305 上的是 BOX 310。形成在 BOX 310 的顶表面 315 上的是芯层 (mandrel layer) 320。在一个例子中, 芯层 320 是硅氮化物。在图 17B 中, 芯层 320 (见图 17A) 被光刻构图且进行 RIE 从而形成芯 (mandrel) 325。在图 17C 中, 非晶硅或多晶硅层 330 保形地沉积在芯 325 的顶表面 335 和侧壁 340 上以及在 BOX 310 的暴露的顶表面 315 上。在一个例子中, 通过溅镀硅形成硅层 330。硅层 330 经历高温退火从而转变成单晶硅层。在图 17D 中, 硅层 330 (见图 17C) 被进行 RIE 从而形成鳍 345。鳍 345 的内侧壁 350A 与芯 335 的侧壁 340 接触。在图 17E 中, 保形保护层 350 形成在芯 325 的顶表面 335、鳍 345 的顶表面 360 和外侧壁 350B 以及 BOX 310 的暴露顶表面 315 之上。在图 17F 中, 进行 RIE 工艺从而形成与鳍 345 的外侧壁 350A 的下部 370 接触的支承间隔物 365。可以进行如前所述的进一步处理从而完成 FinFET 器件。支承间隔物 365 可以在后面处理中被去除或留在原位并被包含到完成的 FinFET 器件中。

这样, 本发明公开了一种制造具有很薄的鳍的 FinFET 的方法, 所述薄鳍具有结晶接近完美的侧壁表面且克服了薄鳍的固有结构弱点。

上面给出了本发明实施例的说明以用于理解本发明。应理解, 本发明不限于这里描述的特定实施例, 而是如现在对本领域技术人员来说明显地, 能够进行各种修改、调整 and 替代而不偏离本发明的范围。因此, 下面的权利要求意图涵盖落在本发明的实质精神和范围内的这样的修改和变化。

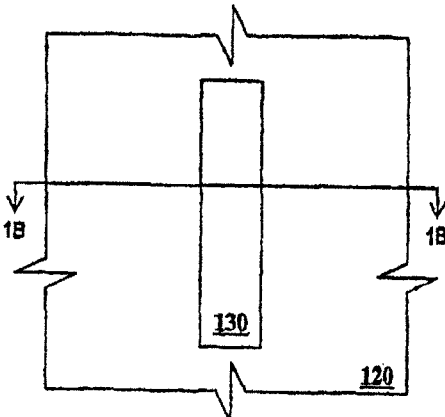


图 1A

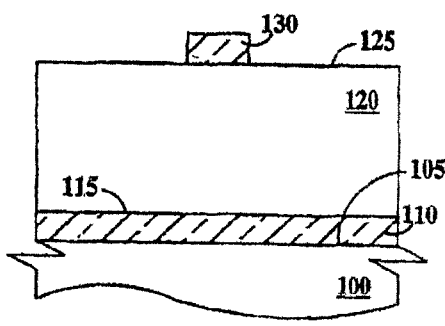


图 1B

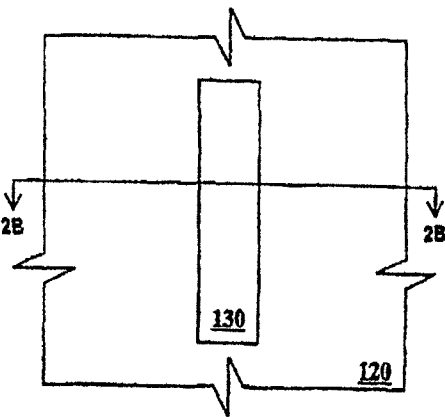


图 2A

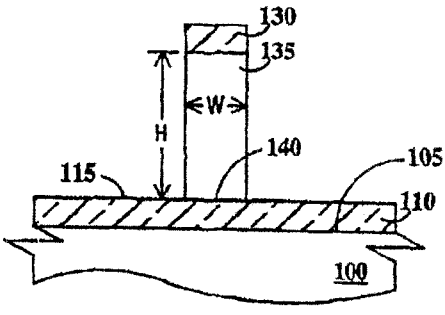


图 2B

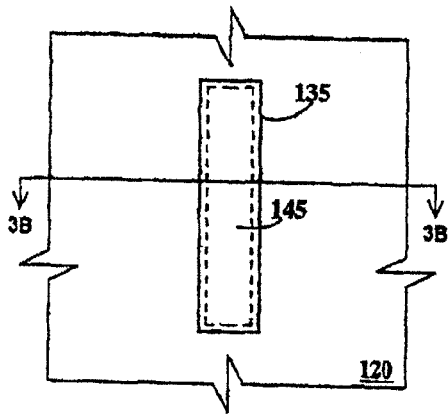


图 3A

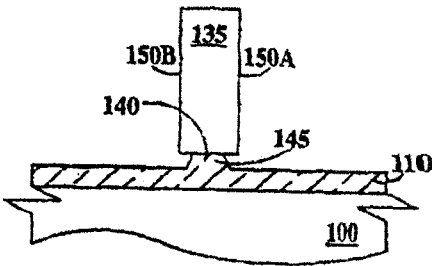


图 3B

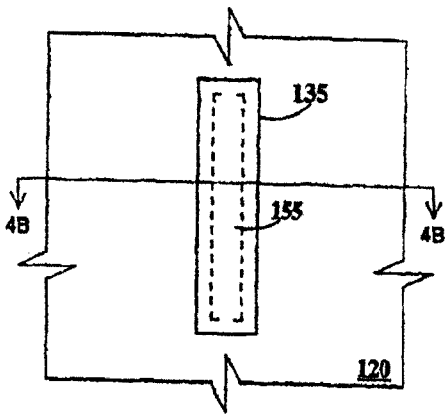


图 4A

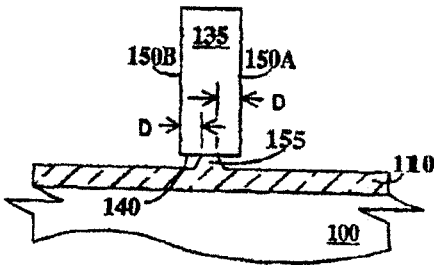


图 4B

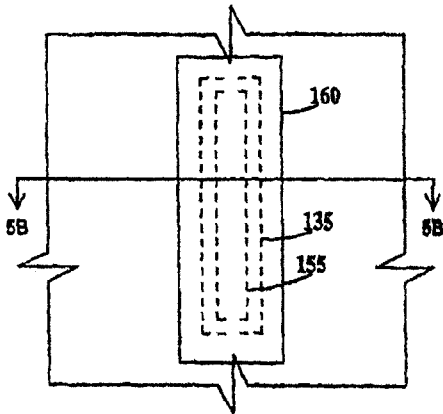


图 5A

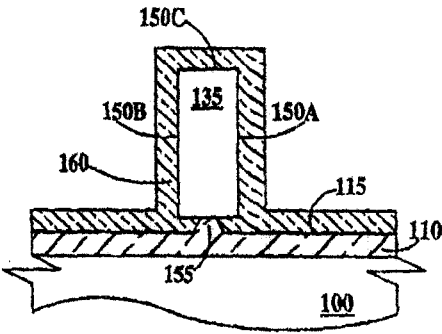


图 5B

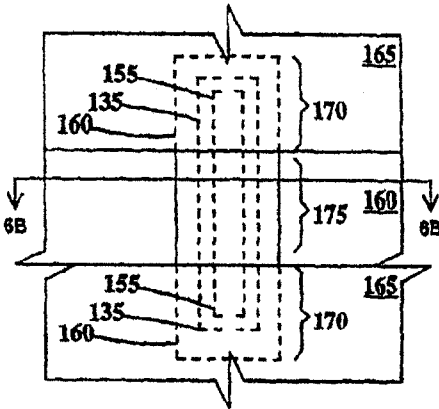


图 6A

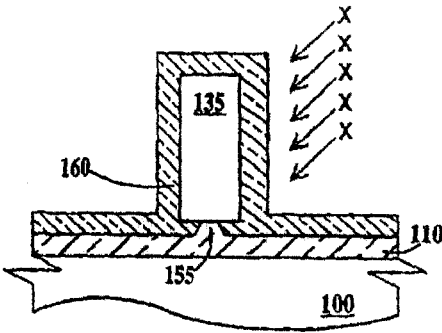


图 6B

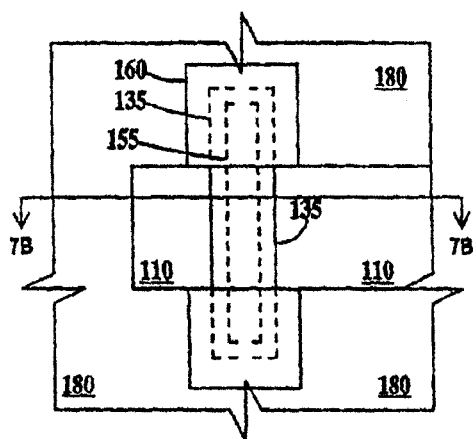


图 7A

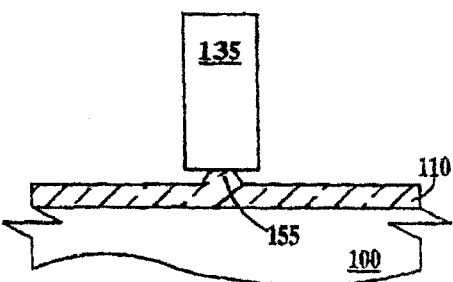


图 7B

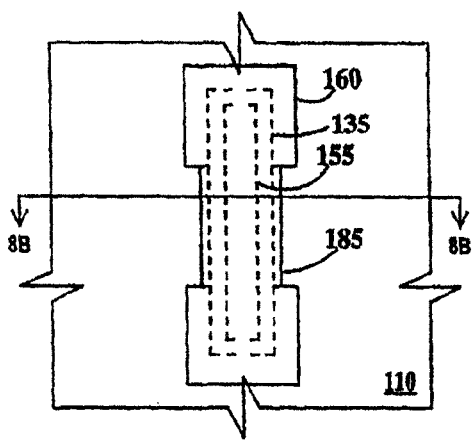


图 8A

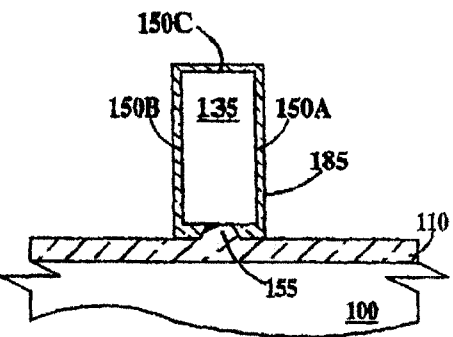


图 8B

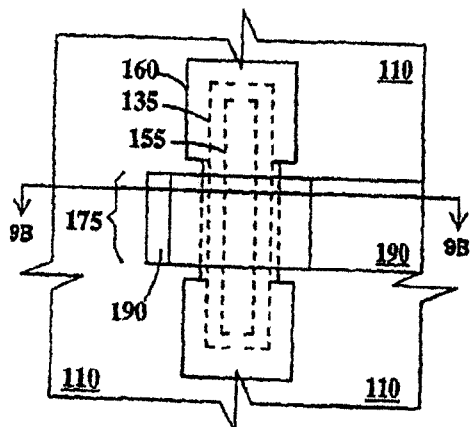


图 9A

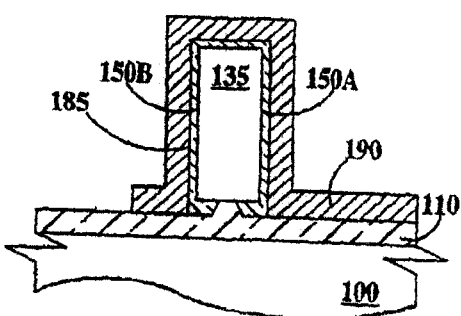


图 9B

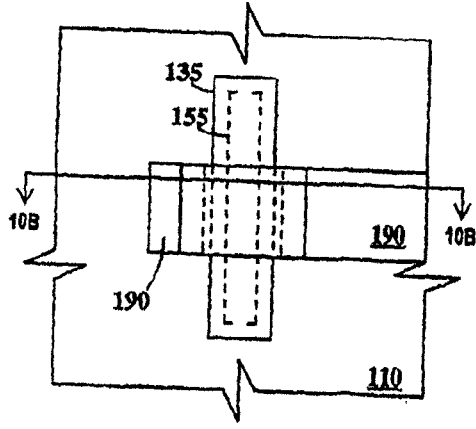


图 10A

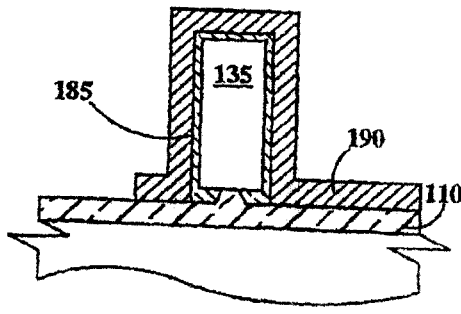


图 10B

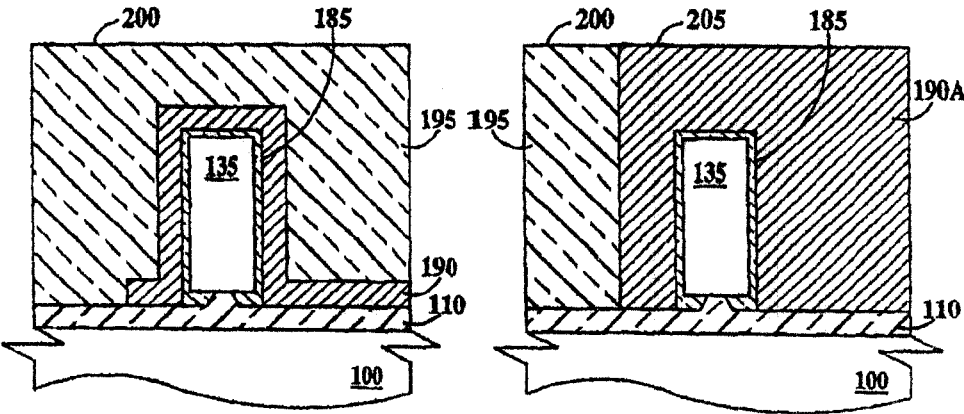


图 11A

图 11B

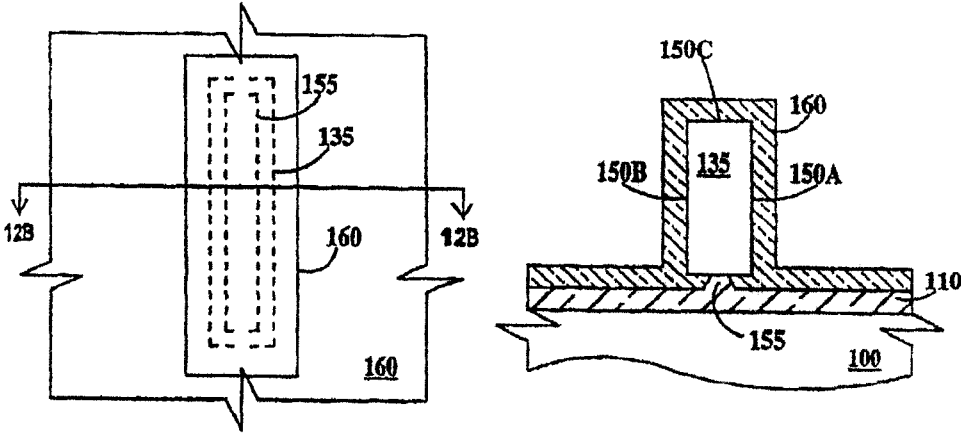


图 12A

图 12B

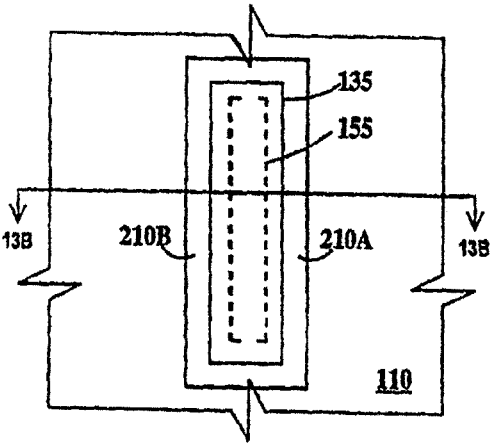


图 13A

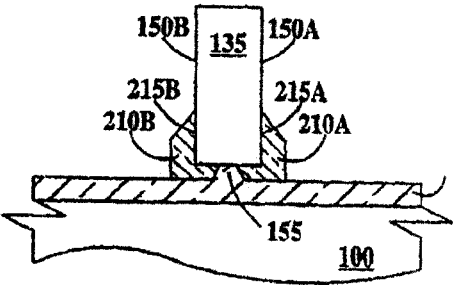


图 13B

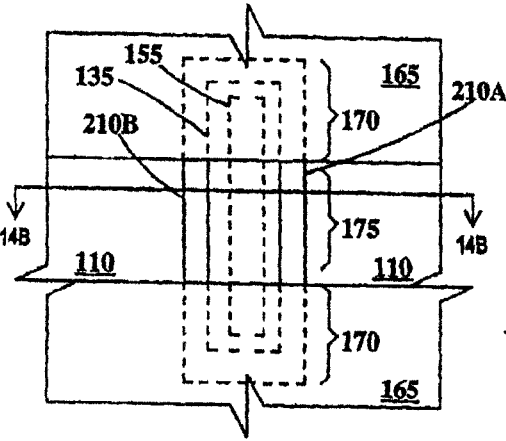


图 14A

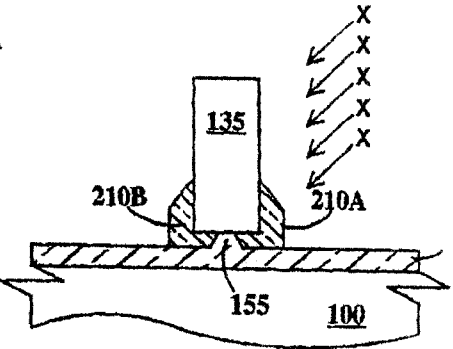


图 14B

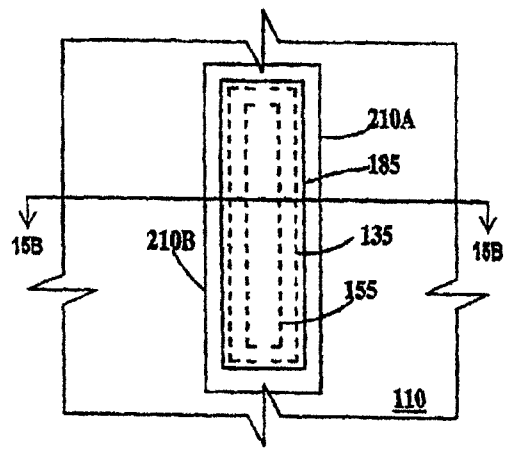


图 15A

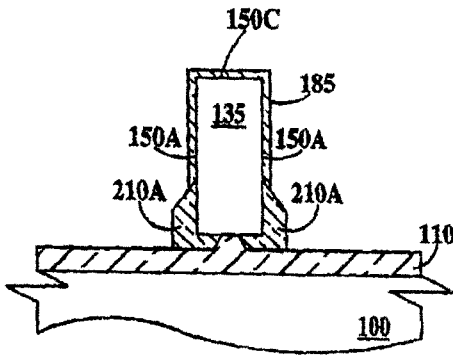


图 15B

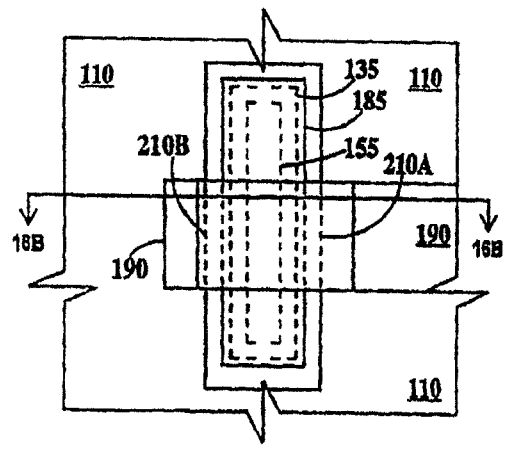


图 16A

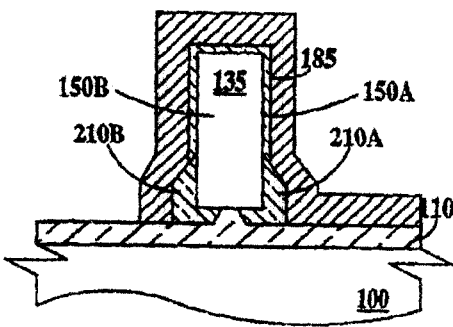


图 16B

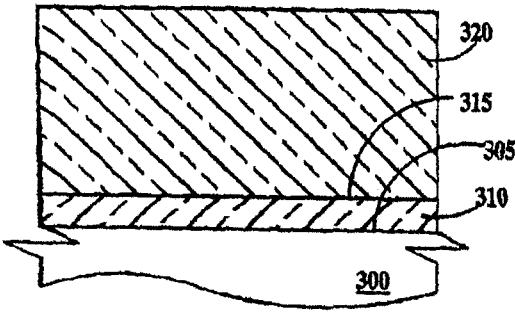


图 17A

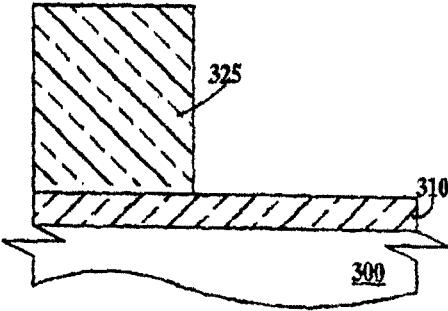


图 17B

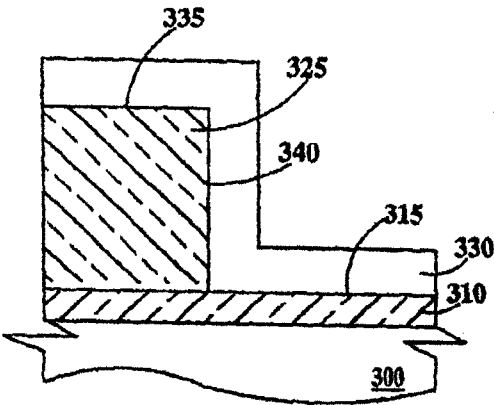


图 17C

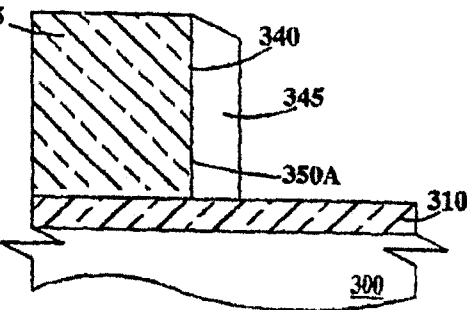


图 17D

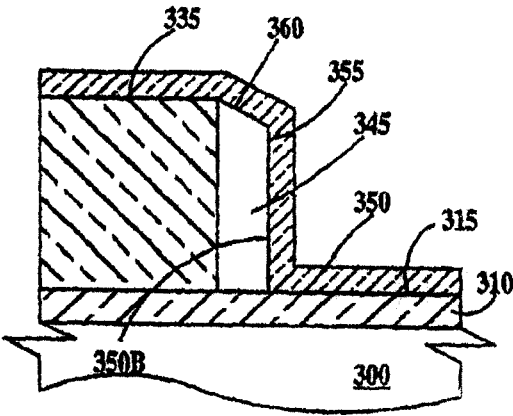


图 17E

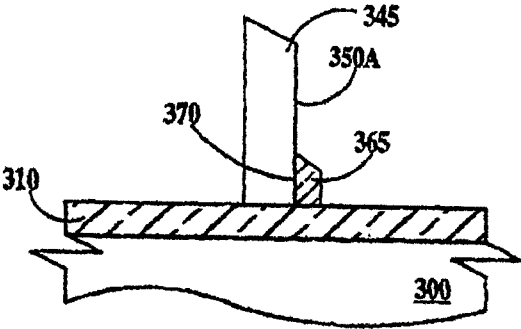


图 17F