公告本

申請日期： 91.05.06	案號： 91117607
類別：G01R 1/00	

（以上各欄由本局填註）

發明專利說明書 591239

一、發明名稱	中文	印刷電路板檢測裝置
	英文	Printed board inspecting apparatus
二、發明人	姓名（中文）	1. 大坂英樹 2. 小松豊彦
	姓名（英文）	1. Hideki OSAKA 2. Toyohiko KOMATSU
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸之內一丁目5番1號(5-1, Marunouchi 1-chome, Chiyoda-ku, Tokyo 100-8220, Japan) 2. 日本國東京都千代田區丸之內一丁目5番1號(5-1, Marunouchi 1-chome, Chiyoda-ku, Tokyo 100-8220, Japan)
三、申請人	姓名（名稱）（中文）	1. 日立製作所股份有限公司
	姓名（名稱）（英文）	1. Hitachi, Ltd.
	國籍	1. 日本
	住、居所（事務所）	1. 日本國東京都千代田區神田駿河台四丁目6番地 (6, Kanda-Surugadai 4-chome, Chiyoda-ku, Tokyo, Japan)
	代表人姓名（中文）	1. 庄山悅彥
	代表人姓名（英文）	1. Etsuhiko SHOYAMA

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2001/08/08	2001-240078	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

【背景技術】

本發明係有關於元件(印刷電路板、半導體元件)之檢測者。該元件係構成匯流排，該匯流排係在資訊處理裝置中，用來傳輸多重處理器和記憶體等元件間(例如，由CMOS 等所構成之數位電路間或其功能方塊間)之信號。也就是說，係有關於檢測方法、檢測裝置及使用電腦來執行檢測方法之程式製品。

又，係有關於使用被這種印刷電路板檢測裝置檢測之印刷電路板、被半導體元件檢測裝置檢測之半導體元件所構成之匯流排系統、半導體及半導體元件本身。又，本發明也係有關於使用上述檢測之製造方法及其系統。

就連接多數之節點，用來高速傳輸數據之匯流排方式而言，有美國專利號碼 5638402 公報之非接觸匯流排配線、歐洲專利號碼 EP1011039 公報之間隙耦合式匯流排、美國專利申請號碼 091429441 公報之方向性耦合式匯流排系統、日本專利 JP-A-2001-027918 號公報之方向性耦合式匯流排系統。其中，第 2 圖係表示美國專利號碼 5638402 公報所記載之基本方式。

這係利用串音產生部(即，方向性耦合器)，來進行 2 節點間之數據傳輸。即，使用 2 線間(即，終端之配線 1-1 和終端之配線 1-2、1-3 間)之串音，來傳輸主匯流排 10-1 和副匯流排 10-2、10-3 間之傳輸技術。這係適合主匯流排 10-1 和副匯流排 10-2、10-3 間之 1 對多數間之傳輸，即，適合記憶體和記憶體控制器間之數據傳輸。為了製造這種

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

91337A

五、發明說明（2）

匯流排系統，提供給使用者，必須進行各元件之檢測。

構成匯流排(使用方向性耦合器)之元件，主要有印刷電路板和半導體元件。這種檢測之習知技術係如下述者。

(1)在製造印刷電路板時之檢測中，進行配線之圖案是否斷線之配線導通檢測，或在無意之配線間，進行是否短路之配線導通檢測。第 6 圖係表示用來該 DC 檢測之示意圖。

在印刷電路板 1 上，設有配線(用來電氣連接印刷電路板 1 所搭載之元件)，用 1-a、1-b 來代表表示該配線。在印刷電路板是否製作良好之檢測中，習知係進行導通、短路檢測。配線 1-a 和配線 1-b 係當作其他之信號配線。在配線 1-a、1-b 中，設有用來連接元件之墊(pad)，分別用 A、D 來表示。

在印刷電路板配線之導通檢測中，例如，較佳係在配線 1-a，進行墊 A 和墊 B 間之導通檢測。其中，較佳係通常將金屬之檢測針 7-1、7-2 分別連接在墊 A 和墊 B，來測量該檢測針 7-1、7-2 間之阻值。在配線 1-b 之導通檢測中，較佳係同樣也使用檢測針 7-3、7-4，來進行導通檢測。

而且，至於配線 1-a、1-b 間是否短路之檢測，係確認墊 A 或墊 B、墊 C 或墊 D 間之連接，較佳係此處具有充分之高阻抗。

這樣的話，在印刷電路板 1 之製造檢測中，使用檢測針 7-1、7-4，在同一信號配線墊間，檢測是否短路，在不

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（3）

同信號間，檢測是否開路。此處所使用之短路、開路之檢測中，因使用低頻或直流，故稱這種檢測為 DC 檢測。

(2)在數位數據傳輸用半導體元件之製造過程中，出貨前，進行檢測，來選別良品，但為了該檢證，使用 NRZ(Non Return to Zero)信號。至於習知之數位元件檢測裝置，檢測裝置和晶片間之連接係用配線來直接連接，使用 2 值之信號(NRZ：Non Return to Zero)來進行檢測。而且，在晶片之核心電路之檢測中，係用特定之信號，來掃描內部之正反器(flip-flop)，藉此來進行檢測。這也被稱為邊界掃描(boundary scan)之方法。

【發明之簡單說明】

就第 1 課題而言，配線之導通測試係用 DC 或低頻來進行，在第 2 圖所示之方向性耦合式匯流排中，這種方法有不能檢測之部位。這係方向性耦合器，且係其耦合度。方向性耦合器係由相互不接觸之平行 2 配線所構成，用 DC 檢測，不能檢測 2 線路間之耦合程度。本發明係以檢測該方向性耦合器之耦合度為目的。

就第 2 課題而言，為了數位數據傳輸用半導體元件之檢證，使用 NRZ(Non Return to Zero)信號，進行如習知例般之檢測，藉此能進行數位元件之功能檢測。但是，因連接在方向性耦合器，故進行數據收發信之半導體元件，在其接收電路上，具有遲滯功能，但藉由輸入 NRZ 信號，來進行輸入電路(具有遲滯功能)之檢測係很勉強。這是因

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（4）

為用 2 值之 NRZ 信號之檢測裝置，不能檢測 3 值之有極性之 RZ 信號之故。本發明之第 2 目的係以檢測具有這種遲滯功能之半導體元件為目的。

就第 3 課題而言，即使是在印刷電路板間沒有無意導通/無意開路之印刷電路板，因不檢測耦合度，故在不瞭解藉由方向性耦合器所產生之信號量之印刷電路板中，因搭載不檢測遲滯特性之半導體元件，故有動作特性不穩定之課題。本發明之第 3 目的係在方向性耦合器之耦合度一定之印刷電路板中，組裝遲滯特性也一定之半導體元件，提供動作特性穩定之製品。

【用以解決課題之手段】

針對上述第 1 課題，本發明係從方向性耦合器所含有之第 1 信號線，輸入脈衝，對應所輸入之前述脈衝，取入方向性耦合器所含有之第 2 信號線所感應之電壓，將所輸入之脈衝電壓和第 2 信號線所感應之電壓之比加以比較者。

為了解決第 2 課題，在具有遲滯功能之半導體元件之檢測中，將檢測對象分為 I/O 部和核心邏輯部。在核心邏輯部之檢證中，係用 NRZ 模式使接收器動作，透過遲滯接收器(hysteresis receiver)，來檢證核心邏輯。對於經前述檢測之結果良品，進一步，用 RZ 模式使遲滯接收器動作，來檢測 I/O 部之 RZ 模式。

為了解決第 3 課題，在被上述檢測所檢測之印刷電路

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（5）

板中，搭載被上述檢測所檢測之半導體元件，藉此能提供動作特性穩定之匯流排系統。

【發明之詳細說明】

使用第 1 圖，來說明第 1 實施例。

本構成係關係到印刷電路板內所形成之方向性耦合器之耦合度檢測之實施例。因此，通過習知技術所說明之 DC 檢測之印刷電路板係成為對象。

1 係具有被檢測之方向性耦合器之印刷電路板。2 係檢測印刷電路板 1 之檢測裝置(TESTER)。在印刷電路板 1 內，形成含有第 2 圖所示之方向性耦合器之多數配線。在第 1 圖中，只表示有關方向性耦合器之配線。1-1 係方向性耦合器所構成之主耦合配線，用 A-1、B-1 來表示兩端之墊。又，1-2 係該方向性耦合器所構成之副耦合配線，用 C-1、D-1 來表示其兩端之墊。

在檢測裝置 2 內，至少有 2 個檢測用之端子，該 2 個端子稱為通道 1(CH1)、通道 2(CH2)。在檢測裝置 2 之 CH1、CH2 和被檢測印刷電路板 1 內方向性耦合器配線之連接中，係使用電纜線 30-1、30-2。通常，這種電纜線 30-1、30-2 係使用在寬頻帶，且特性阻抗為一定之同軸型電纜線，這種電纜線之特性阻抗係使用與檢測裝置之內部阻抗 Z_0 相等者。又，從 CH1、CH2 所見之檢測裝置之內部阻抗在寬頻帶也是一定。

檢測裝置 2 係用以下之方法來檢測印刷電路板 1 內之

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（6）

方向性耦合器之耦合係數是否在既定之範圍內。

從 CH1 輸出上升時間短之矩形脈衝，同時，藉由檢測裝置 2 內所設置之電壓監控器 20-2，來觀測該響應。這種功能係與具有 TDR(Time Domain Reflectometry)功能之數位示波器之裝置相同。20-1 係具有該高速遷移時間之脈衝源，若這種脈衝源 20-1 使用負性電阻二極體的話，則能輸出具有 40ps 程度上升時間之脈衝。以將從這種脈衝源 20-1 所輸出之脈衝稱為 TDR 脈衝。

CH2 係在檢測裝置 2 之內部，具有電壓監控器 20-3。當與 TDR 脈衝之輸出同步，來進行監控時，CH2 之電壓波形觀測稱為 TDT(Time Domain Transmissometry)觀測。

電纜線 30-1、30-2 係連接在構成方向性耦合器之配線 1-1、1-2 之一側端。電纜線 30-1 係連接在 CH1 和配線 1-1 之 A-1 端子，用來信號之返回電流之電纜線 30-1 之接地也連接在 A-1 端子近旁之 GND、 PAD。同樣地，CH2 所連接之電纜線 30-2 係連接在配線 1-2 之 C-1 端子，用來信號之返回電流之接地也連接在 C-1 端子近旁之 GND 、PAD。

方向性耦合器係有關該信號傳達，具有方向性。對應主耦合配線內所傳輸之方向，在相反方向，產生信號。在第 1 圖中，從配線 1-1 之 A-1 墊所射入之 TDR 脈衝係對應方向性耦合器之 A-1 墊，在副耦合配線 1-2 近端之 C-1 側，產生信號。因此，CH2 係透過電纜線 30-2，連接在近端之 C-1 端。

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（7）

配線 1-1 之 B-1 端及配線 1-2 之 D-1 端係開路端。因此，在此端，信號進行全反射。

為了檢測是否能根據設計來製造方向性耦合器，必須觀測主耦合配線之特性阻抗 Z1 和副耦合配線所感應之信號是否在規定值內。

首先，使用第 3 圖，來說明配線 1-1 之特性阻抗 Z1 是否在規定值內。第 3 圖係表示藉由電壓監控器 20-2 所觀測之電壓和其規定值。實線之 50-1 係電壓監控器 20-2 所觀測之配線 1-1 之 TDR 電壓波形(dut)。用波線所表示之 50-2 係電纜線 30-1 連接在 CH1，電纜線 30-1 之另一端係開路時之波形。

具有電壓 Vtdr 之 TDR 脈衝係用時間 T1，被輸入到電纜線 30-1 之印刷電路板連接端 A-1，在被檢測配線 1-1 之往返之傳輸延遲時間後之時間 T2，返回來反射波。根據該時間 T1 和 T2 間之電壓，求出被檢測配線 1-1 之特性阻抗。

對應電纜線 30-1 之特性阻抗 Z_0，設配線 1-1 之特性阻抗為 Z1，則有(數學式 1)之關係。

$$Vdut=Vtdr*(Z1 \cdot Z_0)/(Z1+Z_0)\cdots \text{ (數學式 1)}$$

Vtdr 係輸入電壓，Vdut 係反射電壓。設電壓反射係數為Γ，則 Z1 能求得如下。

$$\Gamma=Vdut/Vtdr\cdots \text{ (數學式 2)}$$

$$Z1=Z_0(1+\Gamma)/(1 \cdot \Gamma)\cdots \text{ (數學式 3)}$$

由(數學式 3)可知，能根據輸入電壓和反射電壓之比

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（8）

來求出阻抗。

用以下之數學式來表示該配線 1-1 之特性阻抗 Z1 所求出之規定值(Z11、Z12)。

Z11＜Z1＜Z12… (數學式 4)

若將(數學式 4)代入(數學式 1)的話，則 Vdut 為

$Vdut(Z11)=Vtdr*(Z11 \cdot Z_0)/(Z11+Z_0) \equiv V1$…(數學式 5)

$Vdut(Z12)=Vtdr*(Z12 \cdot Z_0)/(Z12+Z_0) \equiv V2$…(數學式 6)

此處，係將對應規定值 Z11 之電壓 Vdut 定義為 V1，將對應規定值 Z12 之電壓 Vdut 定義為 V2。從期間 T1 到 T2 間，若在該 V1 和 V2 間，具有觀測電壓 Vdut(50-1)的話，則能滿足規定值。在第 3 圖中，用斜線來表示這種規定值之範圍。該斜線部稱為遮罩(mask)。因此，若在斜線所示範圍之遮罩內，涵蓋觀測波形 50-1 的話，則能判定有關特性阻抗，配線 1-1 能滿足規定值。

其次，使用第 4 圖，來說明印刷電路板 1 內所構成之方向性耦合器之耦合度之檢測方法。

第 4 圖係分別用 50-1、50-3 來表示 CH1 之電壓監控器 20-2、CH2 之電壓監控器 20-3 之波形。至於方向性耦合器之耦合度，係用信號電壓和信號時間範圍來表示。用被斜線圍住之矩形來表示這種遮罩。這種遮罩係被電壓 V3、V4、時間 T3、T4 圍住。設表示方向性耦合器耦合度之耦合係數為 kb，則有以下之關係。

Vxtl=Kb*Vtdr… (數學式 7)

此處，所謂 Vxt1 係指 CH2 之電壓波形 50-3 之峰值電

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（9）

壓。即，耦合度 Kb 係用配線 1-1 之輸入電壓 Vtdr 和配線 1-2 之感應電壓 Vxt1 之比來表示。耦合度係檢測這種比率。

電壓 V3 和電壓 V4 係規定耦合度者，用以下之數學式來規定耦合度。

$$V3 < Vxtl < V4 \qquad (T3 < T < T4)\cdots \text{ (數學式 8)}$$

此處，所謂 T 係指電壓 50-3(Vxt1)之峰值電壓之時間。若觀測電壓 50-3 低於電壓 V3 的話，則表示不能滿足耦合度，相反地，若觀測電壓 50-3 高於電壓 V4 的話，則表示耦合度太大。T3 係根據主耦合線路配線 1-1 和副耦合線路 1-2 之配線關係來決定的量，T4 係用方向性耦合器之往返傳輸延遲時間來決定之量。具體而言，T4-T3 係與該往返之傳輸延遲時間大致相等。這種時間 T3、T4 係規定檢測觀測電壓 50-3 時之時間範圍。

至於印刷電路板之製造，一般係採用電鍍之方法，但根據電鍍之性質，對應配線之截面，在配線寬方向變窄、變粗。方向性耦合器之情形，該配線寬之偏差比 2 條配線間距之偏差大。間距係由電鍍處理前所形成之抗蝕劑(resist)之曝光之機械精度來決定，此間距通常比電鍍所形成之寬之偏差小很多。因此，當配線變粗時，因 2 線路間之沿面距離變成接近，故耦合係數變大。用觀測波形 50-3 之峰值電壓 Vxt1 超出 V4 之形狀，能檢測出這種情形之檢測結果。同樣地，當配線寬窄時，耦合係數變小，Vxt1 變成低於 V3。

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（10）

如以上所述，為了檢測印刷電路板 1 內所形成之方向性耦合器之特性阻抗和耦合係數，在檢測裝置 2 中，使具有 TDR、TDT 法之功能，且規定電壓和時間，藉此能判斷是否涵蓋在規定值內。

又，在本實施例中，雖求出方向性耦合器之特性阻抗(Z_0)和耦合度(Kb)，但這是施加 1 個 TDR 脈衝之方法，也可從第 1 圖之分別電纜線 30-1、30-2，同時施加同相之等電壓脈衝、或逆相之絕對值相等之電壓脈衝。這種情形，施加差動線路之共模脈衝(common mode pulse)和異模脈衝(differential mode pulse)。對應這種脈衝，求出反射係數，藉此能求出對應各自模式之阻抗，用 Zc、Zd 來表示各模式之阻抗，此處，應檢測線路之阻抗(Ze)，係用(數學式 9)來表示，耦合係數(Kb)係用(數學式 10)來表示，較佳係 Ze 和 Kb 值在規定值內。這種判定方法係使用先前所述之方法。

$$Ze=SQRT(Zc*Zd) \quad \cdots\cdots\cdots\cdots\cdots\cdots \text{(數學式 9)}$$

$$Kb=1/2((4*Zc-Zd)/(4*Zc+Zd)) \cdots\cdots\cdots\cdots \text{(數學式 10)}$$

因此，即使施加 2 個同相、逆相之脈衝，也能檢測特性阻抗和耦合係數。

至於本實施例，當檢測耦合度時，係用時間領域來進行電壓觀察，求出特性阻抗以及耦合係數，但當然，在頻率領域中，也能求出完全相同特性阻抗以及耦合係數。即，從檢測裝置 2 內之電壓源 20-1，從 CH1 輸出某頻率之正弦波，將配線 1-2 所感應之電壓引導到 CH2，來進行

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（11）

測定，藉此，能求出耦合係數。頻率之選擇方法較佳係方向性耦合器之副耦合線路對應波長λ，建立λ、1/2λ、1/4 等模式，來進行選擇。

又，印刷電路板 1 內之方向性耦合器，當實際被組裝在製品中時，也可使用進行動作之電路用之方向性耦合器，也可在檢測用中，特別設置配線。為了量測耦合度，在檢測用中，特別設置配線之方式能排除配線周圍之影響，故能進行更高精度之檢測。

其次，使用第 5 圖，來說明印刷電路板檢測之步驟。

在印刷電路板檢測中，進行該配線圖案是否導通，或是否與其他配線短路之 DC 檢測。其中，進行 2 條配線之導通檢測，在第 5 圖中，用 40-1 來表示。至於這種 DC 檢測，係在構成方向性耦合器之主耦合線路之兩端，進行導通檢測，在構成該方向性耦合器之副耦合線之兩端，進行導通檢測，在主耦合線路和副耦合線間，進行開路檢測。

用步驟 40-2，來進行這種合否判定，良品係進行到下一步驟 40-3。步驟 40-3 以後係以檢測方向性耦合器之特性阻抗以及耦合度為目的。當應檢測之方向性耦合器為複數時，首先，檢測裝置係將暫存器 N 和暫存器 M 設定在 1(步驟 40-3)。這種暫存器係用檢測裝置 2 內所設置之暫時記憶裝置，來表示複數之方向性耦合器之號碼。在步驟 40-4，將 CH1 所連接之電纜線 30-1 之另一端移動到暫存器 N 所記憶之主線之墊位置。此處，該電纜線 30-1 之主線所連接之端稱為 TDR 探測棒。這種移動也可機械性地

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（12）

自動移動，也可用手動來移動。

在步驟 40-5，係將該 TDR 探測棒連接在第 N 號之主線端。此處，暫存器 N 之值稱為第 N 號。在步驟 40-6，將 CH2 所連接之電纜線 30-2 之另一端(以下稱為 TDT 探測棒)移動到第 M 號之副耦合線路，在步驟 40-7，連接到該副耦合線路端。

在步驟 40-8，檢測裝置 2 係從 CH1 所連接之 TDR 探測棒，將 TDR 波形輸入到第 N 號之主線，來觀察其反射波形。又，在步驟 40-9 中，也觀察 CH2 之 TDT 波形。用步驟 40-10，來判定這些波形是否在第 3 圖～第 4 圖所示之規定值內。

此處，若是 NG 的話，則係不良品，若是良品的話，則進行到下一步驟 40-11。在步驟 40-11 中，當第 N 號之主線所設置之副耦合線路有複數時，判定其所有是否結束。當未結束時，M 增加 1，返回步驟 40-6，持續進行檢測。當結束時，則進行到步驟 40-12。在步驟 40-12 中，判斷檢測對象之主線是否全部結束，假如未達到的話，則將 N 增加 1，返回步驟 40-4。假如結束的話，則檢測結束，可知對象印刷電路板為良品。

以上之步驟雖係方向性耦合器之全數檢測，但當然，也可從其中進行抽樣檢測，來進行印刷電路板之良品選別。這係由製造偏差和良率之關係來決定。

藉由這種印刷電路板之選別，能準備具有一定耦合度之方向性耦合器之印刷電路板。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（13）

使用第 7 圖來說明第 2 實施例。

第 2 實施例係有關於使用方向性耦合器之匯流排所連接之半導體元件之檢測者。

60 係檢測對象之半導體元件(晶片)。2A 係檢測裝置。1A 係印刷電路板，用來搭載晶片 60，在晶片 60 中，傳達檢測用之信號。

在晶片 60 內，具有使用方向性耦合器之匯流排，用來傳輸數據之輸入輸出電路和核心電路，用 60-1 來表示輸出電路，用 60-2 來表示輸入電路。而且，透過輸入輸出電路，用 60-3 來表示提供功能之核心(CORE)電路。在本實施例中，將晶片 60 之這些輸出電路 60-1、輸入電路 60-2、核心電路 60-3 分別進行檢測。

在輸入電路 60-2 中，如習知例所示，具有遲滯特性功能。換言之，在輸入電路 60-2 中，具有能檢測出 RZ(Return to Zero)信號之功能。檢測這種功能是否能在規定值之範圍內製造係本實施例目的之一。

在本實施例中，在檢測裝置 2A 內，具有輸出電路 2A-1、輸入電路 2A-2、功能檢測電路 2A-3。檢測裝置 2A 係透過印刷電路板 1A，來檢測晶片 60。在印刷電路板 1A 內，形成方向性耦合器，用 1-1 來表示該主耦合線路，用 1-2 來表示副耦合線路。配線 1-1、1-2 之一側端係分別在電源 VTT 形成匹配終端。方向性耦合器係從矩形脈衝，產生第 8 圖所示之信號。

如第 8 圖所示，對應終端電壓 VTT，產生正脈衝和負

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（14）

脈衝。在正脈衝中，將該峰值電壓當作 V1，將半值電壓當作 V2，將 V1 之半值寬當作 TW。同樣地，在負脈衝中，將該峰值電壓當作 V4，將半值電壓當作 V3，將 V4 之半值寬當作 TW。

檢測裝置 2A 之輸出電路 2A-1 係使用印刷電路板 1A，能精密地控制這些 V1、V4、TW。例如，使用印刷電路板 1A(嚴密決定由配線 1-1、1-2 所構成之方向性耦合器之特性)，輸出電路 2A-1 係控制上升值時間、信號振幅，藉此能控制 V1、V4。若增大信號振幅的話，則 V1、V4 也與信號振幅成比例變大，若縮短上升時間的話，則該脈衝之形狀也變成尖銳。TW 係由方向性耦合器之往返延遲時間來加以規定者，但若使上升時間緩慢的話，則 TW 也變長。

使用這種功能，能檢測晶片 60 內之輸入電路 60-2 之功能是否正常。例如，當使用邊界掃描(boundary scan)時，係在輸入電路 60-2 中，輸入第 8 圖所示之脈衝波形，用正反器(flip-flop)來保持輸入電路 60-2 之輸出結果，使用邊界掃描，來檢測此結果，與期待值進行比較，藉此能進行檢測。

又，當不使用邊界掃描時，當晶片 60 為記憶體時，較佳係進行如下。檢測裝置對應晶片 60，進行寫入動作。發行寫入命令，指定位址，寫入數據。並且，對應同位址，進行讀取，若讀取數據與寫入數據(期待值)相同的話，則能判斷晶片 60 之功能正常。即，係良品。這種情

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（15）

形，晶片全體被進行檢測。但是，這種情形，沒有不良在哪個部位之解析度。

此處，當進行寫入、讀取時，係使第 8 圖所示之各電壓及時間寬度稍變化，也能量測邊緣。用所變化之各電壓、時間寬來進行檢測，藉此能決定晶片 60 所具有之動作範圍。即，能具有範圍來檢測晶片 60 所應滿足之規格。

又，當晶片 60 係處理器或記憶體控制器等之 LSI 之情形，檢測裝置 2A 係對應晶片 60，傳送某種信號，其結果，晶片 60 監控反應之信號，將該監控結果和期待值進行比較，藉此能進行檢測。

晶片 60 之輸出電路 60-1 之檢測也能使用這種方式。即，較佳係在晶片 60 內，使用邊界掃描或使進行輸出數據之動作，用該期待值和檢測裝置 2A 來進行比較。在檢測裝置 2A 中，因透過方向性耦合器之信號到達，故將該波形之峰值電壓、時間寬進行檢測，藉此能檢測輸出電路 60-1 是否在規定值內。

若使用第 7 圖之檢測裝置 2A 的話，就能用 1 台來檢測輸入電路 60-2、輸出電路 60-1、核心電路 60-3。當然，這種檢測裝置 2A 也只能使用在輸入電路 60-2 之檢測。

如習知例所述，習知之數位半導體檢測裝置係使用 NRZ 信號，直接連接半導體元件和檢測裝置，進行檢測。使用該習知之半導體裝置，檢測輸出電路 60-1、核心電路 60-3，使用第 7 圖之檢測裝置，也能檢測輸入電路。這樣

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（16）

的話，因能並列進行檢測，故能減少檢測時間。

其次，使用第9圖，來說明晶片60之檢測步驟。

這種檢測步驟係分別進行核心電路60-3之檢證、和輸入電路60-2之檢證，係以減少檢測時間為目的。首先，係核心電路60-3之檢證，將晶片60搭載在習知之NRZ信號檢測裝置，將晶片60內之輸入電路60-2設定在NRZ模式。~~而且~~，透過輸入電路60-2，進行核心電路之檢測(步驟70-1)，此處，進行合否判定(步驟70-2)，若是良品的話，則進行到下一步驟70-3。此處，將輸入電路60-2設定在NRZ模式，能實現如下。

在遲滯接收器之輸入電路60-2中，當輸入用來檢測之必要電壓以上之NRZ信號時，該輸入電路60-2係當作NRZ之接收器來進行動作。這是因為該NRZ信號能橫過具有輸入電路60-2之2個臨界電壓之故。即，將振幅大的NRZ信號輸入到輸入電路60-2，藉此，輸入電路60-2係當作NRZ輸入電路來進行分配。將此設定為NRZ模式來進行表示。在步驟70-2，進行合否判定，若是良品的話，則進行到步驟70-3。

在步驟70-3中，將輸入電路60-2設定在RZ模式。所謂這種RZ模式係指為了檢測遲滯特性，將晶片60設定在第7圖之檢測裝置。在第7圖中，來自檢測裝置2A之輸出係透過印刷電路板1A，將第8圖所示之信號輸入到晶片60。在該步驟70-3中，使先前所述之電壓V1、V4、時間TW變化，在輸入電路60-2中，檢測輸入特性。然

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格（210 x 297公釐）

五、發明說明（17）

後，輸入電路 60-2 將所輸出之結果和期待值進行比較，藉此來進行判定。在步驟 70-4，進行該結果，來選別良品。

因此，藉由使用 NRZ 信號之檢測裝置和使用 RZ 信號之檢測裝置之 2 階段，能縮短檢測時間。

又，使用第 10 圖，來說明其他之檢測方法。

第 10 圖之檢測方法之目的係提供對應半導體(具有 SSTL 等之 NRZ 信號用輸入電路和 RZ 信號用遲滯輸入電路)之檢測方法。

這種檢測係被檢測元件之晶片 60 在輸入電路具有第 11 圖般構成之電路時來進行。首先，說明第 11 圖之輸入電路。

第 11 圖係表示被內裝在晶片 60 之輸入輸出電路，在輸入電路中，具有切換 2 個界面之功能。即，具有遲滯功能(用來連接在使用方向性耦合器之匯流排)之輸入電路 60-2A、和接收 NRZ 信號之輸入電路 60-2B。此處，NRZ 信號用之輸入電路 60-2B，例如，係根據 SSTL(Stub Series Terminated Logic)界面。這種輸入電路 60-2A、60-2B 之切換係用 60-5 來進行，這能用內部暫存器 60-6 來進行切換。

回到第 10 圖，將以下之處理加以說明。

在步驟 80-1 中，雖是核心 60-3 之檢證，但將晶片 60 搭載在習知之 NRZ 信號檢測裝置，將輸入電路 60-2 切換到 60-2B。然後，使用這種接收器，進行核心功能 60-3 之

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（18）

檢測。

此處，進行合否判定(步驟 80-2)、若是良品的話，則進行到下一步驟 80-3。此處，設定在 RZ 模式，將晶片 60 內之輸入電路切換到遲滯接收器 60-2A。所謂 RZ 模式係指為了檢測遲滯特性，將晶片 60 設定在第 7 圖之檢測裝置。

在該步驟 80-3 中，使先前所述之電壓 V1、V4、時間 TW 變化，然後輸入到輸入電路 60-2，將結果與期待值進行比較，藉此來進行檢測。用步驟 80-4 來判定這種結果，選別良品。

這樣的話，也能對應具有 SSTL 等之 NRZ 信號用輸入電路和 RZ 信號用之遲滯輸入電路之晶片，來進行檢測。

其次，有關第 8 圖之脈衝產生，係使用第 12 圖來說明其他之實施例。

在檢測裝置 2A 中，對應 1 信號，具有 2 個輸入輸出電路。輸出電路 2A-1、2B-1 係輸出 NRZ 信號。在印刷電路板 1 內，搭載了特性阻抗 Z_0 之配線、電源分離器(由 3 個具有 $Z_0/3$ 值之電阻器所構成)、及連接在電阻器之晶片 60。

來自輸出電路 2A1、2B-1 之輸出係 NRZ 信號，但在 2 個輸出電路 2A-1、2B-1 間，將其上升、下降時序稍加以錯開。這種偏離係被電源分離器 100 加以合成，能在晶片 60 之輸入，產生第 8 圖所示之波形。當然，藉由調整該電

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（19）

壓，能微調整 V1、V4 之電壓。又，藉由調整偏離也能調整 TW。

此處，由 $Z_0/3$ 之 3 個電阻器所構成之電源分離器 100 係具有匹配終端條件，能避免各自端之反射。

因此，使用 2 個輸出電路和電源分離器，用可調整之狀態，能產生第 8 圖所示之有極性之 RZ 信號。即，在檢測裝置 2A 中，即使使用習知機之 NRZ 輸出電路，也能產生有極性之 RZ 信號，有能再利用習知機之效果。

這表示即使是第 13 圖所示之構成，也能產生第 8 圖所示之有極性之 RZ 信號。

在檢測裝置 2A 中，該輸出電路 2C-1 係由複數之電流源和終端電阻所構成。終端電阻係用寬頻帶來配合印刷電路板 1A 之配線特性阻抗 Z_0。用 I1、I2、I3 來表示輸出電路 2C-1 內之電流源。因能重疊電流，故這種電流和終端電阻之積成為輸出電壓(Vout)，這是表示靠變化 I1、I2、I3，能產生任意電壓波形之意。例如，如第 14 圖所示，把 I1 當作正脈衝，把 I2 當作負脈衝，則輸出端之電壓 Vout 能產生第 8 圖所示之有極性之 RZ 信號。這種情形，印刷電路板 1A 內之連接用配線與第 14 圖相較，有只要一半就可以之效果。

其次，將第 3 實施例加以說明。

準備良品之印刷電路板(具有藉由第 1 實施例所檢測之規定值內之耦合度)，準備良品之半導體元件(具有藉由第 2 實施例所檢測之規定值內之遲滯特性)，將該半導體

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（20）

元件組裝在該印刷電路板，藉此能提供特性一定(即，能穩定動作)之匯流排系統及使用該匯流排之電子資訊系統。這種構成雖是與第 2 圖相同之構成，但能保證各自之元件為良品，故成為動作特性穩定，可靠度高之製品。

以上，使用實施例所示之方法，能得到以下之效果。

(1)若依實施例 1 的話，則在構成匯流排(使用方向性耦合器)之印刷電路板中，能檢測該印刷電路板內所設置之方向性耦合器之特性阻抗以及耦合度是否在規定值以內來進行製造。因此，能提供耦合度在規定值以內之印刷電路板。

(2)若依實施例 2 的話，則在匯流排(使用方向性耦合器)所連接之半導體元件中，具有遲滯功能之輸入電路能檢測是否具有規定值之電壓、時間感度。因此，能提供滿足規格之半導體元件。

(3)分別準備具有(1)之效果之印刷電路板(即，規定值內之印刷電路板)、具有(2)之效果之半導體元件(即，規格內之半導體元件)，組裝這些印刷電路板和半導體元件，來構成製品，藉此能製造出穩定動作且高可靠度之製品。

若依本發明的話，則能更容易進行有關方向性耦合器之製品之檢測。

【圖式之簡單說明】

第 1 圖係表示本發明之第 1 實施例之檢測裝置及印刷電路板之構成圖。

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（21）

第 2 圖係表示習知技術之檢測裝置之構成圖。

第 3 圖係表示藉由電壓監視器 10-2 所觀測之電壓及其規定值之圖。

第 4 圖係表示 CH1 之電壓監視器 20-2、CH2 之電壓監視器 20-3 之波形圖。

第 5 圖係表示印刷電路板測定之步驟圖。

第 6 圖係用來 DC 測試之模式圖。

第 7 圖係表示本發明之第 2 實施例之檢測裝置及印刷電路板之構成圖。

第 8 圖係表示方向性耦合器所產生之矩形脈衝圖。

第 9 圖係表示對應半導體元件之測定步驟圖。

第 10 圖係表示對應具有 NRZ 信號用輸入電路和 RZ 信號用之遲滯輸入電路之半導體元件之測定步驟圖。

第 11 圖係表示晶片 60 所內裝之輸入輸出電路圖。

第 12 圖係表示進行第 8 圖所示之脈衝產生之電路圖。

第 13 圖係表示產生有極性之 RZ 信號之電路圖。

第 14 圖係表示輸出電路 2C-1 內之電源脈衝圖。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

五、發明說明（22）

【符號說明】

	A	墊
	A-1	墊
	B	墊
5	B-1	墊
	C	墊
	C-1	墊
	D	墊
	D-1	墊
10	I1	電流源
	I2	電流源
	I3	電流源
	Z_0	內部阻抗
	Z1	特性阻抗
15	1	印刷電路板
	1-a	配線
	1-b	配線
	1-1	主耦合配線
	1-2	副耦合配線
20	1A	印刷電路板
	2	檢測裝置
	2A	檢測裝置
	2A-1	輸出電路
	2A-2	輸入電路
25	2A-3	功能檢測電路
	2B-1	輸出電路

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格（210 x 297 公釐）

五、發明說明（23）

	2B-2	輸入電路
	2C-1	輸出電路
	7-1	檢測針
	7-2	檢測針
5	7-3	檢測針
	7-4	檢測針
	10-1	主匯流排
	10-2	副匯流排
	10-3	副匯流排
10	20-1	脈衝源
	20-2	電壓監控器
	20-3	電壓監控器
	30-1	電纜線
	30-2	電纜線
15	60	半導體元件(晶片)
	60-1	輸出電路
	60-2	輸入電路
	60-2A	輸入電路
	60-2B	輸入電路
20	60-3	核心電路
	60-5	切換器
	60-6	暫存器
	100	電源分離器

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格（210 x 297公釐）

A5
B5

四、中文發明摘要（發明之名稱：印刷電路板檢測裝置）

印刷電路板之配線只進行開路/短路之 DC 檢測，不能瞭解耦合度是否在規定值以內。無法檢測對於數位半導體元件(具有遲滯輸入電路)之 RZ 信號是否滿足規定值。

為了檢測印刷電路板(其包含有方向性耦合器之匯流排)以及半導體元件，使用 TDR 法，來檢測耦合度是否在規定值以內，對於有極性 RZ 信號之電壓、脈衝寬時間，檢測是否在規定值以內。組合這些良品，提供穩定且良率高之製品。

英文發明摘要（發明之名稱：）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、英文發明摘要（發明之名稱： Printed board inspecting apparatus ）

Only a D C check to detect a short or open state was performed for the wiring on a printed board, which cannot make sure whether or not the degree of coupling is within a range of specified values, nor can detect whether or not the RZ signal for a digital semiconductor device having a hysteretic input circuit is within a range of specified values.

A check is made using a TDR method to determine whether or not the degree of coupling is within a range of specified values and to determine each of the voltage of the polarized RZ signal and the pulse width time is within a range of specified values to thereby inspect a printed board and a semiconductor chip constituting a bus using a directional coupler. Thus assembling these qualified devices provides a product with high stability and yield.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

92. 12. 19

A8
B8
C8
D8

六、申請專利範圍

專利申請案第 91117607 號
ROC Patent Appln.No.91117607
修正後無劃線之中文申請專利範圍修正本 - 附件(一)
Amended Claims in Chinese - Encl. (I)
(民國 92 年 12 月 19 日送呈)
(Submitted on December 19, 2003)

1. 一種印刷電路板檢測裝置，用以檢測包含一匯流排系統之印刷電路板，該匯流排系統在被配置成實質平行之第 1 及第 2 信號線間利用串音進行數據傳輸，該檢測裝置包含：

從前述第 1 信號線，輸入一脈衝之手段；

取入前述第 2 信號線回應前述所輸入之脈衝所感應之電壓之手段；以及

判定所輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內之手段。

2. 如申請專利範圍第 1 項之印刷電路板檢測裝置，更包含：

藉由前述所輸入脈衝之電壓和前述第 1 信號線之反射電壓之比是否在既定之範圍內，來檢測特性阻抗之手段；以及

藉由前述所輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內，來檢測表示前述第 1 及前述第 2 信號線間耦合程度之耦合度之手段。

3. 一種印刷電路板檢測裝置，用以檢測包含一匯流排系統之印刷電路板，該匯流排系統在被配置成實質平行

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）
91337B 接

經濟部智慧財產局員工消費合作社印製

修正本有無變更實質內容是否准予修正。
92 年 12 月 19 日所提之

裝 訂 線

年 月 日 修正 補充

A8
B8
C8
D8

六、申請專利範圍

之第 1 及第 2 信號線間利用串音進行數據傳輸，該檢測裝置包含：

從前述第 1 信號線，輸入一脈衝之手段；

從前述第 2 信號線，輸入一脈衝之手段；

取入前述第 1、第 2 信號線分別回應前述所輸入之脈衝所感應之電壓之手段；以及

判定所輸入脈衝之電壓分別和前述第 1、第 2 信號線所感應之電壓之比是否在既定之範圍內之手段。

4. 如申請專利範圍第 2 項之印刷電路板檢測裝置，其中，前述檢測耦合度之手段實施以下檢測：

在前述第 1 信號線之兩端，進行導通檢測；

在前述第 2 信號線之兩端，進行導通檢測；

在前述第 1 及前述第 2 信號線間，進行開路檢測；及

從前述第 1 信號線，輸入矩形脈衝，並藉由該輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內，來檢測前述耦合度。

5. 一種印刷電路板，包含一匯流排系統，該匯流排系統在被配置成實質平行之第 1 及第 2 信號線間利用串音進行數據傳輸，其中：

一脈衝係輸入至前述第 1 信號線；且

前述輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比係在既定之範圍內。

6. 如申請專利範圍第 5 項之印刷電路板，其中：

煩請委員明示 92 年 12 月 09 日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

92.12.10 修正 補充
年 月 日

A8
B8
C8
D8

六、申請專利範圍

表示特性阻抗之前述所輸入脈衝之電壓和前述第1信號線之反射電壓之比係在既定之範圍內；

表示前述第1及前述第2信號線之耦合度之前述所輸入脈衝之電壓和前述第2信號線所感應之電壓之比係在既定之範圍內。

7. 如申請專利範圍第6項之印刷電路板，其中，前述耦合度係以下列方式檢測：

在前述第1信號線之兩端，進行導通檢測；

在前述第2信號線之兩端，進行導通檢測；

在前述第1及前述第2信號線間，進行開路檢測；

從前述第1信號線，輸入矩形脈衝，該輸入脈衝之電壓和前述第2信號線所感應之電壓之比係在既定之範圍內。

8. 一種印刷電路板之製造方法，包含以下步驟：

在印刷電路板上，將第1信號線和第2信號線配置成實質平行；

從前述第1信號線，輸入脈衝；

根據前述所輸入之脈衝，取入前述第2信號線所感應之電壓；以及

判定前述所輸入脈衝之電壓和前述第2信號線所感應之電壓之比是否在既定之範圍內。

9. 如申請專利範圍第8項之印刷電路板之製造方法，其進一步包含：

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格（210 x 297公釐）

92. 12. 19

A8
B8
C8
D8

六、申請專利範圍

藉由前述所輸入脈衝之電壓和前述第 1 信號線之反射電壓之比是否在既定之範圍內，來檢測特性阻抗；以及

藉由前述所輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內，來檢測用以表示前述第 1 及前述第 2 信號線之耦合程度之耦合度。

10. 如申請專利範圍第 9 項之印刷電路板之製造方法，其中，檢測前述耦合度之步驟包含：

在前述第 1 信號線之兩端，進行導通檢測；

在前述第 2 信號線之兩端，進行導通檢測；

在前述第 1 及前述第 2 信號線間，進行開路檢測；以及

從前述第 1 信號線，輸入矩形脈衝，藉由該輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內，來檢測前述耦合度。

11. 一種半導體晶片檢測裝置，用以檢測供透過方向性耦合器，進行數據傳輸之匯流排系統用之半導體晶片，該半導體晶片包含遲滯輸入電路，其中：

將 NRZ 信號輸入到該遲滯輸入電路，藉此來進行核心(CORE)電路之檢測；且其中

當前述核心電路之檢測結果係良品時，將 RZ 信號輸入到該遲滯輸入電路，藉此來進行該遲滯輸入電路之檢測。

12. 一種半導體晶片檢測裝置，用以檢測供透過方向性耦

煩請委員明示 92 年 12 月 19 日所提之修正本有無變更原實質內容

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

修正 補充
年 月 日

A8
B8
C8
D8

六、申請專利範圍

合器，進行數據傳輸之匯流排系統用之半導體晶片，該半導體晶片具有能在遲滯輸入電路與 NRZ 輸入電路間切換之輸入電路，其中：

將輸入電路切換到 NRZ 輸入電路，及輸入 NRZ 信號，藉此來進行該半導體體之核心電路之檢測；且其中

當前述核心電路之檢測結果係良品時，將輸入電路切換到該遲滯輸入電路，並輸入 RZ 信號，藉此來進行遲滯輸入電路之檢測。

13. 一種半導體裝置之製造方法，其係包含：

在一半導體晶圓上，形成遲滯輸入電路；

將 NRZ 信號輸入到該遲滯輸入電路，藉此來進行核心電路檢測；以及

當前述核心電路之檢測結果係良品時，將 RZ 信號輸入到該遲滯輸入電路，藉此來進行該遲滯輸入電路檢測。

14. 一種半導體裝置之製造方法，其係包含以下步驟：

在一半導體晶圓上，形成輸入電路，其能在遲滯輸入電路和 NRZ 輸入電路間切換；

將輸入電路，切換到 NRZ 輸入電路，及輸入 NRZ 信號，藉此來進行核心電路檢測；以及

當前述核心電路之檢測結果係良品時，將輸入電路，切換到該遲滯輸入電路，並輸入 RZ 信號，藉此來進行該遲滯輸入電路檢測。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

92.12.19 修正補充

A8
B8
C8
D8

六、申請專利範圍

15. 一種半導體裝置，其係具有使用方向性耦合器之匯流排系統界面電路，包含：

具有核心電路，及該界面用之遲滯輸入電路，其中：

將 NRZ 信號輸入到該遲滯輸入電路，藉此來進行前述核心電路之檢測；以及

當前述核心電路之檢測結果係良品時，對應該良品，將 RZ 信號輸入到該遲滯輸入電路，藉此來進行該遲滯輸入電路之檢測。

16. 一種半導體裝置，其係具有使用方向性耦合器之匯流排系統界面電路，包含：

核心電路及能在該界面電路用之遲滯輸入電路和 NRZ 輸入電路間切換之輸入電路，其中：

將輸入電路，切換到 NRZ 輸入電路，及輸入 NRZ 信號，藉此來進行前述核心電路之檢測；以及

當前述核心電路之檢測結果係良品時，將輸入電路，切換到該遲滯輸入電路，並輸入 RZ 信號，藉此來進行該遲滯輸入電路之檢測。

17. 一種匯流排系統，其係利用串音，在被配置成實質平行之第 1 及第 2 信號線間，進行數據傳輸，包含：

印刷電路板檢測裝置及半導體裝置；

該印刷電路板檢測裝置係包含：

從前述第 1 信號線，輸入脈衝之手段；

取入前述第 2 信號線回應前述所輸入之脈衝所感

頗請委員明示 92 年 12 月 19 日所提之修正本有無超出原說明書或圖式範圍或是否准予修正。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

92. 12. 19 修正補充
年 月 日

A8
B8
C8
D8

六、申請專利範圍

應之電壓之手段；

判定所輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內之手段；

藉由前述所輸入脈衝之電壓和前述第 2 信號線之反射電壓之比是否在既定之範圍內，來檢測特性阻抗之手段；以及

在前述第 1 信號線之兩端進行導通檢測、在前述第 2 信號線之兩端進行導通檢測、在前述第 1 及前述第 2 信號線間進行開路檢測、從前述第 1 信號線輸入矩形脈衝、藉由該輸入脈衝之電壓和前述第 2 信號線所感應之電壓之比是否在既定之範圍內來檢測表示前述第 1 及第 2 信號線之耦合程度之耦合度之手段；

又該半導體裝置係包含：使用方向性耦合器之匯流排系統界面電路、核心電路、以及界面電路用之遲滯輸入電路；其中，將 NRZ 信號輸入到前述遲滯輸入電路，藉此來進行前述核心電路之檢測，及依據前述檢測之結果，當前述核心電路係良品時，將 RZ 信號輸入到前述遲滯輸入電路，藉此來進行前述遲滯輸入電路之檢測；

且該半導體裝置組裝在前述印刷電路板檢測裝置。

18. 如申請專利範圍第 17 項之匯流排系統，其中：在前述印刷電路板檢測裝置上，組裝有複數個半導體裝置。

經濟部智慧財產局員工消費合作社印製

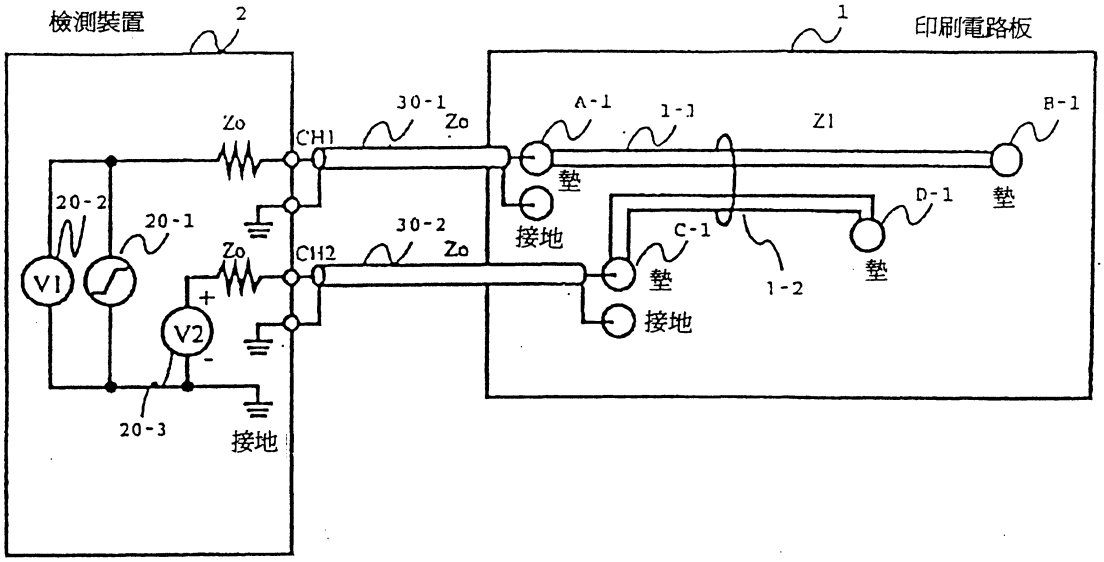
本紙張尺度適用中國國家標準(CNS)A4 規格（210 x 297 公釐）

591239

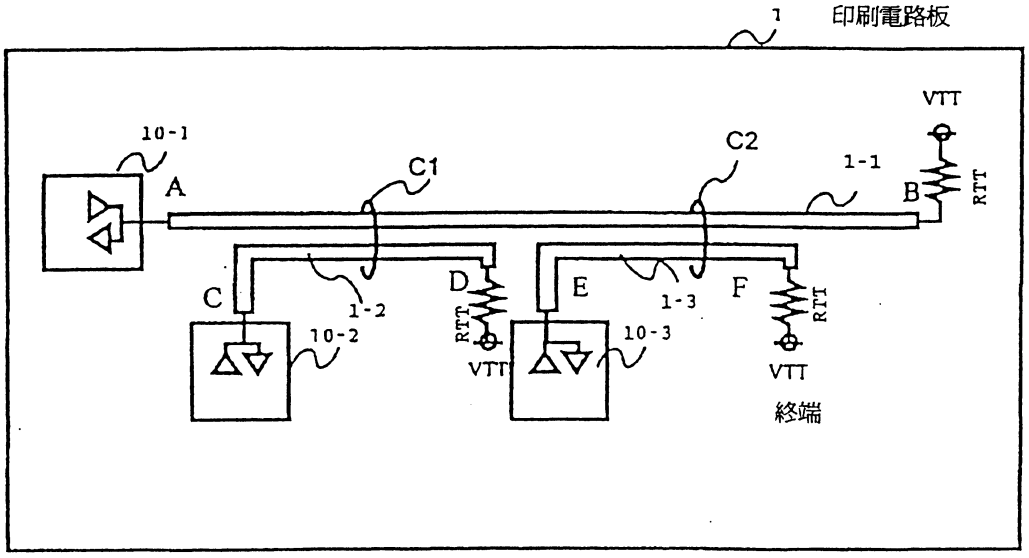
92年12月19日 修正補充

專利申請案第 91117607 號
ROC Patent Appln.No.91117607
修正後無劃線之中文圖式 - 附件(三)
Amended Claims in Chinese - Encl. (III)
(民國 92 年 12 月 19 日送呈)
(Submitted on December 19, 2003)

【第 1 圖】

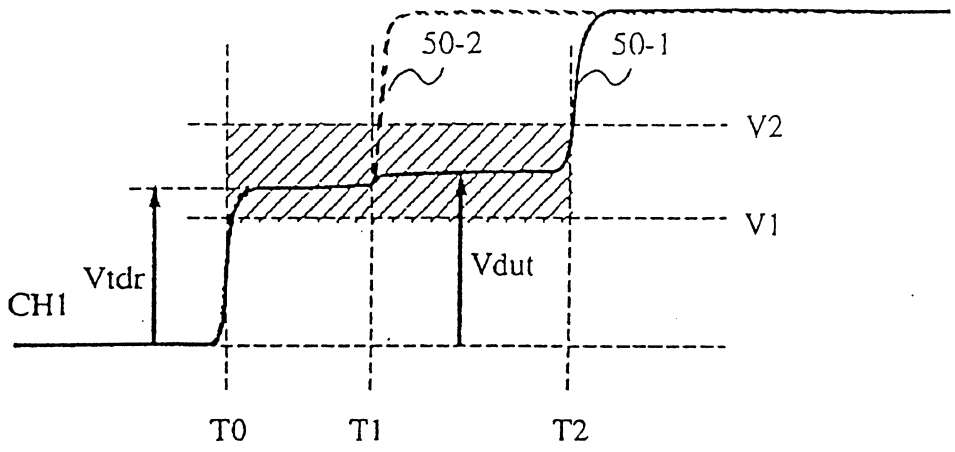


【第 2 圖】



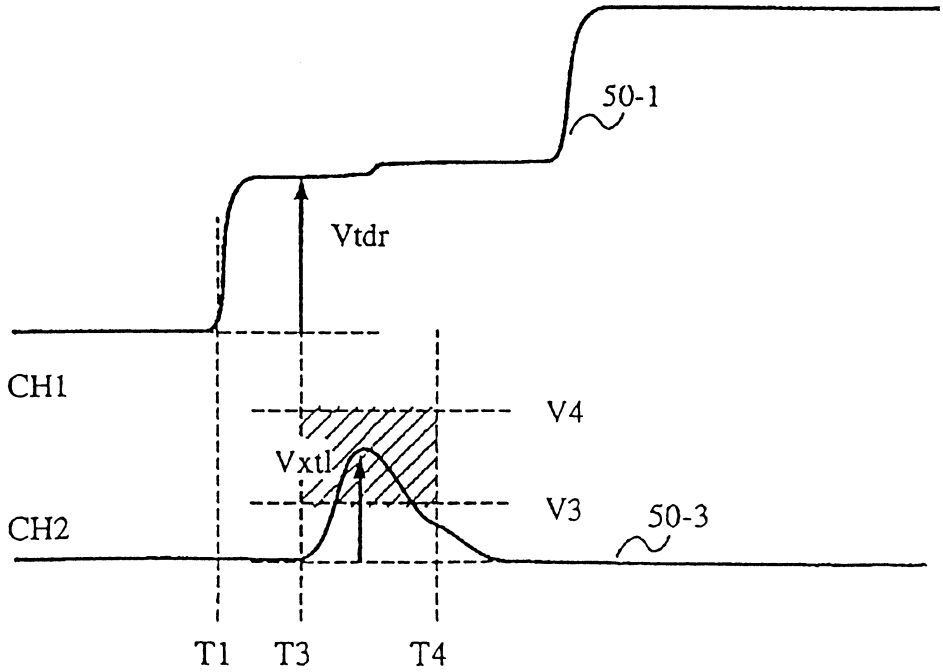
92. 12. 19

【第 3 圖】



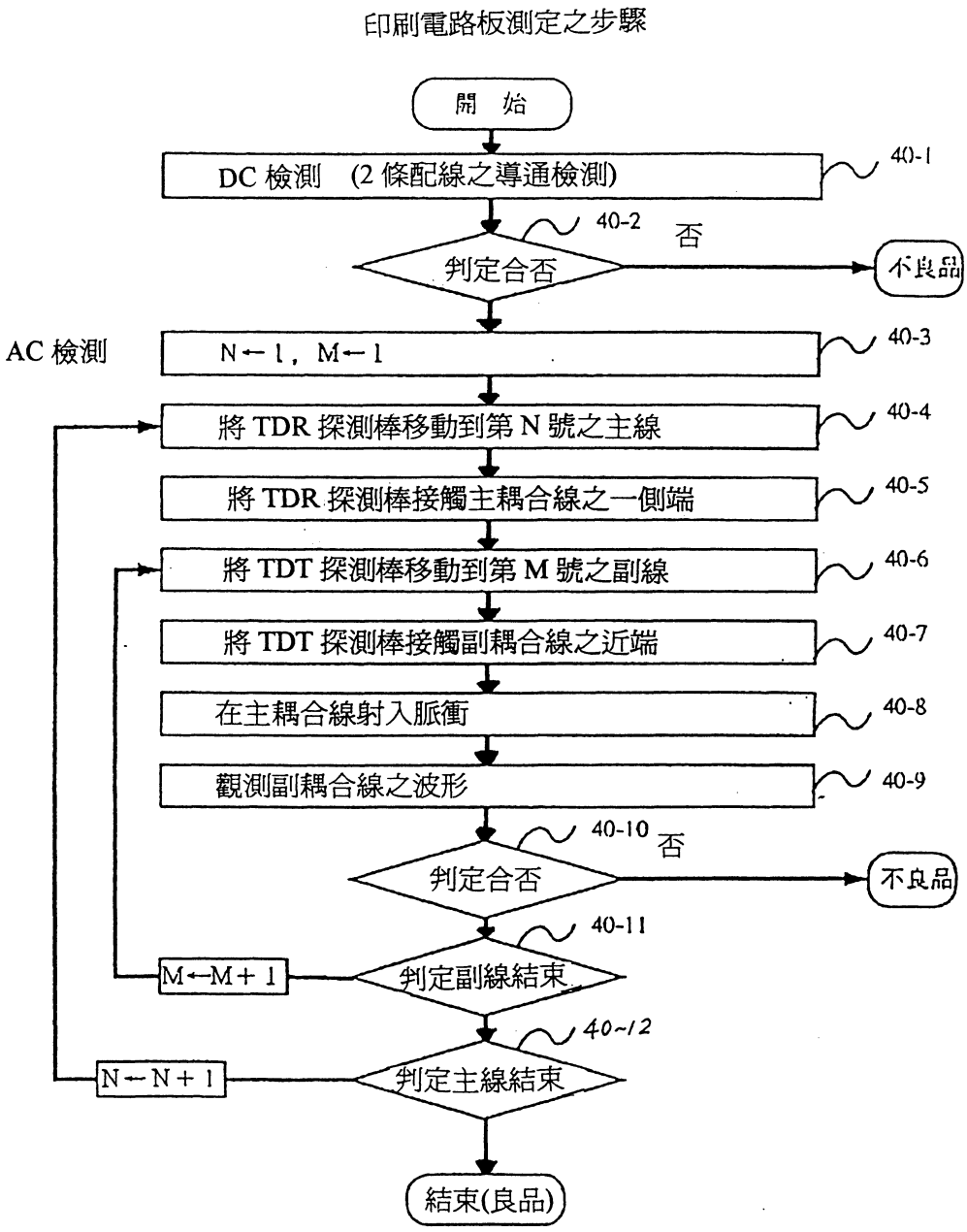
類請委員明示 92 年 12 月 19 日所提之修正本有無變更實質內容

【第 4 圖】

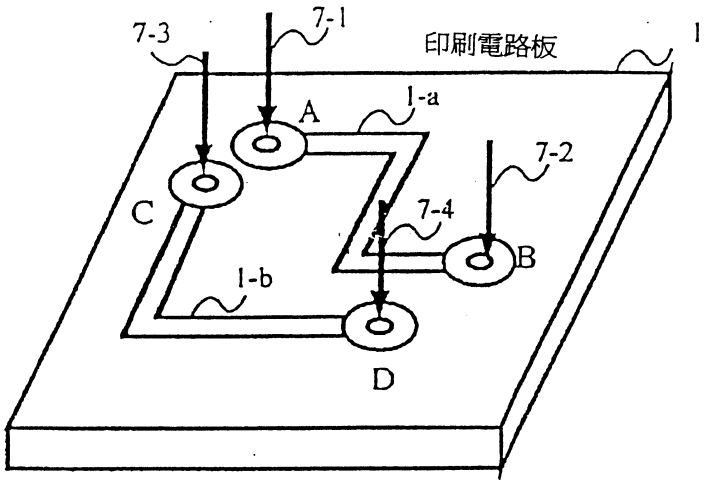


年 月 日 修正 補充

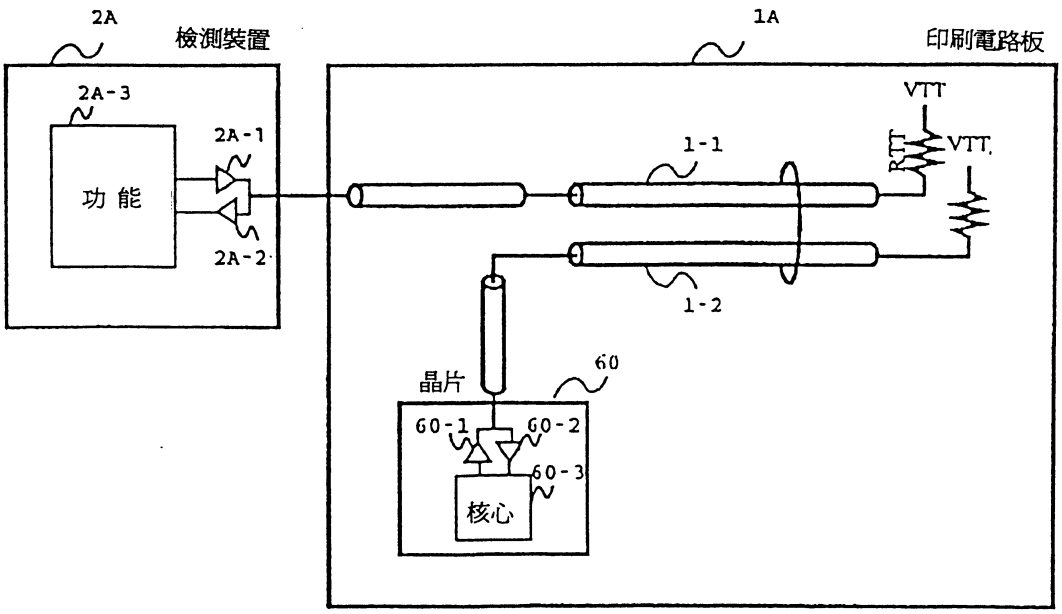
【第 5 圖】


印刷電路板測定之步驟
開 始
DC 檢測 (2 條配線之導通檢測)
40-1
40-2
判定合否
否
不良品
AC 檢測
N←1, M←1
40-3
將 TDR 探測棒移動到第 N 號之主線
40-4
將 TDR 探測棒接觸主耦合線之一側端
40-5
將 TDT 探測棒移動到第 M 號之副線
40-6
將 TDT 探測棒接觸副耦合線之近端
40-7
在主耦合線射入脈衝
40-8
觀測副耦合線之波形
40-9
40-10
判定合否
否
不良品
40-11
判定副線結束
M←M+1
40~12
判定主線結束
N←N+1
結束(良品)

【第 6 圖】

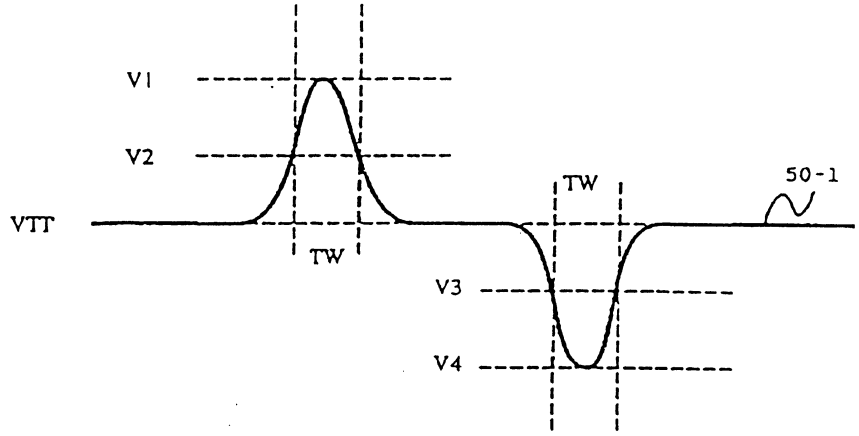

7-3
7-1
印刷電路板
1
A
1-a
7-2
C
7-4
B
1-b
D

【第 7 圖】


2A
檢測裝置
1A
印刷電路板
2A-3
功 能
2A-1
2A-2
VTT
1-1
RTT
VTT
1-2
晶片
60
60-1
60-2
60-3
核心

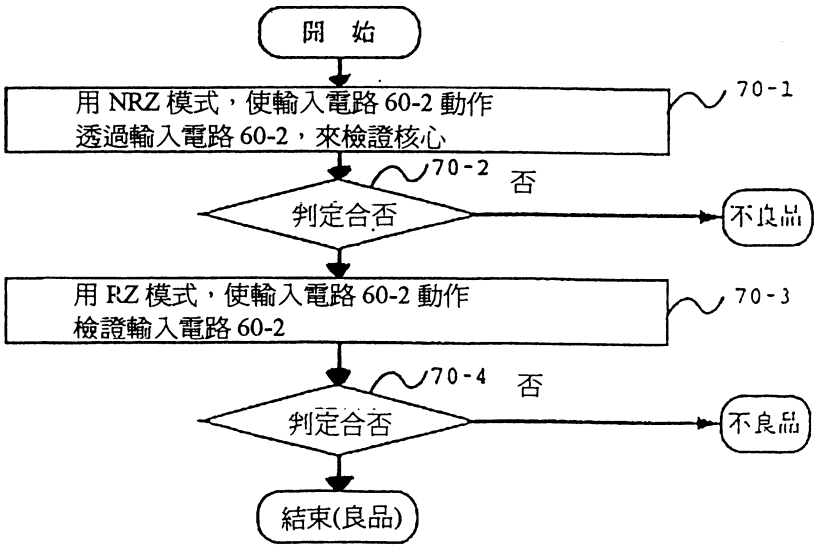
修正補充
年 月 日

【第 8 圖】

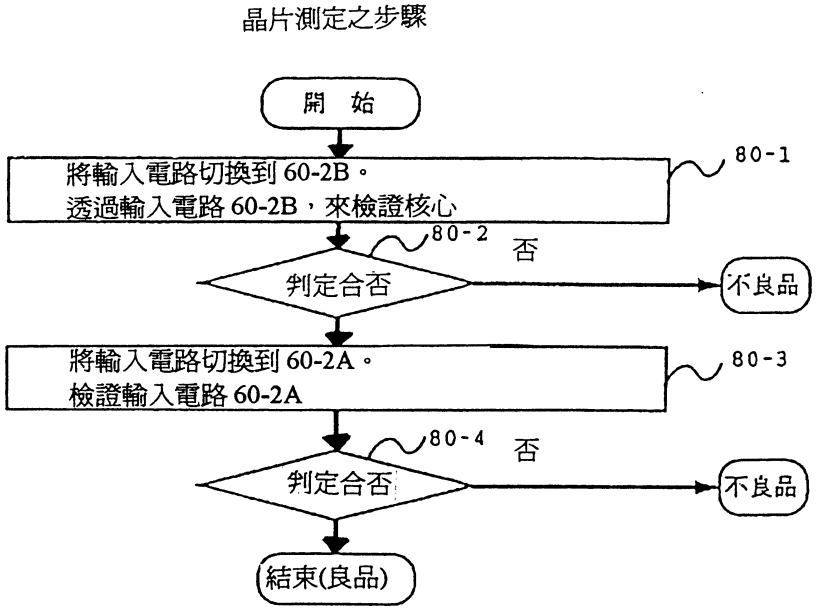


【第 9 圖】

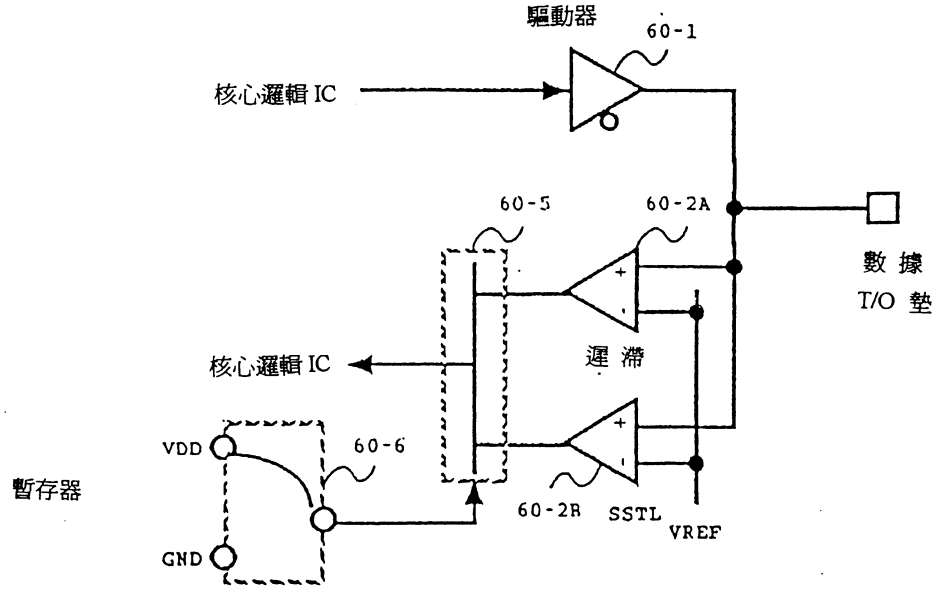
晶片測定之步驟



【第 10 圖】



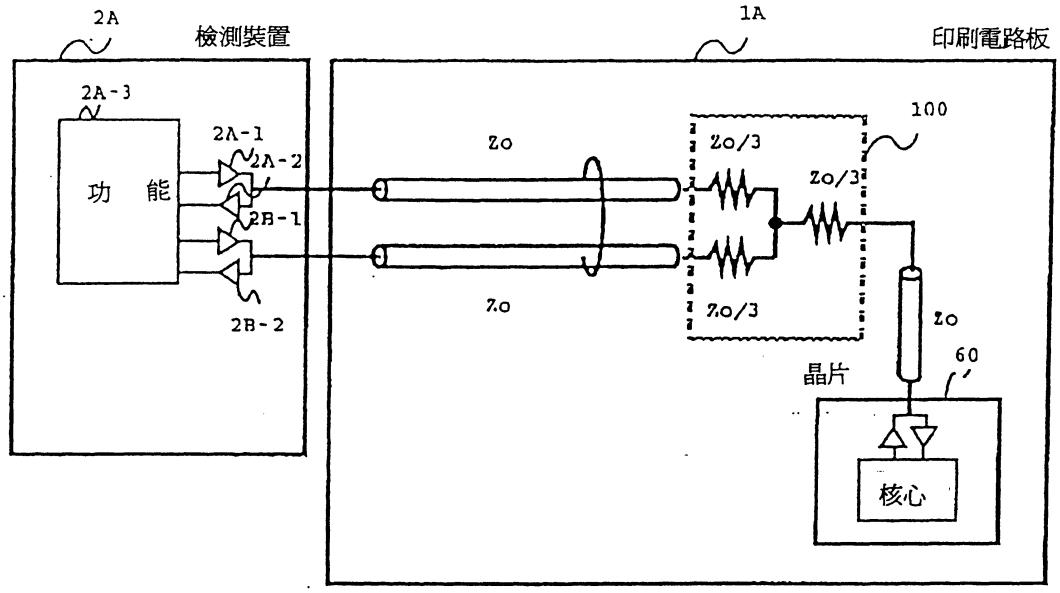
【第 11 圖】



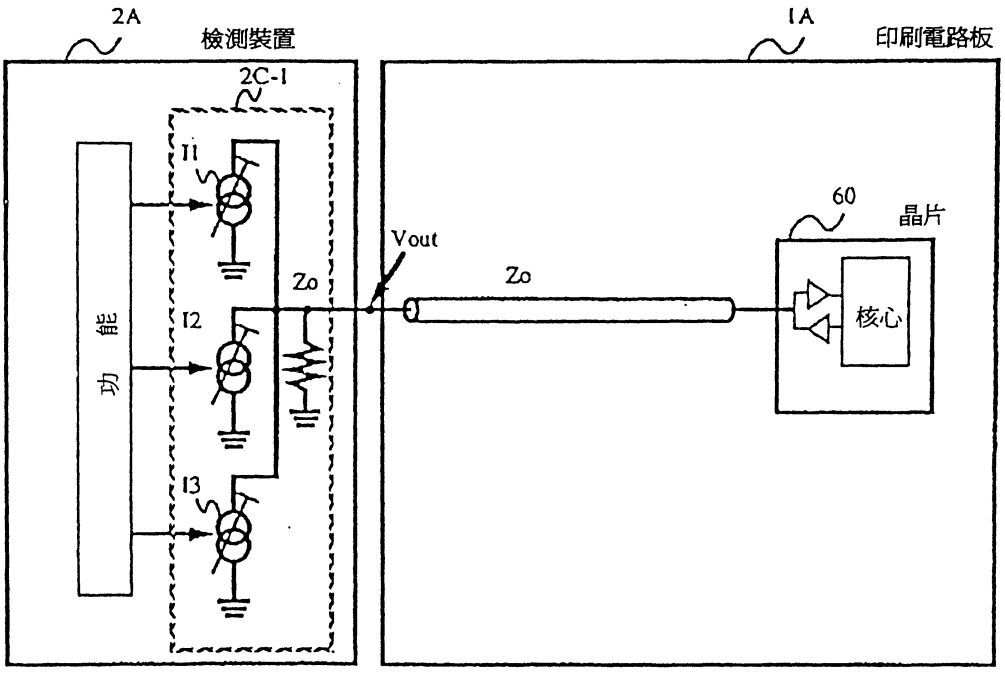
煩請委員明示 92 年 12 月 19 日所提之修正是否准予修正。

92. 12. 19

【第 12 圖】

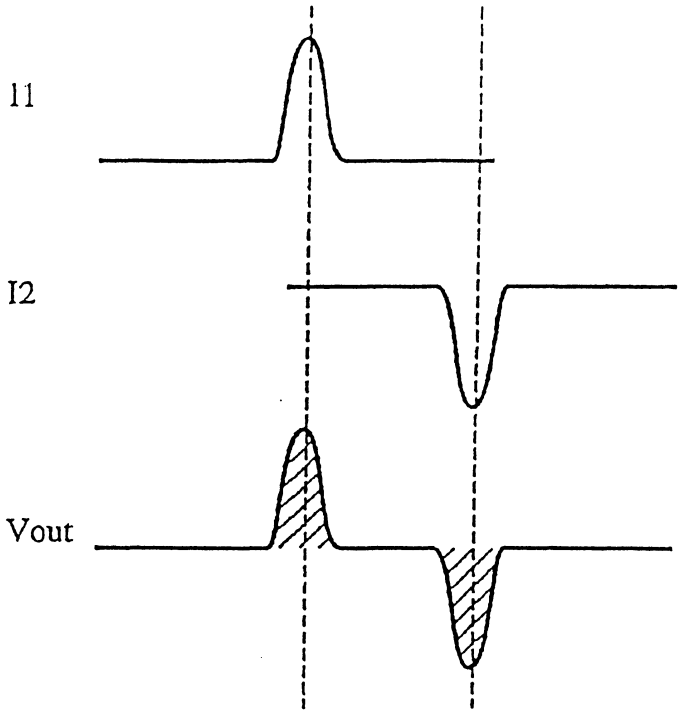


【第 13 圖】



92 12 19
年 月 日
修正
補充

【第 14 圖】



煩請委員明示 92 年 12 月 19 日所提之修正本有無變更原實質內容之事項。