

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 28 年 3 月 3 日 (2016.3.3)

【公開番号】特開 2013-211001 (P2013-211001A)  
 【公開日】平成 25 年 10 月 10 日 (2013.10.10)  
 【年通号数】公開・登録公報 2013-056  
 【出願番号】特願 2013-23965 (P2013-23965)  
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/08 (2016.01)

【F I】

G 0 6 F 12/00 5 5 0 E

G 0 6 F 12/08 5 7 9

【手続補正書】  
 【提出日】平成 28 年 1 月 14 日 (2016.1.14)

【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】

【請求項 1】

第 1 の記憶装置と、

第 2 の記憶装置と、

複数のスイッチと、

パワーコントローラと、を有し、

前記第 1 の記憶装置は、メモリセルをそれぞれ有する複数のブロックを有し、

前記第 2 の記憶装置は、C P U コアで扱うデータを、前記複数のブロックのうち前記 C P U コアにより選択された第 1 のブロックから複製して記憶する機能を有し、

前記パワーコントローラは、前記複数のスイッチを用いて、前記 C P U コアにより選択された前記第 1 のブロックへの電源電圧の供給を行うと共に、前記複数のブロックのうち前記第 1 のブロック以外の第 2 のブロックへの電源電圧の供給を停止する機能を有する半導体装置。

【請求項 2】

第 1 の記憶装置と、

第 2 の記憶装置と、

複数の第 1 のスイッチと、

複数の第 2 のスイッチと、

パワーコントローラと、を有し、

前記第 1 の記憶装置は、メモリセルをそれぞれ有する複数のブロックと、前記複数のブロックにそれぞれ対応する複数のデコーダと、を有し、

前記複数のデコーダは、前記複数のブロックのうち、対応するブロックが有する前記メモリセルを行ごとに選択する機能をそれぞれ有し、

前記第 2 の記憶装置は、C P U コアで扱うデータを、前記複数のブロックのうち前記 C P U コアにより選択された第 1 のブロックから複製して記憶する機能を有し、

前記パワーコントローラは、前記複数の第 1 のスイッチを用いて、前記 C P U コアにより選択された前記第 1 のブロックへの電源電圧の供給を行うと共に、前記複数のブロックのうち前記第 1 のブロック以外の第 2 のブロックへの電源電圧の供給を停止する機能と、

前記複数の第2のスイッチを用いて、前記複数のデコーダのうち前記第1のブロックに対応する第1のデコーダへの電源電圧の供給を行うと共に、前記複数のデコーダのうち前記第1のデコーダ以外の第2のデコーダへの電源電圧の供給を停止する機能と、を有する半導体装置。

【請求項3】

CPUコアと、  
第1の記憶装置と、  
第2の記憶装置と、  
複数のスイッチと、  
メモリ管理ユニットと、  
パワーコントローラと、を有し、  
前記第1の記憶装置は、メモリセルをそれぞれ有する複数のブロックを有し、  
前記第2の記憶装置は、前記CPUコアで扱うデータを、前記複数のブロックのうち前記CPUコアにより選択された第1のブロックから複製して記憶する機能を有し、  
前記メモリ管理ユニットは、前記CPUコアにより選択された前記第1のブロックのアドレスを前記パワーコントローラに通知する機能を有し、  
前記パワーコントローラは、前記アドレスと、前記複数のスイッチとを用いて、前記CPUコアにより選択された前記第1のブロックへの電源電圧の供給を行うと共に、前記複数のブロックのうち前記第1のブロック以外の第2のブロックへの電源電圧の供給を停止する機能を有する半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか1項において、  
前記メモリセルは、第1の論理素子と、第2の論理素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチと、第1の容量素子と、第2の容量素子と、を有し、  
前記第1の論理素子は、前記第1の論理素子の入力端子の電位の極性を反転させて前記第1の論理素子の出力端子から出力する機能を有し、  
前記第2の論理素子は、前記第2の論理素子の入力端子の電位の極性を反転させて前記第2の論理素子の出力端子から出力する機能を有し、  
前記第1のスイッチは、第1の配線と、前記第1の論理素子の入力端子及び前記第2の論理素子の出力端子との導通状態を制御する機能を有し、  
前記第2のスイッチは、第2の配線と、前記第1の論理素子の出力端子及び前記第2の論理素子の入力端子との導通状態を制御する機能を有し、  
前記第3のスイッチは、前記第1の論理素子の入力端子及び前記第2の論理素子の出力端子と、前記第1の容量素子との導通状態を制御する機能を有し、  
前記第4のスイッチは、前記第1の論理素子の出力端子及び前記第2の論理素子の入力端子と、前記第2の容量素子との導通状態を制御する機能を有する半導体装置。

【請求項5】

請求項4において、  
前記第3のスイッチが有するトランジスタは、酸化物半導体をチャネル形成領域に有し、  
前記第4のスイッチが有するトランジスタは、酸化物半導体をチャネル形成領域に有する半導体装置。