(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3708641号
(P3708641)
(45)発行日　平成17年10月19日(2005.10.19)　(24)登録日　平成17年8月12日(2005.8.12)

(51)Int.Cl.[7]　F I
G11C 29/00　G11C 29/00　671P
G11C 11/413　G11C 11/34　341D

請求項の数 4　(全 8 頁)

(21)出願番号　特願平8-259242
(22)出願日　平成8年9月30日(1996.9.30)
(65)公開番号　特開平9-120698
(43)公開日　平成9年5月6日(1997.5.6)
審査請求日　平成14年6月20日(2002.6.20)
(31)優先権主張番号　1995 P 33221
(32)優先日　平成7年9月30日(1995.9.30)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘

最終頁に続く

(54)【発明の名称】半導体メモリ装置のテスト方法

(57)【特許請求の範囲】

【請求項１】

メモリセルアレイからデータを出力するための多数のデータラインと、該データラインの１つを選択するためのスイッチング手段と、選択された前記データラインに接続される出力センスアンプと、該出力センスアンプからシリアルに出力された所定数の信号の状態を比較する比較器と、を備える半導体メモリ装置のテスト方法であって、

所定周期の内部信号を前記スイッチング手段へ提供して前記データラインを順次選択させるデータライン選択手段を設け、前記出力センスアンプに接続されるデータラインが該データライン選択手段の順次動作により変化するようにしてあることを特徴とするテスト方法。

【請求項２】

内部クロックに応答して順次に内部信号を発生するシフトレジスタをデータライン選択手段に設ける請求項１記載のテスト方法。

【請求項３】

前記比較器は、前記所定数の信号のうちに一つでも異なる論理状態の信号があると第１論理を出力し、すべて同じであれば第２論理を出力することを特徴とする請求項１に記載のテスト方法。

【請求項４】

第１論理が論理“ロウ”、第２論理が論理“ハイ”である請求項３記載のテスト方法。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は半導体メモリ装置に関し、特に、高速にメモリセルの不良をテストする半導体メモリ装置のテスト方法に関するものである。
【０００２】
【従来の技術】
半導体メモリ装置は、通常のアクセス動作を遂行するために多数のデータを記憶するメモリセルアレイ領域と、該メモリセルアレイ領域の記憶データ入出力を制御する周辺回路と、で構成される。このようなメモリセルアレイ領域を構成する各単位メモリセルと個別周辺回路の不良有無を検証するテストは、半導体メモリ製造時の必須過程である。半導体メモリ装置における不良の大部分は単一ビット不良で、このような単一ビット不良を判読するために以前ではメモリセルごとの単位でテストを実施していた。しかしながら、このメモリセル単位の個別テストでは時間がかかりすぎ、テスト費用が増加するなど適切なテスト方法とはいえなかった。そこで現在では、一度のアクセスサイクルの間に多数のメモリセルをテストする方法が一般的に使用され、多重ビット並列テスト(multibit parallel test)と呼ばれている。
【０００３】
更なる高集積化が進められる２５６Ｍｂｉｔ級以上の高容量のメモリ装置では、テスト時間を短縮し、それによるテスト費用の節減を行うことが非常に重要になっている。最近ではそのための研究が活発に進められており、その例を図１及びに示す。これは、１９９３年ＮＥＣ社発表のＶＬＳＩ circuits symposium の論文に開示されたものである。
【０００４】
図１は、サブワードラインドライバを備える半導体メモリ装置のデータ出力パス（経路）を示すものである。図示せぬローデコーダの出力端と接続されるメインワードラインＭＷＬには多数のサブワードラインドライバＳＷＤが接続され、このサブワードラインドライバＳＷＤから左右両方向にサブワードラインＳＷＬが接続されている。各サブワードラインＳＷＬと直交する方向にはビットラインＢＬが配置され、各ビットライン対ごとに一つずつビットラインセンスアンプＳＡが接続されている。そして、ビットラインセンスアンプＳＡの出力端はデータラインＤＬを通じてカラムデコーダＹＤＥＣの入力端へ接続される。このカラムデコーダＹＤＥＣの出力端には多数の出力センスアンプＤＡが接続され、この出力センスアンプＤＡの出力端がそれぞれ一つずつ入出力ラインＩＯ（１～Ｎ）へ接続される。各入出力ラインＩＯの最終端には入力バッファの出力端と出力バッファの入力端が共通に接続され、各入力バッファの入力端と出力バッファの出力端は一つの入出力ピンと共通に接続される。
【０００５】
図２に、そのテスト回路を示す。各サブワードラインドライバ単位のアレイブロックがシフトレジスタＳＲの出力によって選択されるようになっており、このシフトレジスタＳＲは内部クロックＩＣＬＫに同期して規則的かつ順次的な出力信号を出力する。各サブワードラインドライバＳＷＤと接続されるアレイブロックにはそれぞれ多数（この例ではＮ個）の出力センスアンプＤＡが存在し、この出力センスアンプＤＡは、シフトレジスタＳＲの出力に応答する入出力制御回路ＤＡＣの出力である制御信号ＤＡＥによって動作する。
【０００６】
図３は、図２の回路による動作タイミング図である。これら図１～図３を参照して従来技術によるテスト過程を概略的に説明する。
【０００７】
１回のテストサイクルはローアドレスストローブ信号バーＲＡＳの活性区間によって決定される。またテストの動作時には内部クロック信号ＩＣＬＫによりサブワードラインＳＷＬが順次にエネーブルされる。出力センスアンプＤＡの制御信号ＤＡＥは１サイクルの内部クロック信号ＩＣＬＫのパルスに同期して出力され、この制御信号ＤＡＥに従って、出力センスアンプＤＡの出力が短サイクル(short cycle) で発生する。このようなテストは

、チップ内部を並列にテストするときに、高周波で動作するカウンタを内蔵してワードラインのエネーブルとビットラインのセンシング及びデータラインのセンシングを制御して短サイクルで連続的なデータを出力することにより、出力時間を短縮することが可能である。

【０００８】

【発明が解決しようとする課題】

しかしながら、上記テストは次のような解決課題を有する。即ち、すべてのアレイブロックごとに多数（上記例ではＮ個）の出力センスアンプが存在するので、１回のアクセスサイクルの間に多重ビットを入出力する製品では出力センスアンプのレイアウト面積が増大してチップサイズが大きくなる。また、シフトレジスタの出力によりサブワードラインドライバとビットラインセンシング及びデータラインセンシングを短サイクルで動作させるために追加される回路が相当に増加して回路設計が困難となり、その追加回路のチップ占有面積も増加するため集積化に影響する。更に、出力センスアンプをシフトレジスタにより選択的にエネーブル及びディスエーブルしなければならないので、速くとも７ｎｓ周期の遅い周波数で動作することになる。従って、いっそうの高速化を実現しやすいものとはいえない。加えて、通常のノーマルモード動作では１回のアクセスサイクルの間に１６ビットのデータがアクセスされるだけですむが、テスト動作に際して２５６ビットなどの多数のメモリセルをテストする場合には２５６本の入出力ラインが必要であり、２５６個の出力センスアンプが同時に動作しなければならないので、出力センスアンプで多くの電流が消費され消費電力が大きい。

【０００９】

このような解決課題に着目して本発明の目的は、より高集積半導体メモリ向けのテスト方法を提供することにある。また、より高速、低電力化の可能なテスト方法を提供することにある。

【００１０】

【課題を解決するための手段】

この目的のために本発明は、メモリセルアレイからデータを出力するための多数のデータラインと、該データラインの１つを選択するためのスイッチング手段と、選択された前記データラインに接続される出力センスアンプと、該出力センスアンプからシリアルに出力された所定数の信号の状態を比較する比較器と、を備える半導体メモリ装置のテスト方法であって、所定周期の内部信号を前記スイッチング手段へ提供して前記データラインを順次選択させるデータライン選択手段を設け、前記出力センスアンプに接続されるデータラインが該データライン選択手段の順次動作により変化するようにしてあることを特徴とするテスト方法を提供する。この場合、内部クロックに応答して順次に内部信号を発生するシフトレジスタをデータライン選択手段に設けるようにする。

【００１２】

【発明の実施の形態】

以下、本発明の実施形態につき添付の図面を参照して詳細に説明する。

【００１３】

図４は、高速テスト過程のための半導体メモリ装置のデータ出力パスを示すものである。メモリセルアレイは多数のメモリブロックＢＬＫ０～ＢＬＫＮに分割され、これらメモリブロックＢＬＫ０～ＢＬＫＮはローデコーダＸＤＥＣに共通に接続されると共にそれぞれ独立したカラムデコーダＹＤＥＣに個別的に接続される。各メモリブロックＢＬＫ０～ＢＬＫＮはそれぞれ横側にグローバルラインＧＩＯが存在し、このグローバルラインＧＩＯとメモリセルを構成するビットラインはローカルラインＬＩＯによって選択的に接続される。このグローバルラインＧＩＯとローカルラインＬＩＯは各４対からなっている。

【００１４】

グローバルラインＧＩＯは、ノーマル動作時に所定ビットのカラムアドレス信号に従い選択され、テスト時にはシフトレジスタＳＲの出力に従い各グローバルラインＧＩＯの終端に接続されたスイッチング手段ＳＷ（０）～ＳＷ（Ｎ）により選択的に接続される。各入

出力ラインＩＯには出力センスアンプＤＡが一つずつ接続され、この出力センスアンプＤＡの出力端と接続される第１データラインＦＤＢｉ（ｉ＝０～３）は、ノーマル動作時にはマルチプレクサＭＵＸを経て出力バッファへ接続されるが、テスト動作時には比較器ＣＯＭＰへ接続される。この比較器ＣＯＭＰは通常の並列入力(parallel input)ではなく、多数の直列入力(serial input)を比較する機能を遂行し、比較器ＣＯＭＰの出力信号ｃｏｍｏはマルチプレクサＭＵＸを経て出力バッファへ伝送される。

【００１５】

図５はスイッチング手段ＳＷ、図６はグローバルラインＧＩＯの選択回路、図７は出力センスアンプＤＡを示す回路図である。

【００１６】

図５を参照すれば、グローバルラインＧＩＯ，ＧＩＯＢは図６に示すグローバルライン選択手段（データライン選択手段）の出力信号ＰＧＩＯＳｉに従い選択的に入出力ラインＩＯ，ＩＯＢと接続される。図６を参照すれば、カラムアドレス信号ＣＡｉ、テストエネーブル信号ＰＴＥ、シフトレジスタＳＲの出力信号ＳＲｉ、及び読出制御信号ＰＲＥＡＤの入力によりグローバルライン制御信号ＰＧＩＯＳｉが出力される。読出制御信号ＰＲＥＡＤは読出時にのみ論理“ハイ”状態にあり、そしてテストエネーブル信号ＰＴＥが論理“ロウ”で伝達されるノーマル動作時にはカラムアドレス信号ＣＡｉが入力され、Ｎ個のメモリブロックＢＬＫ０～ＢＬＫＮのうち一つが選択される。一方、テスト動作時には通常のシフトレジスタＳＲの出力信号ＳＲｉが伝達されて順次の制御信号ＰＧＩＯＳｉが出力される。

【００１７】

図７に示す出力センスアンプＤＡにおいて、入出力ラインＩＯ，ＩＯＢは一般的な電流センスアンプ１０の入力となり、この電流センスアンプ１０の出力端は通常の電圧センスアンプ２０の入力端へ接続される。そして、電圧センスアンプ２０の出力端が第１データラインＦＤＢ，ＦＤＢＢと接続される。このような電流センスアンプ及び電圧センスアンプの構成及び動作はよく知られたものである。

【００１８】

図８は、図４に示した比較器ＣＯＭＰの回路図である。比較制御信号ＰＰＲＥＰは毎クロック（外部クロック）の立上りエッジ(rising edge) に同期して発生される所定幅のパルス信号で、テストエネーブル信号ＰＴＥが論理“ハイ”の場合にのみ動作ノードＮ１とノードＮ３を論理“ハイ”にプリチャージさせる。そして、例えばＮ＝１５の場合、シフトレジスタＳＲの出力信号ＳＲｉ（ｉ＝０～１５）が１６回発生してグローバルラインＧＩＯから送られたデータが出力センスアンプＤＡでセンシングされる結果１６回発生する順次データの状態がすべて同一であれば、比較器ＣＯＭＰの出力ｃｏｍｏは論理“ハイ”になる。反対に、その連続１６回のテスト動作で一度でも異なる状態のデータが比較器ＣＯＭＰに入力されると出力ｃｏｍｏは論理“ロウ”になり、不良が検出されることになる。

【００１９】

マルチプレクサＭＵＸ、シフトレジスタＳＲ及びクロック発生器ＣＬＫＧにはよく知られた回路のいずれでも適宜使用可能である。

【００２０】

図９に、図４の回路の動作タイミングを示し説明する。本実施形態では高周波動作を行うクロック発生器ＣＬＫＧが用いられ、その出力が内部クロックＩＣＬＫである。クロック発生器ＣＬＫＧは外部クロックＣＬＫを入力してこれを基に高周波の内部クロックＩＣＬＫを出力する。テストモードでは内部クロックＩＣＬＫに同期してシフトレジスタＳＲの出力信号ＳＲｉが順次にエネーブル及びディスエーブルして発生され、これに従ってグローバルライン制御信号ＰＧＩＯＳｉが順次に出力される。

【００２１】

外部クロックＣＬＫの立上りエッジ後に一定時間の間、即ち図９の時間Ｔ１の間に比較制御信号ＰＰＲＥＰにより比較器ＣＯＭＰがプリチャージされる。そして、出力センスアンプＤＡによってセンシングされたデータが第１データラインＦＤＢ，ＦＤＢＢに送られる

と、ノードＮ２或いはノードＮ４は論理“ハイ”から論理“ロウ”に遷移する。続いてグローバルライン制御信号ＰＧＩＯＳｉの連続出力によりグローバルラインから送られる順次データがすべて同一であれば、比較器ＣＯＭＰの出力ｃｏｍｏは論理“ハイ”であるが、もし一つでも異なるデータが存在すれば比較器ＣＯＭＰの出力ｃｏｍｏは論理“ロウ”となる。

【００２２】

【発明の効果】

本発明によるテスト方法は、次のような長所をもつ。即ち、出力センスアンプ及び入出力ラインの個数を大幅に減少できるので、高集積に非常に有利である。更に、シフトレジスタの出力はただスイッチング手段の入力としてのみ使用されるだけなので設計が非常に容易であり、且つシフトレジスタのチップ占有面積があまり大きくなくてすむのでレイアウトに与える影響も少ない。また、出力センスアンプを継続動作させてその入力を変化させることで最大動作周波数を２５０ＭＨｚにすることも可能になる。このとき、１サイクルにかかる時間は４ｎｓにすぎないので、高周波に適応した動作が可能である。加えて、通常の並列テスト方法に比べて動作出力センスアンプの個数が１／８や１／１６に減少し、消費電力を一層低減できるようになる。そして、比較器の内部構成も非常に簡単に設計することができる。

【図面の簡単な説明】

【図１】サブワードラインドライバをもつ半導体メモリ装置のデータ出力パスを示すブロック図。

【図２】従来におけるテスト回路を示すブロック図。

【図３】図２の回路によるテスト動作の信号波形図。

【図４】本発明の係る半導体メモリ装置のデータ出力パスを示すブロック図。

【図５】図４中のスイッチング手段ＳＷの回路図。

【図６】図４中のグローバルライン選択手段（ＰＧＩＯＳ）の回路図。

【図７】図４中の出力センスアンプＤＡの回路図。

【図８】図４中の比較器ＣＯＭＰの回路図。

【図９】図４の回路によるテスト動作の信号波形図。

【符号の説明】

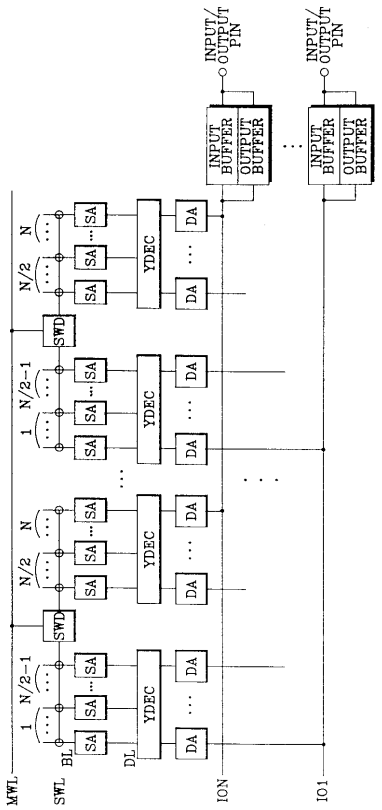
ＳＷ　スイッチング手段

ＤＡ　出力センスアンプ

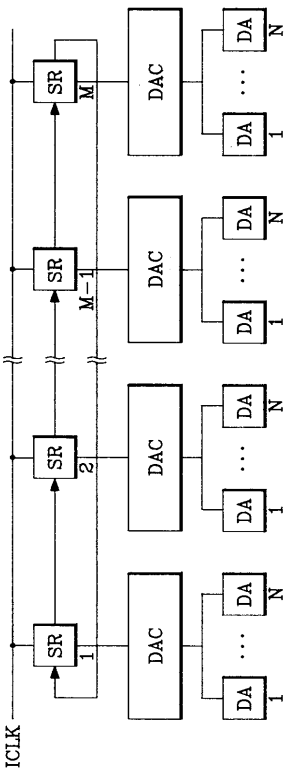
ＣＯＭＰ　比較器

ＰＧＩＯＳ　データライン選択手段

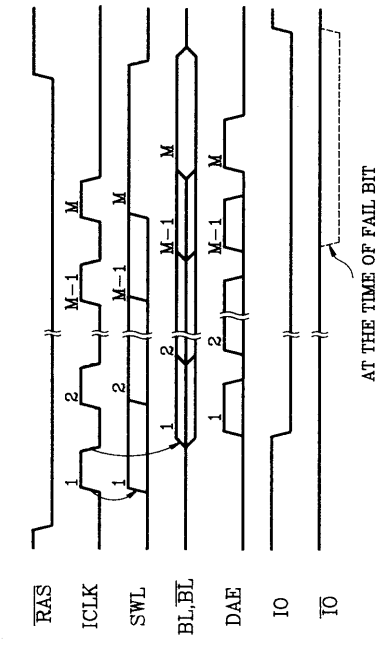
【図１】


MWL
SWL
BL
DL
SA
SWD
YDEC
DA
INPUT BUFFER
OUTPUT BUFFER
INPUT/ OUTPUT PIN
IO0
IO1

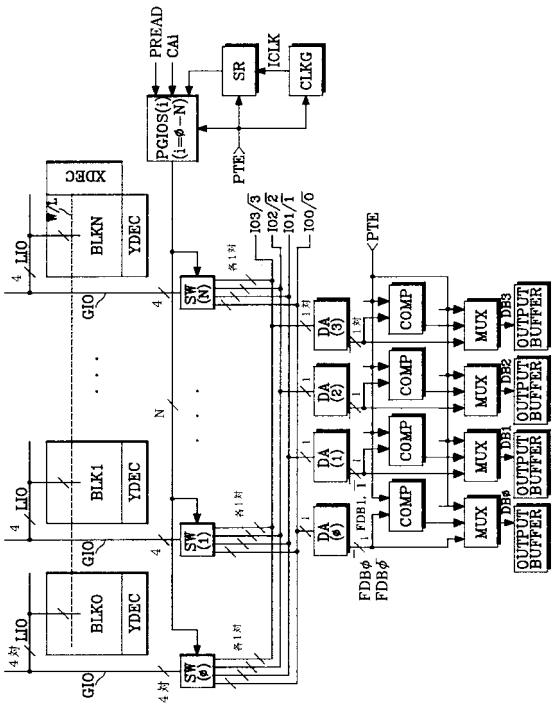
【図２】


ICLK
SR
DAC
DA

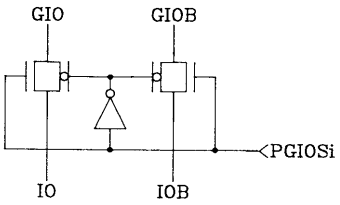
【図３】


RAS
ICLK
SWL
BL,BL
DAE
IO
IO
AT THE TIME OF FAIL BIT

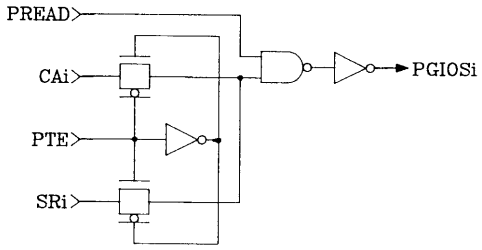
【図４】


PREAD
CAi
PGIOS(i)
(i=0-N)
SR
ICLK
CLKG
PTE
XDEC
BLKN
BLK1
BLK0
YDEC
LIO
GIO
SW
DA
COMP
MUX
OUTPUT BUFFER
FDB0
FDB0

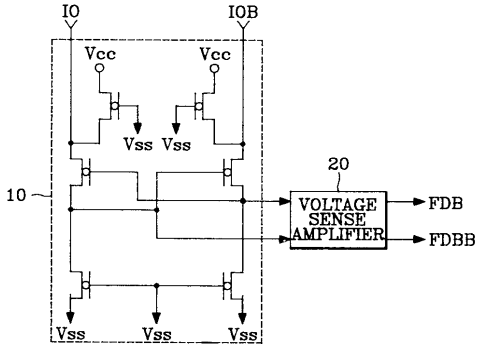
【図５】


GIO
GIOB
PGIOSi
IO
IOB

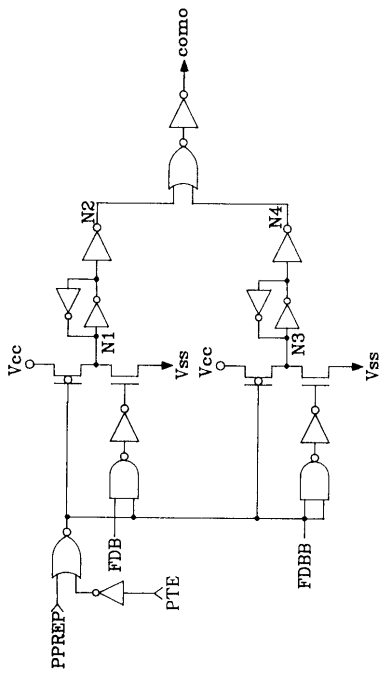
【図６】


PREAD
CAi
PTE
SRi
PGIOSi

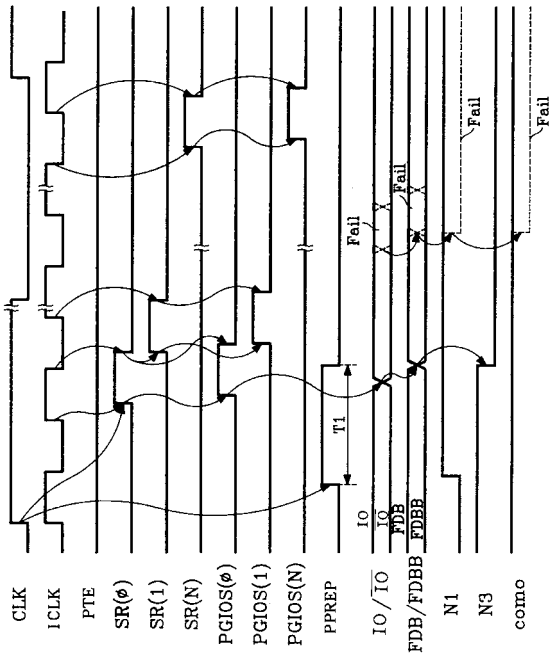
【図７】


IO
IOB
Vcc
Vcc
Vss Vss
20
10
VOLTAGE SENSE AMPLIFIER
FDB
FDBB
Vss
Vss
Vss

【図８】


como
N2
N4
N1
N3
Vcc
Vss
Vcc
Vss
FDB
FDBB
PTE
PPREP

【図９】


Fail
Fail
Fail
Fail
T1
CLK
ICLK
PTE
SR(ø)
SR(1)
SR(N)
PGIOS(ø)
PGIOS(1)
PGIOS(N)
PPREP
IO / IO
FDB/FDBB
N1
N3
como

フロントページの続き

(74)代理人 100116894
弁理士 木村 秀二
(72)発明者 柳 濟煥
大韓民国京畿道水原市勸善区高等洞５０番地４号

審査官 小松 正

(56)参考文献 特開平０６－２７５６９３（ＪＰ，Ａ）
特開平０４－２１２７７６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099